

博 士 論 文

先端プロセス技術における混載 SRAM の高信頼・低電力化に関する研究

High reliability and Low power design of Embedded SRAM on
Advanced Process Technology

金沢大学大学院自然科学研究科
電子情報科学専攻

学籍番号	1 2 3 3 1 1 2 0 0 7
氏 名	藪 内 誠
指導教官	新 居 浩 二 教授
提出年月	平成 2 9 年 1 2 月

目次

第1章 序論.....	1
1.1 LSIの変遷とSRAMの重要性.....	1
1.2 研究の目的.....	4
1.3 本論文の内容と構成.....	5
第2章 先端プロセスでの混載SRAMの課題.....	9
2.1 緒言.....	9
2.2 メモリセルの構造.....	9
2.2.1 6T シングルポート SRAM セル.....	9
2.2.2 8T デュアルポート SRAM セル.....	11
2.2.3 8T 2ポート SRAM セル.....	12
2.2.4 SRAMのスケーリングトレンド.....	13
2.3 SRAM安定性指標.....	14
2.3.1 スタティックノイズマージン(SNM).....	14
2.3.2 書き込みマージン.....	15
2.3.3 センスマージン.....	16
2.4 デバイスばらつきのSRAMへの影響.....	16
2.4.1 トランジスタばらつきのSNMに与える影響.....	19
2.4.2 トランジスタばらつきと消費電力.....	22
2.5 マルチポートSRAMの要求.....	25
2.6 結言.....	25
第3章 SRAM安定性アシスト回路.....	27
3.1 緒言.....	27
3.2 読み出し・書き込みマージン改善手法.....	27
3.2.1 SNMアシスト回路.....	27
3.2.2 書き込みアシスト回路.....	32
3.2.3 45nmバルクプロセスでの試作結果.....	36
3.3 アシスト回路の比較.....	38
3.4 アシスト回路のドメイン化.....	39
3.4.1 最適ワード線電位調整によるマージン改善手法.....	39
3.4.2 20nmバルクプロセスでの試作結果.....	45
3.5 結言.....	48

第4章 低消費電力 SRAM 技術	49
4.1 緒言	49
4.2 ハーフセレクトを回避した低電力 SRAM	49
4.2.1 クロスポイント SRAM	49
4.2.2 45nm プロセスでの試作結果	52
4.3 インターリーブ階層ビット線による低電力化	55
4.3.1 インターリーブ SRAM	55
4.3.2 20nm プロセスでの試作結果	60
4.4 SOTB プロセスによる低電力 SRAM 技術	63
4.4.1 65nm SOTB デバイスと基板バイアス効果	63
4.4.2 ワード線パルス幅局所最適化 SRAM	68
4.4.3 テストチップ試作と評価結果	71
4.5 結言	73
第5章 高信頼・小面積 2 ポート SRAM 技術	74
5.1 緒言	74
5.2 2 ポート SRAM の高信頼化	75
5.2.1 ディスタート電流による誤読み出し	76
5.2.2 ワード線カップリングによる影響	78
5.2.3 テストスクリーニング手法	80
5.2.4 小面積 2 ポート SRAM マクロアーキテクチャ	83
5.2.5 28nm バルクプロセスでの試作結果	88
5.3 ダブルポンプ 2 ポート SRAM	91
5.3.1 クロックドライバとアドレスラッチ	93
5.3.2 低リークモードの検討	97
5.3.3 16nm FinFET プロセスでの試作結果	99
5.4 結言	101
第6章 結論	103
参考文献	107
研究業績目録	115
特許出願	120
謝辞	121

図目次

図 1-1 LSI チップ写真	3
図 1-2 本論文の構成	7
図 2-1 6T シングルポート SRAM ビットセル回路図	11
図 2-2 6T シングルポート SRAM セルアレイ構造	11
図 2-3 8T デュアルポート SRAM セルビットセル回路図	12
図 2-4 8T 2PORT SRAM セルビットセル回路図	13
図 2-5 SRAM セルサイズのトレンド	14
図 2-6 スタティックノイズマージン	15
図 2-7 書き込みマージン(WRITE TRIP POINT)	16
図 2-8 センスマージン	16
図 2-9 レイアウトデザインと Si での SEM 写真	17
図 2-10 ランダムばらつきの原因	18
図 2-11 ペリグロムプロット	18
図 2-12 V_{TH} ばらつきによる SNM の違い	20
図 2-13 V_{TH} ウィンドウ解析	20
図 2-14 SNM 分布	21
図 2-15 SRAM マクロブロック図	24
図 2-16 SRAM 動作波形シミュレーション	24
図 3-1 ワード線レベルによる SNM 改善	28
図 3-2 ワード線降圧回路	29
図 3-3 ワード線アシスト回路の電圧依存性	30
図 3-4 抵抗型ワード線アシスト回路	31
図 3-5 ワード線電位の電圧依存性	31
図 3-6 ワード線アシスト回路による SNM 実測値 @ 1.1V, R.T.	32
図 3-7 書き込み時の電流状態	33
図 3-8 書き込みマージン比較	33
図 3-9 負バイアス生成回路	34
図 3-10 アシスト回路による動作マージン改善	35
図 3-11 SRAM セルの SEM 写真	36
図 3-12 シュムープロット	37
図 3-13 不良ビット数の電圧依存性	37
図 3-14 V_{MIN} のプロセスばらつき・温度依存性	40
図 3-15 混載 SRAM のチップ内イメージ	41

図 3-16 ドメイン制御ワード線アシストブロック図	43
図 3-17 アシストコード設定フロー	44
図 3-18 SRAM マクロの回路図とシミュレーション波形	45
図 3-19 試作チップの緒言	46
図 3-20 試作チップのグローバルばらつきと動作電力測定結果	47
図 3-21 ドメイン化アシスト回路搭載 SRAM の VMIN 測定結果	47
図 4-1 VMIN 測定結果	50
図 4-2 クロスポイント 8T-SRAM	50
図 4-3 負バイアス生成回路	51
図 4-4 負バイアス VSS のシミュレーション波形	52
図 4-5 試作したクロスポイント SRAM の緒言	53
図 4-6 不良ビットの電圧依存性	53
図 4-7 シュムプロット	54
図 4-8 消費電力の実測結果	54
図 4-9 インターリーブ SRAM の構成	55
図 4-10 マクロブロック図	56
図 4-11 ワードドライバ回路図	57
図 4-12 ローカルアンプ	59
図 4-13 シミュレーション波形	59
図 4-14 試作したチップの緒言	60
図 4-15 不良ビット数の電圧依存性	61
図 4-16 リーク電力の実測結果	62
図 4-17 消費電力の実測結果	62
図 4-18 SOTB デバイスの構造図	64
図 4-19 SRAM の平面 SEM とトランジスタ断面 TEM	64
図 4-20 各世代のローカルばらつき比較	65
図 4-21 バックバイアス依存性	65
図 4-22 動作モードの切り替え	66
図 4-23 チップブロック図と基板バイアスの遷移	67
図 4-24 バックバイアスのシミュレーション波形	68
図 4-25 ワード線パルス幅調整回路	69
図 4-26 ワード線パルス幅の効果	70
図 4-27 チップブロック図	71
図 4-28 消費電力削減効果	71
図 4-29 実測結果	72

図4-30 チップ写真と緒言	73
図5-1 多ポートメモリの使用割合	75
図5-2 メモリバスブロック図とタイミングチャート	75
図5-3 同行アクセスと異行アクセス	77
図5-4 読み出し電流分布	77
図5-5 読み出しビット線シミュレーション	78
図5-6 ワード線カップリングのSRAM動作への影響	80
図5-7 スクリーニングテストタイミングチャート	81
図5-8 2ポートSRAMブロック図	82
図5-9 クロック生成部詳細回路	83
図5-10 2ポートSRAMマクロアーキテクチャ	84
図5-11 2ポートSRAM提案回路	86
図5-12 モンテカルロシミュレーション	87
図5-13 シミュレーション波形 (1.0V, TT, 25°C)	87
図5-14 試作チップの緒言	88
図5-15 クロックスキューのシュムーププロット	89
図5-16 読み出しアクセスタイムの実測結果	89
図5-17 消費電力とアクセスタイム比較	90
図5-18 不良ビット数の電圧依存性	90
図5-19 消費電力とアクセスタイムの分布	91
図5-20 テストモードによるスクリーニングテスト結果	91
図5-21 ダブルポンプ2ポートSRAMのコンセプト	92
図5-22 内部動作タイミングチャート	93
図5-23 マクロブロック図	94
図5-24 ダブルポンプクロック生成部	94
図5-25 アドレスラッチ方式比較	95
図5-26 提案アドレスラッチ回路	96
図5-27 シミュレーション波形	96
図5-28 I_D - V_G 特性比較	97
図5-29 リーク電流削減方式の比較	98
図5-30 低リークモード回路図	98
図5-31 試作チップの緒言	99
図5-32 不良ビット数の電圧依存性	100
図5-33 アクセスタイムの実測結果	100
図5-34 リーク電流と動作電力の実測結果	100

表目次

表 3 - 1 アシスト回路方式の比較	39
表 3 - 2 アシストコントローラの制御	43
表 5 - 3 2ポート SRAM の比較	92

第 1 章 序論

1.1 LSI の変遷と SRAM の重要性

1947 年にトランジスタが発明されて以降[1], 半導体技術の発展はこの世界を支え続けている. 1958 年の IC の発明[2][3], 1971 年のマイコンの発明[4]など決定的な大発明を経て, 半導体は 1.5 年で集積率が 2 倍になるというムーアの法則にほぼ従いながら, 微細化と高集積化を進めてきた. この間, デバイスは元々の点接触型トランジスタからバイポーラ, 電界効果型トランジスタ(MOSFET)と形を変えつつ性能を向上し, その応用製品は初期のトランジスタラジオから様々なものに広がっている[5]. 昨今ではパソコンやスマートフォン, 家電製品のような明らかな電子機器だけでなく, 車の制御, ホームセキュリティ, スマートメーター, メディカル, ヘルスケアなど, 一昔前では考えもつかなかったところに半導体による応用が始まり, さらにそれらが Internet of Things (IoT)により情報を相互に接続される時代が来ると予想されている.

この IoT の時代ではエッジ側である「モノ」にセンサーなどの情報を取得する機能と, インターネットを介してクラウドサーバとやり取りをする通信機能が必要となる. 一方, クラウド側では大量の「モノ」から届く情報を処理するプロセッサが必要になる. ここで必要な技術は低電力である[6]-[8]. なぜなら「モノ」に搭載される半導体は潤沢な電力があるとは限らないし, クラウド側でも高負荷な処理が発生するため電力消費量が増えるからである. さて, 半導体回路においてその消費電力は一般的に下記であらわされる.

$$P = CV^2f + I_{leak}V$$

P: 電力

C: 寄生容量

V: 電源電圧

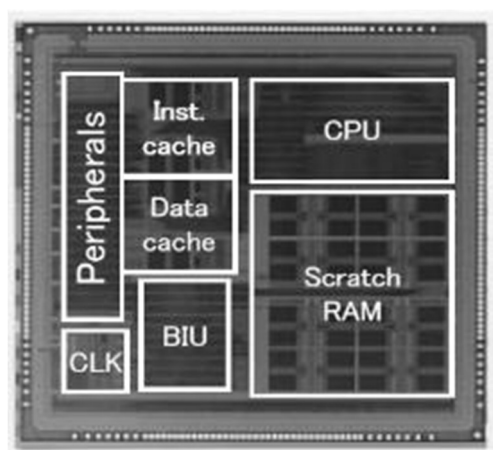
f: 動作周波数

I_{leak} : リーク電流

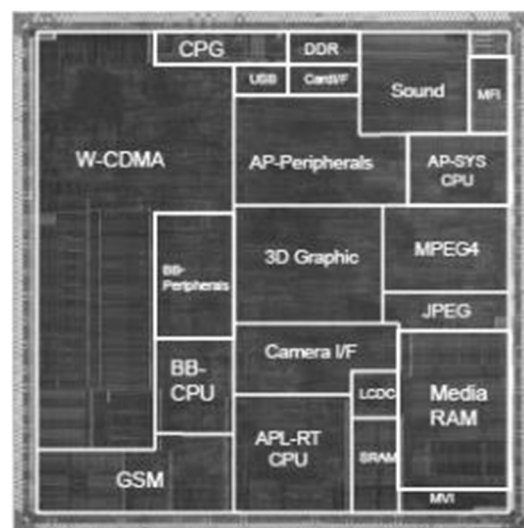
ここで消費電力を抑えるために、各パラメータについて見ていく。寄生容量はスケールリング則によって小さくなるので、プロセス世代を進める必要があるが、現実的には小さくなった分、搭載するゲート規模も増大する事がほとんどなので、実効的には小さくならない。従って回路的に動作領域を絞ることでスイッチングする寄生容量を減らすクロックゲーティング[9]などのような技術が導入される。次に、リーク電流を抑えるには、プロセス、回路両方のアプローチがある。プロセス的なアプローチとしては、マルチ Vth[10]や SOTB のような低リークデバイス[11]を使う事である。回路的なアプローチでは電源スイッチや電源遮断[12]- [15]がよく用いられる。また基板バイアス制御によって Vth を変化させ状況に合わせて低リークと高速を使い分ける技術もある[16][17]。次に電源電圧と動作周波数であるが、これは Dynamic Voltage Frequency Scaling(DVFS)[18]という技術が用いられる。これは要求されるアプリケーションに応じて動的に電圧と周波数を変化させて電力を削減するというものである。これらの中でも電源電圧の低下はダイナミック電力、リーク電力両方への寄与が大きく、効果的である事がわかるだろう。

また IoT において「モノ」側に搭載される半導体には、低コスト化という命題も存在する。あらゆる「モノ」として例えば食品の物流を可視化して管理するようなシステムにおいて、センシング用半導体の価格が高かった場合、結果として食品価格に転嫁されたとしたら、それは市場として受け入れられるだろうか。現実問題として、半導体としての低コスト化は重要であり、その施策である省面積、高歩留、テストコストの抑制も重要な課題である。製造コストを抑えるために、様々な機能を 1 チップ化する System on Chip(SoC)が近年においては主流であるが、これにより益々 LSI が大規模化にともない、設計コストの増大も問題となっている。そこで共通の設計資産として使えそうなものは Intellectual Property(IP)としてあらかじめ準備し、様々な製品でその IP を使いまわすという事が行われている。この IP は機能ごとに存在し、インターフェイス系やアナログ系など様々な種類があるが、その中でもキーとなる IP として SRAM がある。それはデータ処理がすべての LSI の本質的な機能であり、データ処理には CPU クロックで動作するメモリがないと成立しないからである。さらに昨今システム LSI の巨大化や高機能化により、例えば画像処理のような複雑な機能を持つ IP が増えており、その中でも小さなプロセッサが存在することが多い。それら

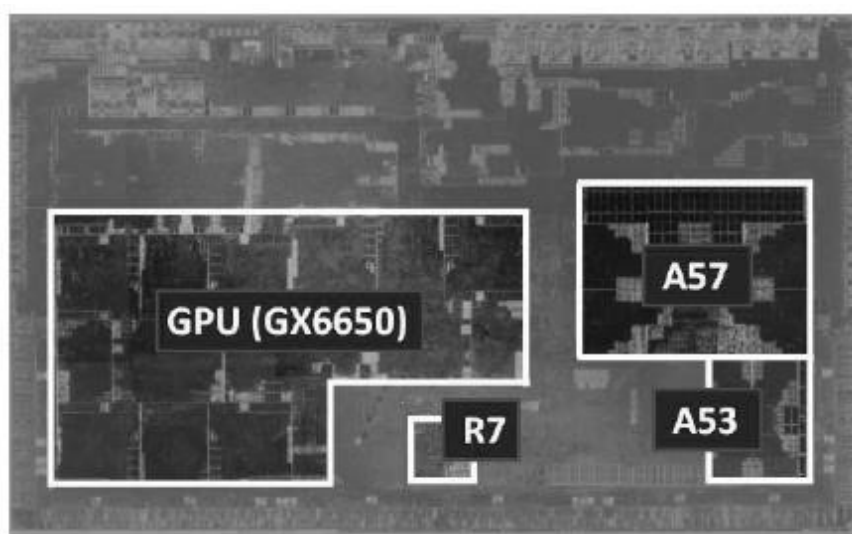
も SRAM を使用する事が多くなっている。つまり SRAM はこれからますますその重要性が増していくことになる。



(a) 32-bit RISC Microcontroller (MCU)



(b) SH-Mobile media application processor



(c) Driver-assistance system processor

図 1 - 1 LSI チップ写真

SoC の例として、図 1 - 1 にチップ写真を示す。(a)は 32-bit RISC マイコン[19]，(b)はモバイルプロセッサ[20]，(c)は車載向けの SoC[21]である。これらのチップの中には先に述べたような多数の IP が存在する事がわかる。その中でもどのチップにおいても SRAM-IP が複数存在していることがわかる。さらに近年の大規模な SoC で

は SRAM はレイアウト時のスタンダードセルと同様の位置付けになっており，機能的な IP 群の中で標準的に使用される存在になっている．

このように SoC の中では一般的に様々なところで SRAM が使われるようになり，チップ内の SRAM 容量は増加の一途である[22]．先に示したようにチップとして低電力化を図る場合，当然この SRAM も低電力化をしなければならない．そのためには動作電力削減，リーク電力削減などの技術と，低電圧動作が必要である．低電圧動作は SRAM の動作に悪影響を及ぼすため，信頼性を確保しなければいけない．また IoT への展開を考慮した時の低コスト化として，歩留まり改善やテスト時短なども実現する必要がある．本研究では SoC の低電力化に対する混載 SRAM の問題を論じた上で，その問題を克服する SRAM 技術を研究し，来るべき IoT さらにはもっと高度な情報通信社会を支える SoC 製品を提供することを可能とすることを目的とする．

1.2 研究の目的

先端 SoC においては，低電力，高速，低コストが必要である．そのため製品としては微細化，スケーリングを進められてきた．構造的にも High-K ゲート絶縁膜やメタルゲート，チャネルへのストレス印可，そして SOI や FinFET など大きな変化を経てきた[23]-[26]．それとともに SRAM 搭載容量が増大していき，SRAM は回路上の特性から信頼性を担保することが難しくなっている．このもっとも大きな要因はトランジスタのばらつきによるものである[27]．次章で詳述するが，微細プロセスで顕著になるランダムなトランジスタのばらつきは，対称な構造で安定動作をする SRAM に非対称性を誘発し，静的ノイズマージン(Static Noise Margin : SNM)と書き込み特性を劣化させてしまう．そこで本研究ではまずトランジスタばらつきの原因と，それが SRAM の動作マージンに与える影響を明らかにする．それから動作マージンを改善する回路的な手法を検討する．これにより低電圧でも信頼性を確保して動作する SRAM を提供することができる．さらに SRAM 自身の動作電力削減も必要である．SRAM の動作電力は主に周辺回路のスイッチング電力とビット線引き抜き電力で決まる．このうちビット線引き抜き電力は SRAM マクロ構成や SRAM ビットセルの構造によって変わるものであるから，工夫次第で動作電力の低減は実現できる可能性がある．ま

たトランジスタばらつきによるオン電流の減少は読み出しスピードの劣化につながるが、微細化による配線負荷増大がさらにスピードを抑制してしまう[28]。最後に、低コスト化についてであるが、これには小面積化と出荷テストの削減が有効である。SRAM の小面積化はビットセルを小さくする事がもっとも大きい効果であるが、昨今の先端プロセスではプロセスインテグレーションの観点から SRAM セルの形状や面積を変更する事が出来ないことが多い。そこで周辺回路を小さくしセル占有率を高める事が重要である。

さて、今まで一言で SRAM と言っていたが、実際にはいろいろな種類の SRAM がある。例えば 1 ポート SRAM, 2 ポート SRAM, デュアルポート SRAM である。1 ポートは読み出し・書き込み両方できるポートを 1 つだけ持つ。2 ポート SRAM は読み出し専用ポートと書き込み専用ポートの 2 つのアクセスポートがある。デュアルポート SRAM は読み出し・書き込み両方できるポートを 2 つ持っているものである。昨今のシステムではこのマルチポート系は多く使われるようになっている[29]-[32]。その理由はシステムがマルチコア・メニーコア[33]-[36]に進んでいる事、DVFS によって異なる周波数間のブロックのデータ転送としての FIFO 用途が増えている事、高速通信や画像処理などでは読み出しと書き込みポートが独立したマルチポートが多用される事などがあげられる。また用途によってはもっと多ポートの SRAM の使用例も報告されている[37]-[41]。このように SRAM には様々な種類があり、それぞれに対し高信頼・低電力の実現方法が異なるだろう。それぞれについて考察が必要である。

1.3 本論文の内容と構成

近年の技術の進歩とともに半導体は年々その需要を拡大し、高機能化を進め人々に幸福を与え続けてきた。IoT に代表されるように、今後は益々、人とモノと情報が複雑に絡み合いながら進化を続けていくだろう。そして、その基盤になり続ける半導体の中でも SRAM という他に代えがたい特徴を持ったメモリは今後も重要なキー IP となる。本研究は前節で述べたような背景を元に先端プロセス、あるいはもっと先の時代での LSI でも適用可能な混載 SRAM の高信頼・低電力化技術の実現を目的とし、

それを達成するための研究成果を本論文にて報告する．図 1 - 2 に本論文の構成及び各研究についてまとめ，詳細を下記に記す．

第 1 章 序論

本章では，本研究を進めるにあたって SRAM の重要性を示し，混載 SRAM の今後の成長性，そして今後必要となる技術課題を展望し，本研究を行うにあたった背景について述べる．そして本論文の研究内容について記述する．

第 2 章 先端プロセスでの混載 SRAM の課題

本章では，先端プロセス，LSI での混載 SRAM で生じる問題について記述する．その前提として，シングルポートやマルチポート SRAM の回路動作の説明を行い，SRAM のスケールングトレンドから今後の SRAM の進む方向を確認する．そして SRAM の動作安定性の指標を定義した上で，そこから先端プロセスでの課題をクリアにする．

第 3 章 SRAM 安定性アシスト回路

本章では，トランジスタばらつきによる動作マージン減少を克服する回路技術，アシスト技術について述べる．SRAM の動作安定性は向上するためのワード線降圧回路や負バイアスビット線などの技術を報告する．またアシスト回路の効率的な使用方法についての検討も行う．

第 4 章 低消費電力 SRAM 技術

本章では，低消費電力な SRAM の実現に向けた研究について記述する．SRAM 特有の動作電力である非選択列の疑似読み出し電流を抑える方法をビットセルから検討した結果を報告する．また低リークを実現するための SOI プロセスを用いた SRAM でさらに基板バイアスを制御することにより低リーク化を実現する手法について述べる．

第5章 高信頼・小面積2ポートSRAM技術

本章では、マルチポートSRAMとして2ポートSRAMを取り上げ、高信頼性を得るための新しいスクリーニングテスト手法を提案する。また、小面積な2ポートSRAMを実現するためにシングルポートSRAMを2回動作させて2ポートSRAMとする、ダブルポンプ2ポートSRAMの研究を行う。

第6章 結論

最後に、本研究で得られた研究成果をまとめ、結論とする。

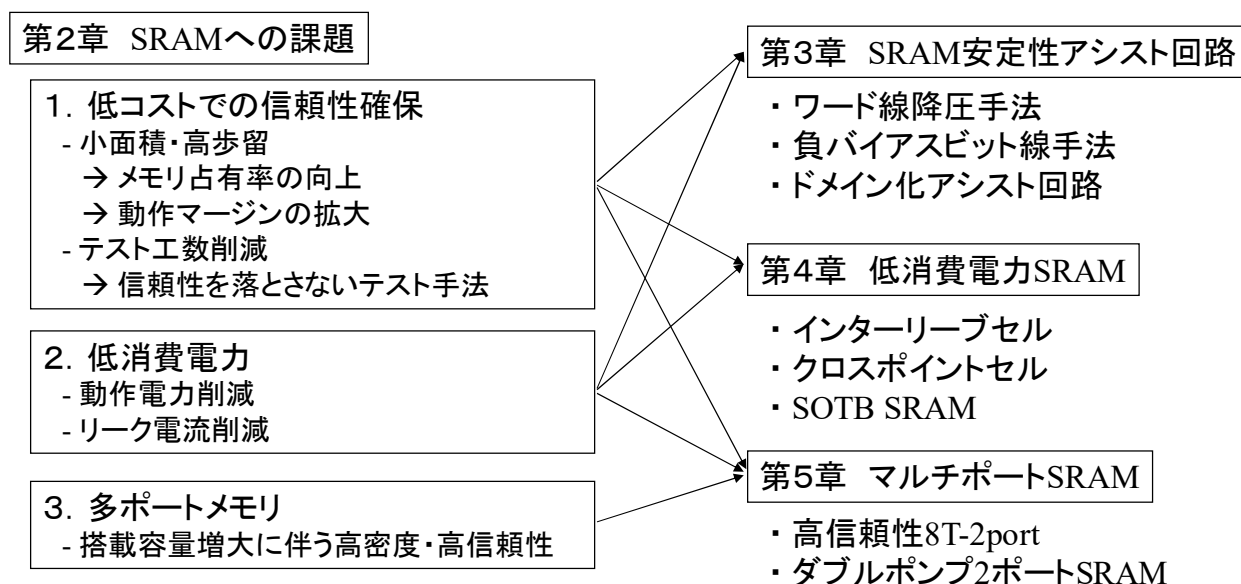


図1-2 本論文の構成

第2章 先端プロセスでの混載 SRAM の課題

2.1 緒言

微細化とともに LSI の大規模化が進み、混載 SRAM の搭載容量も大規模化している。従って SRAM にはチップコスト削減のための更なる小面積化と高い歩留が望まれている。ところが、先端プロセスでの混載 SRAM は重大な問題に直面している。それはトランジスタばらつきの増大により動作マージンが劣化し低電圧動作ができないだけでなく、通常電圧範囲でも歩留まりを落とす可能性がある事、トランジスタばらつき増大に加え配線負荷が大きくなり高速動作が難しいこと、さらに、微細化により SRAM 搭載容量が増えたことによりトータルの消費電力が増えている事などである。また、チップコスト削減という意味では製品出荷テストの簡易化も重要である。本章では SRAM の動作原理からマージンの定義などを含めて上記の問題について考察する。

2.2 メモリセルの構造

2.2.1 6T シングルポート SRAM セル

はじめに SRAM ビットセルの構造について説明する。図 2-1 に回路図を示す。一般的なシングルポート SRAM はロードトランジスタ(PU1,2)、ドライバトランジスタ(PD1,2)、アクセストランジスタ(PG1,2)の6つのトランジスタで構成される。このうち PU と PD はインバータになっており、PU1,2 と PD1,2 はインバータの入力と出力をそれぞれ接続した形をとっている。この構造により ND1,2 に 0,1 あるいは 1,0 それぞれの電位状態を形成することができ、それを記憶素子として利用する。

はじめに書き込み動作について説明する。書き込みの時はまず入力するデータに合わせて BL と /BL を 0,1 にフォースする。そしてワード線(WL)を High にしてアクセストランジスタを開く。例として、ND1=1, ND2=0 を記憶している状態から、BL=0, /BL=1 を書き込むときを考える。ワード線が H になると PG1 がオンし、ND1=1 か

ら $BL=0$ に向かって電流が流れていき、 $ND1$ 電位が下がる。また $PG2$ もオンし、 $/BL=1$ から $ND2=0$ に向かって電流が流れ、 $ND2$ 電位が上がる。こうして $ND1$ 電位がインバータ($PU2, PD2$)の論理閾値以下になると、インバータ自身により $ND2$ が 1 にされる。そして、 $ND2=1$ を受けてインバータ($PU1, PD1$)が $ND1$ を 0 にし書き込み完了したら $WL=0$ にして動作終了である。

読み出し動作は以下のように行われる。まずビット線 $BL, /BL=1$ にプリチャージしておく。読み出しコマンドが入ると、ビット線のプリチャージトランジスタをオフし、ビット線をフローティングにする。そしてワード線を立ち上げる。そうするとビット線から内部ノードに向かって電流が流れ、ビット線電位が低下する。例えば $ND1=0, ND2=1$ のとき、 $WL=1$ になると、 BL から $ND1$ に向かって電流が流れ BL 電位が $1 \rightarrow 0$ に低下していく。ここで生まれる $BL, /BL$ の差電位をビット線につながるセンスアンプを使って増幅し、出力する。

書き込み・読み出しというメモリとして必要不可欠な機能を説明したが、SRAM の動作状態には、もう一つ存在する。それはデータ保持状態である。まず SRAM セルアレイ構造を図 2-2 に示す。ビットセルを縦横に並べてアレイが構成されるが、この時ワード線は左右方向に共通、ビット線は上下方向に共通となる。書き込みや読み出し動作が始まると、アドレス信号から複数あるワード線のうち一本だけが活性化される。またビット線へのデータ入力、ビット線からのデータ出力はアドレス信号に従って入出力セクタで選択される。ここで X アドレス=0, Y アドレス=0 で書き込み動作を想定すると $WL0=1, BL0=0, /BL0=1$ になる。一方、非選択ワード線やビット線は、 $WLx=0, BLy=1, /BLy=1$ となり待機時の状態が維持される。さてこのとき、選択 X アドレス、非選択 Y アドレスでは、 $WL=1, BL=/BL=1$ になっていることがわかる。そうすると、記憶ノード($ND1,2$)の 0 側にはビット線から電流が流れ込むことになり、記憶ノードが 0 に固定できなくなる。その時の電位がインバータの論理閾値を超えなければデータは保持されるが、もし超えてしまうと逆データにラッチされてしまう。これがデータ保持特性である。なお、この状態を X アドレスだけ選択されている状態であることから、ハーフセレクトと呼ぶ。

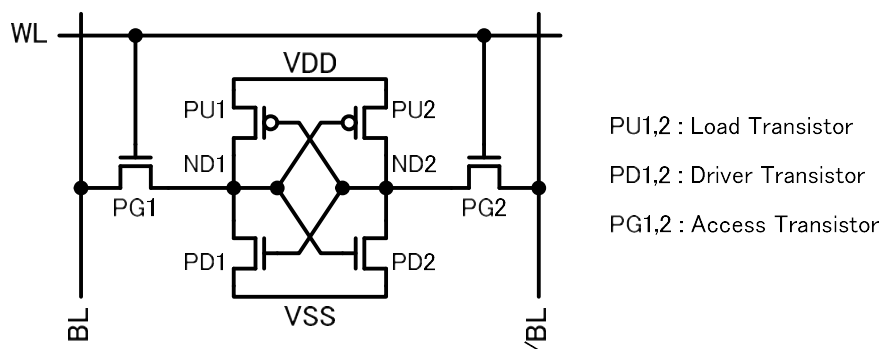


図 2-1 6T シングルポート SRAM ビットセル回路図

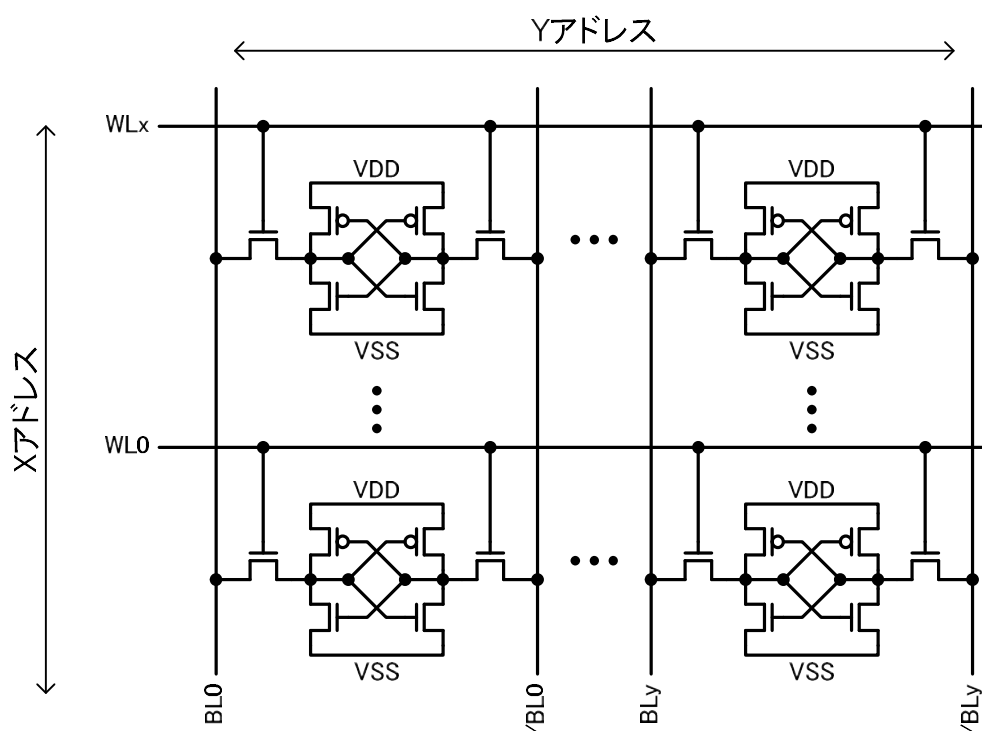


図 2-2 6T シングルポート SRAM セルアレイ構造

2.2.2 8T デュアルポート SRAM セル

本項では8トランジスタで構成するデュアルポート SRAM について説明する。図 2-3 に回路図を示す。前節で説明したシングルポート SRAM に比べてアクセストラランジスタが2つ増えて合計8トランジスタ構成になっている。アクセストラランジスタ (APG, BPG) は AWL, BWL でそれぞれ制御され、接続されるビット線も ABL, BBL と独立になっている。これによって二つのポートから独立にデータを読み書きする事

が可能となる。読み出し方式、書き込み方式はシングルポートと全く同じ方法をとる。シングルポートセルと異なる点は、A ポートが選択、B ポートがハーフセレクトというような状態があることで、A ポート・B ポートの動作によらず安定な書き込み・読み出し・データ保持を実現する必要がある。なお、両ポートが同一アドレスを選択し、両方書き込み動作というのはどちらの書き込みを優先するか決められないため、許可しない。

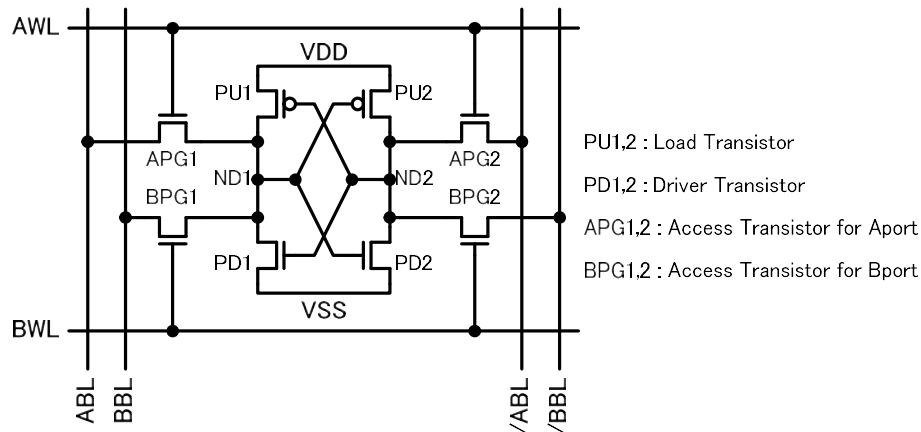


図 2-3 8T デュアルポート SRAM セルビットセル回路図

2.2.3 8T 2ポート SRAM セル

図 2-4 に 8 トランジスタで構成する 2 ポート SRAM セルの回路図を示す。これは上述した 6T シングルポート SRAM に 2 つのトランジスタ (RG, RD) を付与した構成となっている。このセルの機能としては、書き込みと読み出しが別々のポートを持っており、互いに独立に動作することが可能である。書き込み動作については 6T シングルポート SRAM と同様の動作なので説明を省略し、読み出し動作についてのみ説明する。待機時は RBL=1 にプリチャージしておく。読み出し動作にはいると、RBL プリチャージトランジスタをオフにし、RBL をフローティングにする。それから RWL=1 にすると RG がオンする。すると ND2 の電位状態に従って、RD のオン・オフ状態が変わる。もし ND2=1 だとすると RD はオンするので、RBL から VSS に電流が流れ、RBL 電位が落ちる。逆に ND2=0 だとすると、RD はオフなので、RBL には電流パスがなく、元々の 1 状態から変位しない。こうしてデータによって RBL の

電位が異なるので、それをセンスアンプで増幅すれば読み出し機能を実現される。しかし、このセルでは読み出しビット線が相補ではないことは注意が必要である。リークなどで 1 状態から変位しないはずの RBL 電位が落ちてしまう事が有りうるため、RBL=1 or 0 を判断するセンスアンプが重要である。

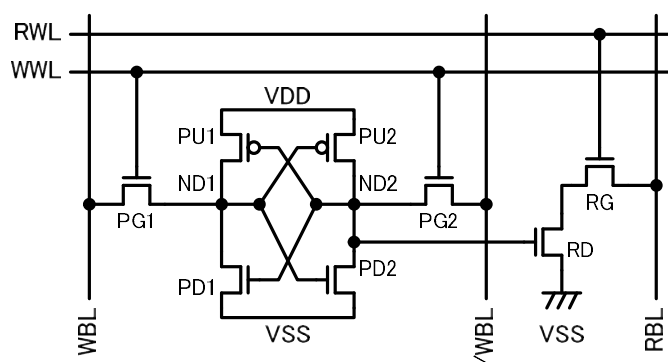


図 2 - 4 8T 2port SRAM セルビットセル回路図

このデュアルポート SRAM と 2 ポート SRAM はワード線が 2 本あり、それぞれのポートは独立に動くため、もっともマージンの減少するワード線間スキューが存在する[42][43]。しかし、その状態は温度や電圧などの条件で変わるため、出荷テストでスクリーニングすることが非常に難しい。信頼性が求められる場合、あらゆる条件での出荷テストが必要になり高コストになってしまう。従って、多ポート SRAM を使うときは異なるポートの干渉に対するスクリーニングテスト手法を検討する必要がある。

2.2.4 SRAM のスケールングトレンド

図 2 - 5 に近年の SRAM のビットセル面積のトレンドを示す。スケールングが緩くなってきたとはいえ、年々プロセス世代が進むごとにシュリンクがなされていることがわかる。この間、Poly-Si ゲートからメタルゲートへの変更、チャネルへのストレス印可による高駆動力化、SOI プロセス、FinFET プロセスなど、プロセス的に大きな変化があったが、SRAM セルサイズのスケールングトレンドは概ね一定である。セルサイズが減少するという事は、それだけトランジスタも小さくなるという事であり、後述するが、トランジスタばらつきは、ゲート長(L)×ゲート幅(W)に依存するためシ

ユリンクが進むほど大きくなり，SRAM 性能を落とす．さらに搭載容量も増加するためより高信頼な SRAM を提供する必要がある．

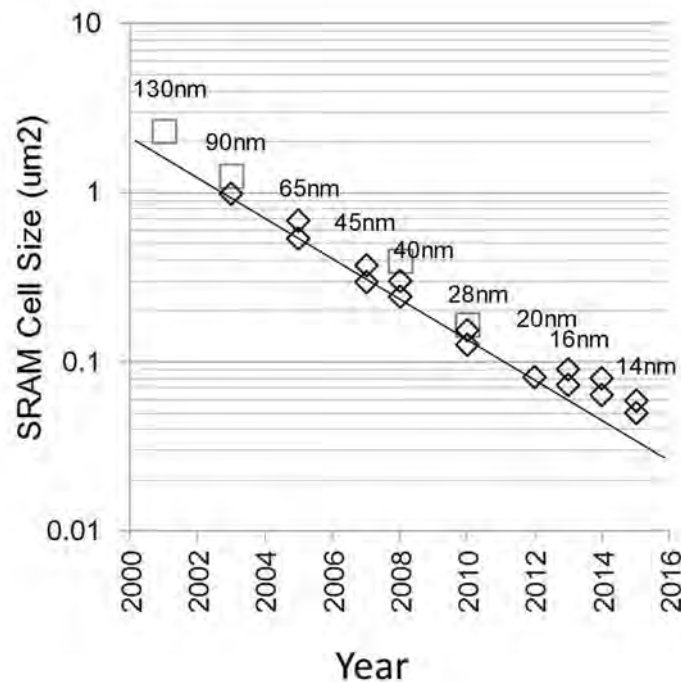


図 2-5 SRAM セルサイズのトレンド

2.3 SRAM 安定性指標

前節で示したように SRAM では書き込み，読み出し，データ保持と，いくつかの動作モードがある．従ってそれぞれに対して安定性指標（動作マージン）を定義し導出することで，動作マージンを評価し，改善する方法を考える手助けとする．

2.3.1 スタティックノイズマージン(SNM)

図 2-6 にスタティックノイズマージン(SNM)[44][45]を示す．これは読み出しやハーフセレクトでメモリセルのデータが壊れる（＝反転する）ことに対するマージンである．SNM はビット線対を”H”にフォースし，WL=H にした状態で，内部ノード (ND1)を L→H に遷移させ出力 ND2 をプロットした伝達特性と，内部ノード (ND2)を L→H に遷移させ出力 ND1 をプロットした伝達特性を重ね合わせることで描かれるグラフの内接正方形の辺の長さが SNM の定義である．この二つの伝達特性の交点が存在しうる電位状態であるが，(b)は不安定点のため，実際は(a)か(c)になる．それが

データ 0, 1 を保持している状態である。データが破壊されるというのは安定点(a)の電位状態が安定点(c)に移ることであるが、これは内接正方形の辺長以上の電位変動があった場合に起こる。従ってこの内接正方形の辺長を静的なノイズに対するマージンとし、SNM と呼ぶのである。

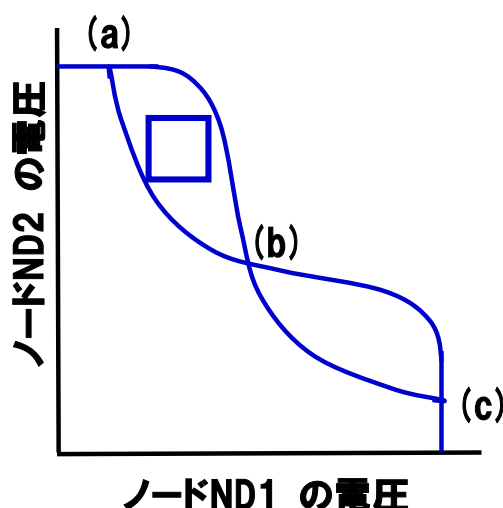


図 2-6 スタティックノイズマージン

2.3.2 書き込みマージン

図 2-7 に書き込みマージンを示す。この解析では、まずビット線対を VDD にした状態でワード線を 1 にし、書き込み側のビット線電位を 0V に向かってフォースし、内部ノードが反転するときのビット線電位を書き込みマージン (Write trip point: WTP)[46]とするものである。内部ノードが反転する電位が高いほどビット線がノイズなどで浮いても書き込みできるので書き込みマージンは大きいという事になる。なお、この指標はマクロ設計と非常に親和性が高い。というのは書き込み時のビット線電位 0V は周辺回路によってフォースされるが、例えばトランジスタ駆動力が弱い、とか配線抵抗が大きいとかで、ビット線電位が浮いてしまう時があるからである。それに対し、この WTP という書き込みマージンをどれくらい確保しておけばよいか、という判断ができる。

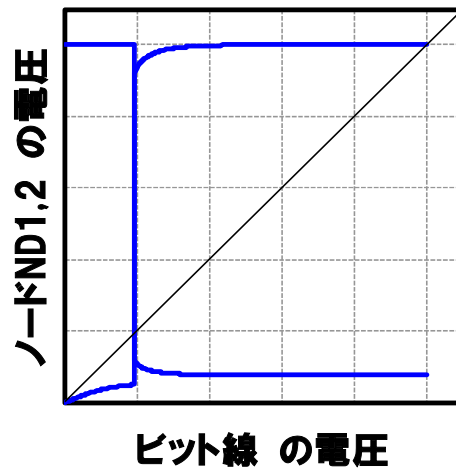


図 2-7 書き込みマージン(Write trip point)

2.3.3 センスマージン

読み出し動作はワード線を活性化してビット線を引き抜き、ある程度のビット線差電位が得られたところでセンスアンプを活性化して信号増幅，データ出力という動作になる．従って，センスアンプ活性化時に，ビット線の差電位が小さすぎるとセンスアンプでも増幅できず，読み出しエラーを起こしてしまう[47]．ここではその読み出し動作に対するマージンとして，センスアンプ活性化時のビット線差電位をセンスマージンと呼び，読み出し時のマージンと定義する．

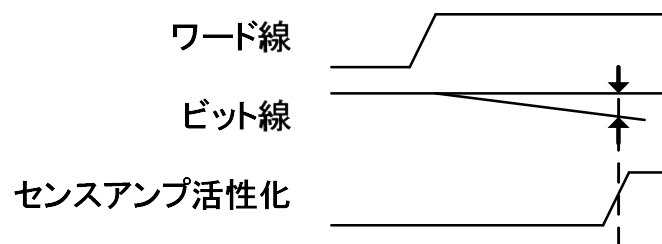


図 2-8 センスマージン

2.4 デバイスばらつきの SRAM への影響

本節ではトランジスタのばらつき要因を述べてそれが SRAM の安定性にどのよう

な影響を与えるか見ていく。トランジスタのばらつきは、グローバルばらつきとローカルばらつきに分類することができる。グローバルばらつきとは主に製造上発生するもので、ロット間、ウェハ間、チップ間、さらにはチップ内などある程度の範囲で同じ方向のばらつく現象である。具体的には露光、エッチング、CMP などによる仕上がり寸法がばらつくことなどである。例えば、図 2-9 のようなレイアウトと仕上がりだったときに、露光やエッチングのばらつきがあったとすると、ゲート長やゲート幅が増減するが、それは局所的、すなわち隣り合うトランジスタにおいては共通である。従ってグローバルなばらつきに対しては、トランジスタのばらつき量としてはほぼ同一となる。一方、ローカルばらつきは隣接するトランジスタでばらつき量が変わるようなものである。これはチャンネルの不純物原子の揺らぎや界面準位のばらつき[48]-[50]、ゲート端の粗さ(Line Edge Roughness)[51][52]などによるものである(図 2-10)。このランダムばらつきは下記の式で導出される[53]。この式からわかるようにローカルなトランジスタばらつきは $EOT(=T_{ox}/\epsilon_{ox})$ などプロセス的な要因と LW 積で決まり、微細化が進むとばらつきは大きくなる方向である(図 2-11)。

$$\sigma V_{th} = \left(\frac{\sqrt[4]{4q^3 \epsilon_{si} \Phi_B}}{\sqrt{3}} \right) \cdot \left(\frac{kT}{q} \frac{1}{\sqrt{4q \epsilon_{si} \Phi_B N_{sub}}} + \frac{T_{ox}}{\epsilon_{ox}} \right) \cdot \frac{\sqrt[4]{N_{sub}}}{\sqrt{W_{eff} L_{eff}}} = \frac{Pel}{\sqrt{LW}} \quad (Pel: Pelgrom \text{係数})$$

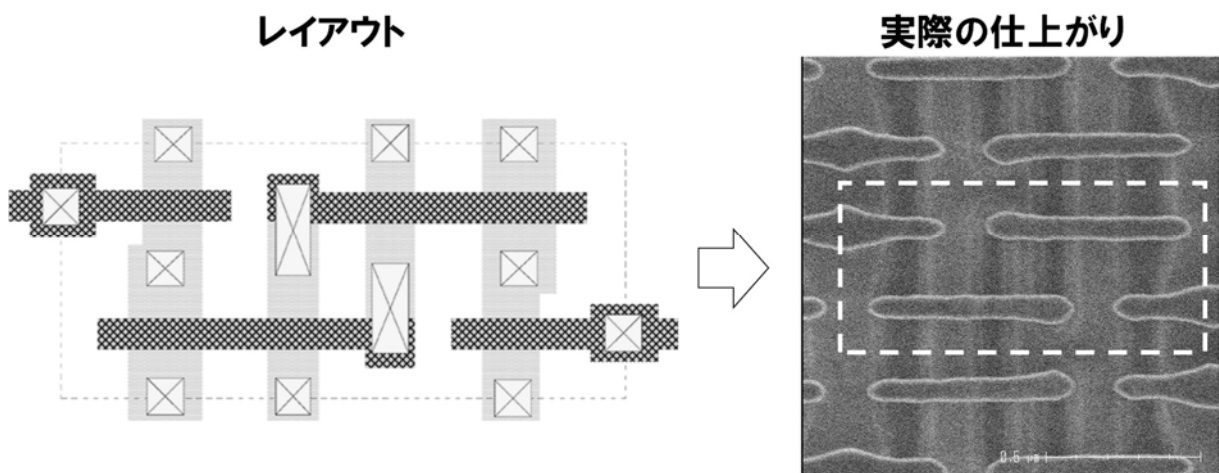
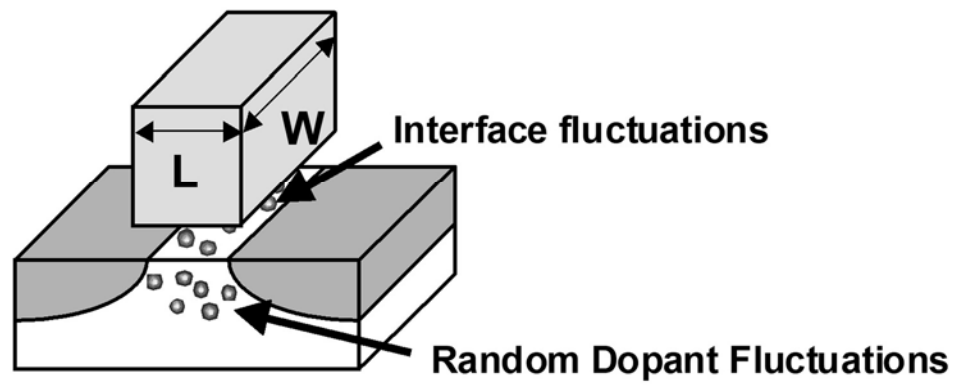


図 2-9 レイアウトデザインと Si での SEM 写真[69]



Line Edge Roughness

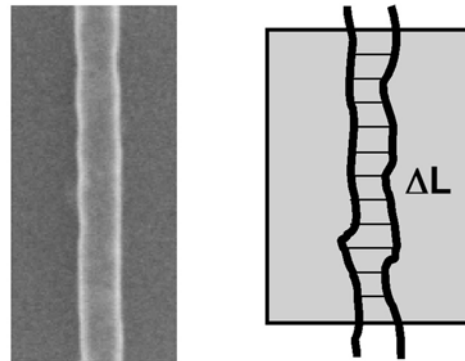


図 2-10 ランダムばらつきの原因

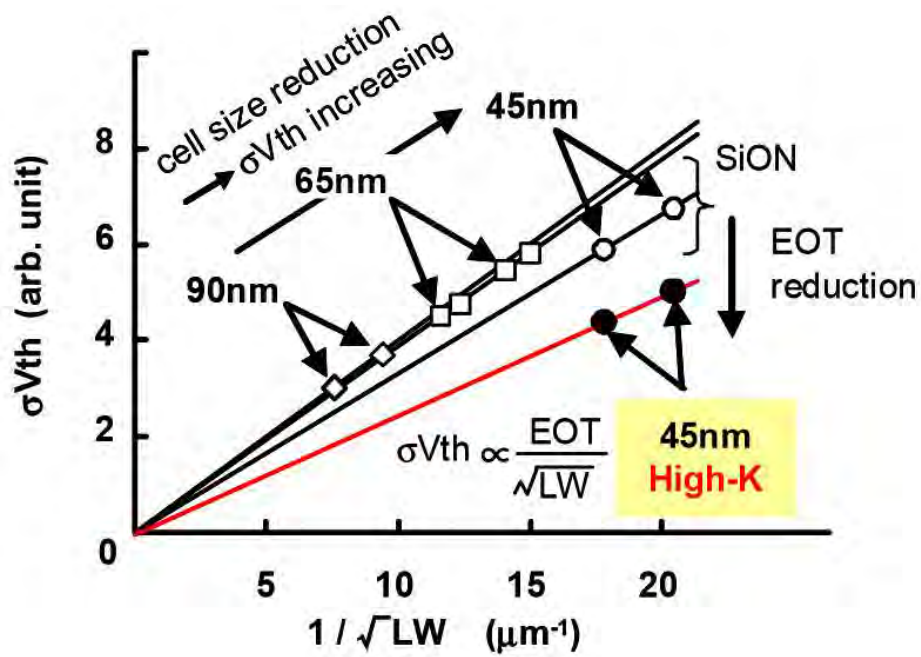
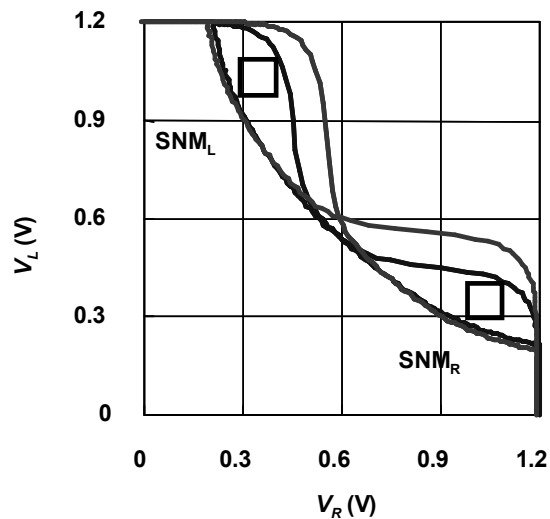
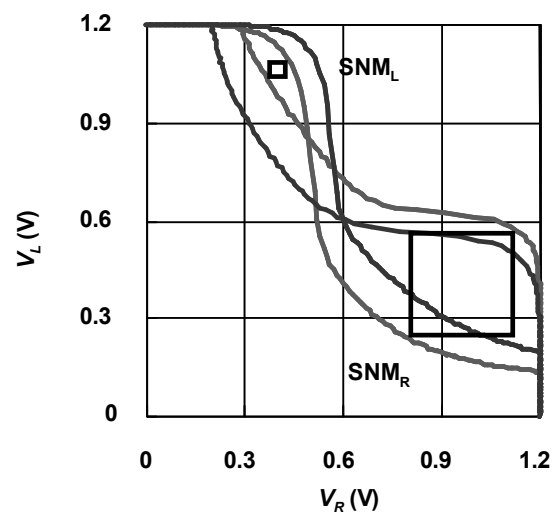
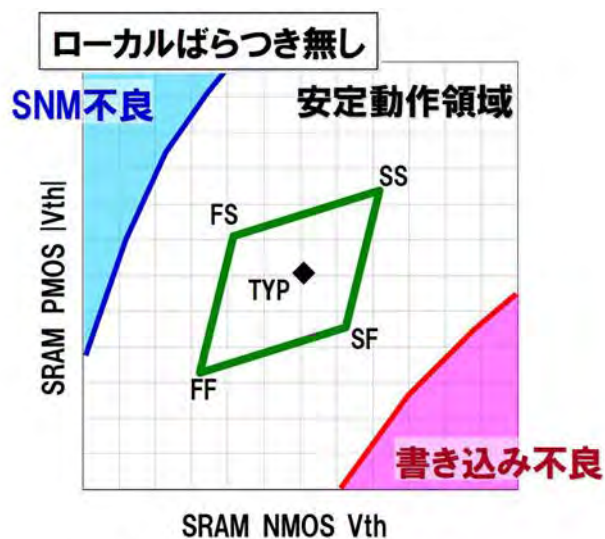


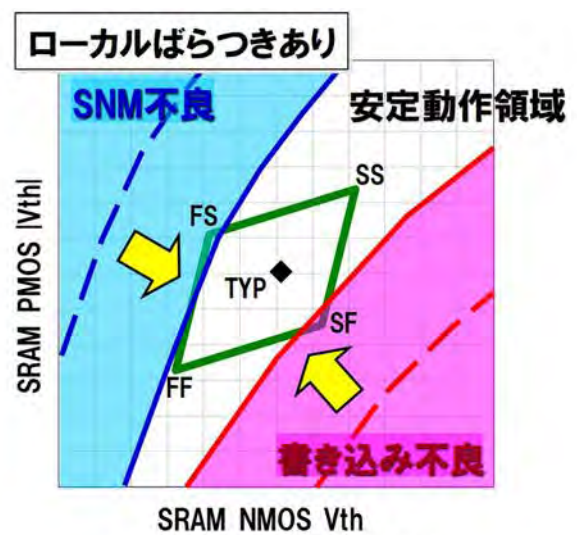
図 2-11 ペリグロムプロット [50]

2.4.1 トランジスタばらつきの SNM への影響

前節で示したようなトランジスタばらつきが SRAM に与える影響として、SNM で詳細を検討する。図 2-12 にグローバルばらつき、ローカルばらつきそれぞれに対応した SNM を示す。グローバルばらつき(a)では 6 つの SRAM トランジスタのうち、NMOS を Fast, PMOS を Slow にばらつかせたものである。このばらつきの方向ではインバータ論理閾値が低電圧側にシフトするため、SNM は小さくなっていることがわかる。しかし、グローバルばらつきでは、相補で接続される左右のインバータはどちらも同じ方向に動くため、0, 1 どちらにおいても SNM も同じように小さくなっていることがわかる。一方、ローカルばらつき(b)ではその傾向が変わっている。6 つのトランジスタがばらばらに動くため、SNM カーブはアンバランスになっていることがわかる。これは 0 を保持しにくい、1 は保持しやすいという事を示唆しているが、SRAM はどちらのデータも正しく保持しなければならないので、片側が小さくなってしまったらそれはマージンが小さくなったことになる。このように SRAM は構成するトランジスタがアンバランスにばらつくことには非常に弱い特性を有している。次に書き込み動作も交えた安定動作マージンの解析[54]を図 2-13 に示す。縦軸が PMOS の V_{th} , 横軸が NMOS の V_{th} である。この図はグローバルなばらつきにより V_{th} がシフトしたときに、安定動作なのか、SNM 不良なのか、Write 不良なのかを知ることができる。左上の領域 (NMOS-Fast, PMOS-Slow) では図 2-12 に示したように SNM 不良が発生する。右下 (NMOS-Slow, PMOS-Fast) では書き込み不良になる。6 つのトランジスタがローカルにはばらついていない(a)ではグローバルにばらついてトランジスタがコーナーにシフトしたとしても安定動作領域に収まっている。一方で、ローカルばらつきを考慮すると、安定動作領域が狭まり、例えば FS コーナーに仕上がったチップでローカルばらつきが起こると SNM 不良を起こしてしまう事がわかる。このようにグローバルばらつき、ローカルばらつきの両方を考慮して SRAM の設計をする必要がある。

(a) w/ global V_{th} variation(b) w/ local V_{th} variation図 2 - 1 2 V_{th} ばらつきによる SNM の違い

(a) SRAM 安定動作 OK



(b) SRAM 安定動作 NG

図 2 - 1 3 V_{th} ウィンドウ解析

さて、このばらつきへの対応について述べる。グローバルばらつきは主に装置などからくる製造上の問題であるから、ファウンドリが工程管理などで抑え込む事が基本となり、保障できる範囲のばらつきをコーナーモデルとして提供する。設計側はそのコーナーモデルの範囲で動作するように設計する。一方、ローカルばらつきについてはどのようにするべきだろうか。SNM や書き込みマージンの分布は正規分布に従う

として、不良率を計算し、そこから製品チップに搭載する SRAM 容量と想定歩留で求める事が出来る。図 2-14 に SNM のモンテカルロシミュレーション結果を示す。上述したように SNM は正規分布に従うことがわかる。そうすると SNM 不良、すなわち $SNM < 0$ になる確率は以下の式（ガウス関数）から導出することができる。

$$f(x) = \frac{1}{\sqrt{2\pi} \cdot \sigma} \cdot \exp\left(-\frac{(x-\mu)^2}{2\sigma^2}\right), \quad -\infty < x < \infty, \quad \sigma^2 > 0,$$

この不良率を P とし、製品搭載容量が N bit とすると、歩留まりは下記の式で導出される。

$$Y = (1 - P)^N$$

仮に $SNM < 0$ となるばらつきが -6σ とすると、ガウス関数から $P = 9.866 \times 10^{-10}$ であり、搭載容量 100Mb であれば、その歩留まりは 90% である。現実の製品においては SRAM の冗長救済回路が入っており、テストである程度の不良ビットは救済することができるのでそれを考慮しないと正確な歩留まりは計算できないが、上記検討からローカルばらつきは 6σ 程度を考えるのが妥当であろう。

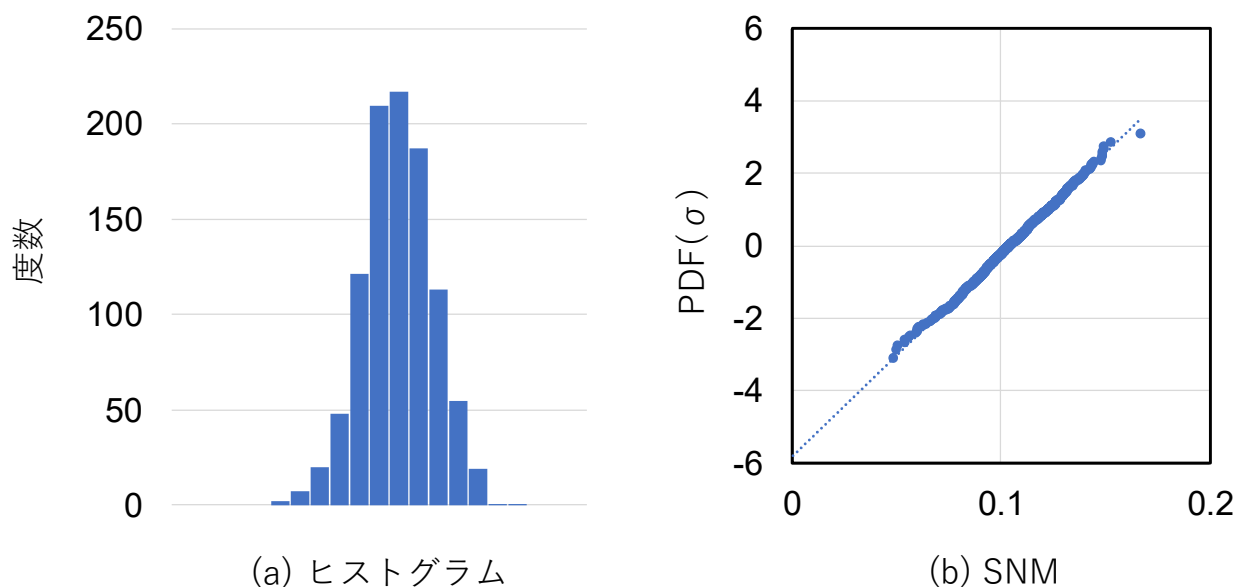


図 2-14 SNM 分布

これまで述べてきた SRAM 動作安定性は静的なものであった。すなわち、SRAM セルにかかるバイアス（電源、ビット線、ワード線）を一定にした状態で、データ保持できるか、書き込めるか、を見てきた。しかし、現実には、ワード線やビット線はパルスになっている。従って例えば読み出し動作であれば、ワード線を活性化してデータが壊れる（内部ノードが反転する）前にワード線が閉じてしまえば、結果的にデータは保持される。また書き込みであれば、データが書き換わる前にビット線の状態が VDD に戻れば書き込めないことになる。このような効果を考慮した安定性を Dynamic Stability[55][56]と呼び、マクロ設計において重要になる。

2.4.2 トランジスタばらつきと消費電力

消費電力はリーク電流とスイッチング電力で一般化されるが、SRAM においてはもう一つ大きな因子がある。それは読み出し電流によるものである。図 2-15 に一般的な SRAM マクロのブロック図を示す。ワード線は X アドレスをデコードしてワード線ドライバで駆動する。ビット線は Y アドレスをデコードした信号でビット線一組を選択し、MUX を通してセンスアンプ(SA)や書き込みアンプ(WA)に接続される。また、ビット線対にはプリチャージトランジスタ(PC)が付与されている。SRAM 動作時、ワード線が 1 になるとき、Y アドレスで選択されたビット線につながるプリチャージトランジスタはオフしているが、非選択アドレスではオンしたままでハーフセレクト状態になる。このとき、BL は H にフォースされているので、プリチャージトランジスタ→ビット線→SRAM セルのパスで DC 電流が流れ続けることになる。これが SRAM 特有のセル電流による消費電力である。この電力を抑えるにはワード線を活性化している時間を短くする必要がある。図 2-16 に SRAM の動作波形のモンテカルロシミュレーションを示す。ワード線は SRAM が正常に読み出し、書き込みを完了するまで活性化しておく必要がある。図に示されるように、トランジスタがばらつくと動作完了までの時間もばらつく。前項で示したローカルばらつき 6σ 考慮で動作するために必要な読み出しワード線活性化時間(T_{WL})を導出する。ビット線容量を C_{BL} 、SRAM のビット線引き抜き電流（セル電流）は正規分布に従うとし、平均値を μI_{cell} 、セル電流のばらつきを σI_{cell} とするとビット線差電位 V_{BL} は以下の式となる。

$$V_{BL} = (\mu I_{cell} - 6\sigma I_{cell}) \frac{T_{WL}}{C_{BL}}$$

ここでビット線差電位はセンスアンプオフセット以上であれば正常動作が可能となる．センスアンプオフセットは設計で抑え込めるが，一般的には $\sigma = 5\text{mV}$ 程度が妥当で，センスアンプばらつき 4σ 考慮すると V_{BL} は 20mV 以上が設計値となる．従って T_{WL} は下記の式で表される．

$$T_{WL} = \frac{0.02C_{BL}}{\mu I_{cell} - 6\sigma I_{cell}}$$

ここで，ビット線引き抜き電力 P は電流 \times 電圧 \times 時間から，以下の式になる．

$$\begin{aligned} P &= IVt = \mu I_{cell} V_{DD} T_{WL} \\ &= \frac{0.02C_{BL}}{1 - 6 \frac{\sigma I_{cell}}{\mu I_{cell}}} V_{DD} \end{aligned}$$

上式において， $\sigma I_{cell} / \mu I_{cell}$ は σV_{th} に比例するからトランジスタばらつき $1/\sqrt{LW}$ には反比例となり，微細化すると大きくなる項である．以上から，ビット線引き抜き電力は，従来の比例縮小則による電力低減には従わず，微細化しても電力が減らないという問題が起こる．ここで求めた T_{WL} になるように回路設計する技術として SRAM レプリカセルを使用する方法が従来提案されている [57] が，この技術もトランジスタのローカルばらつきが大きくなると，うまく SRAM トランジスタを模擬することが難しくなる．

最後にリーク電流の削減であるが，これは SRAM セルすべてのリークの総和なので，ローカルばらつきの影響は受けにくい．セルバイアスを小さくする方法や，基板バイアスで V_{th} を高くしてリークを抑えるというような技術 [58]-[61] により削減できるが，微細化が進み低電源電圧化が進むと，通常動作時のリーク電流を削減するのは難しくなっている．

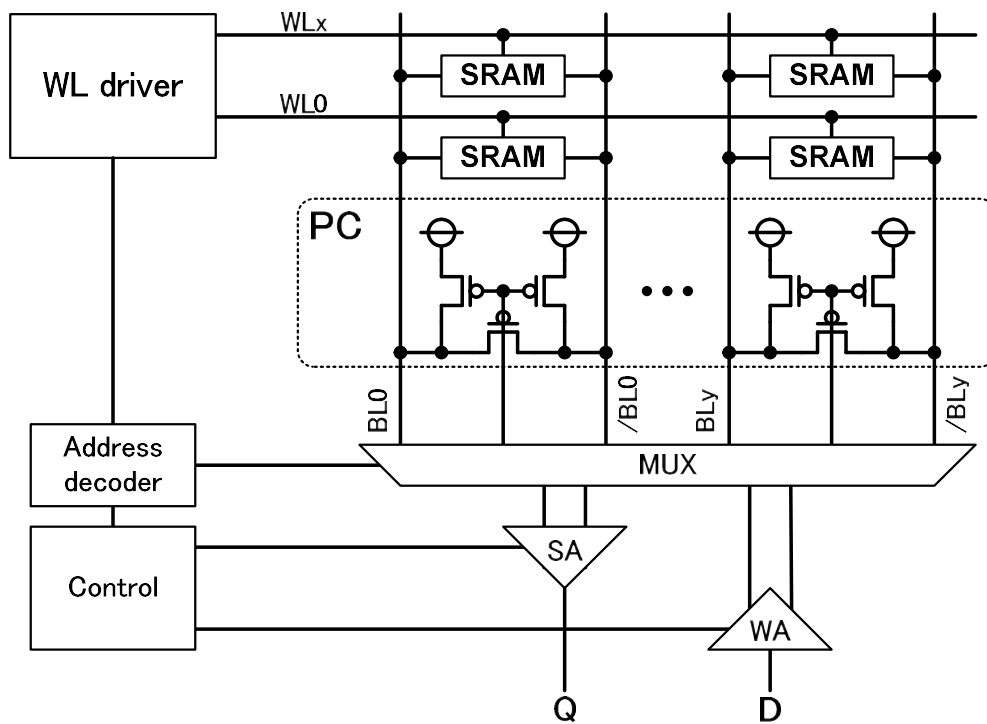
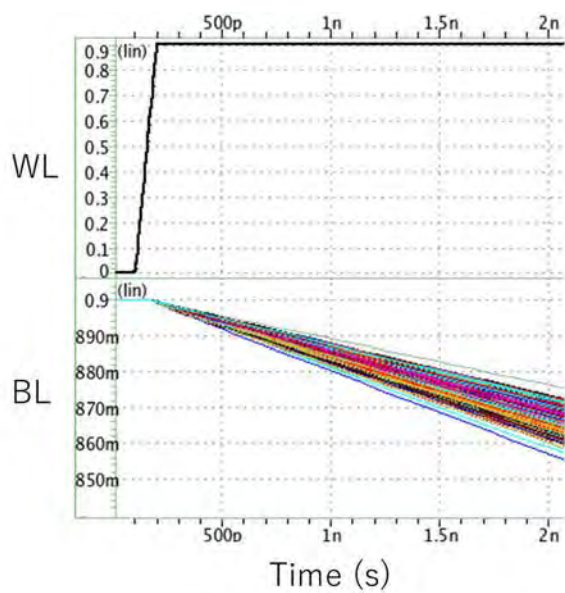
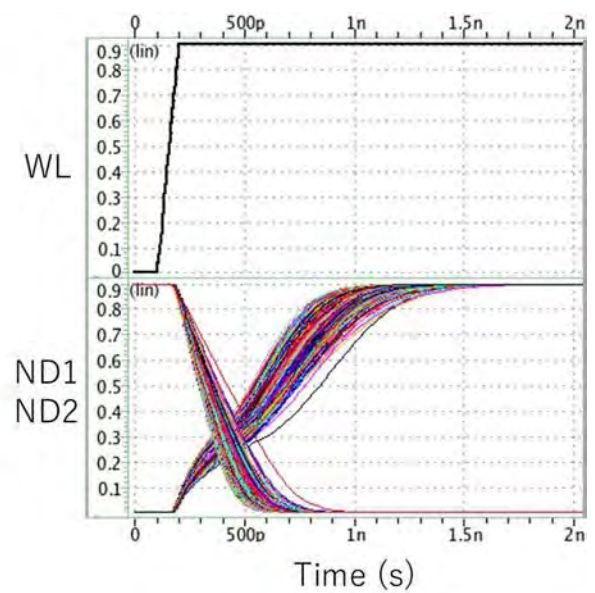


図 2-1 5 SRAM マクロブロック図



(a) 読み出し動作



(b) 書き込み動作

図 2-1 6 SRAM 動作波形シミュレーション

2.5 マルチポート SRAM の要求

近年のアーキテクチャは、シングルコアでの高性能化に限界が見えており、マルチコア、メニーコア化に進んでいる。さらに電力効率を上げるために、各コアにおいて DVFS 技術を適用し、周波数や電圧を可変にする事が多い。また、CPU だけでなく GPU など様々な大規模 IP をオンチップに組み込むことも多い。こうした時に必要になるのがマルチポート SRAM である。シングルコア時代においては、主に CPU のレジスタファイルでマルチポート SRAM を使われることが多かった。これは、演算処理速度の高速化のためにはパイプライン化が必須であるが、レジスタへのアクセスが重なったときに、シングルポートだとパイプを止めて待つ必要がある。この待ち時間を無くすためにマルチポートのレジスタファイルを使われることがあった。マルチコアになると、複数あるコア間のデータ共有方法の一つとして、密結合マルチプロセッサ(Tightly Coupled Multi-Processor)[64]という方式があり、これでは複数のコアがメインメモリを共有するためマルチポートメモリが必要になる。そのほかチップ内の IP 間のデータ共有における FIFO として 2port SRAM が使われる。また近年では画像処理が多く使われているが、画像処理においては入力と出力の接続先が別々であることがほとんどである。例えば、入力はカメラ IP、出力は画像認識 IP などである。この場合、メモリバスで処理することも可能であるが、小面積かつ低消費な 2 ポートメモリがあると比較的簡単なアーキテクチャで高性能なシステムを構築することができる。このように、近年のシステムにおいてはますますマルチポート SRAM の要求が増えていくと考えられる。そうすると前節で述べたように様々な問題に対応するだけでなく、マルチポート特有のポート間干渉という問題にも対応する必要がある。

2.6 結言

本章ではまず SRAM の基本的な動作について理解を深めた上で、先端プロセスでの混載 SRAM の課題について述べた。スケーリング則により高速や高密度の利点が得られる反面、昨今の LSI では様々な問題が起こっている。

1 つ目は、微細化によるトランジスタばらつき増加が引き起こす動作マージン劣化、

LSI としての多機能化・高機能化による SRAM 搭載容量の増大である。これに対し、市場命題としてのコスト増加はできる限り抑えつつ対応する必要がある。そのためには、小面積な SRAM が必要となり、大規模に搭載される SRAM のすべてが正常に動作できるように動作マージンの改善が必要である。さらに信頼性を落とさないため出荷テストのコストを抑えつつ、高歩留な SRAM を提供しなくてはならない。

2 つ目は、消費電力を抑える事である。先に述べたように先端プロセスでは SRAM 搭載容量が増大している一方で消費電力のスケーリングはそこまで進んでいない。特に SRAM では単純なスイッチング電力だけではなく、ハーフセレクトセルのセル電流による電力が存在し、これはローカルばらつきによって増える方向である。低電圧化に従いトランジスタ閾値の低電圧化もありリーク電流を抑制する事も必要である。

3 つ目は、マルチコアやメニーコア、画像処理など多機能 IP で使い勝手のよい多ポートメモリの要求である。多ポートメモリではポート間干渉があるので、シングルポート SRAM とは別要因の動作マージン劣化も存在する。これらに対しての検討と対策が必要である。

以上の課題に対しての研究を本論文にて述べる。

第3章 SRAM 安定性アシスト回路

3.1 緒言

先端プロセスによってトランジスタの微細化に伴うグローバルばらつき、ローカルばらつきが増大し SRAM 安定性に重大な問題を起こしている。さらに、搭載容量も増大していることにより製品チップ内にローカルばらつきの大きなセルが存在する確率も増えている。ここでローカルばらつきは LW の $-1/2$ 乗に比例する事から、セルサイズを大きくしてローカルばらつきを小さくし、安定性を確保するという考え方があるが、現実には SRAM には小面積化要求が大きいいため単純に面積を大きくする事はできない。またマージンを拡大するための新しいセル[63][64]も提案されているが、これもセル面積増大を招き小面積要求に逆行するため、特殊用途での利用となる。

本章では、SoC で一般的に使える小面積で SRAM 安定性を改善し高信頼な SRAM を提供するためのアシスト回路について言及する。

3.2 読み出し・書き込みマージン改善手法

3.2.1 SNM アシスト回路

先端プロセスにおいてトランジスタばらつきが増大し SRAM 動作マージンが減少している。このままでは歩留まりが低下し、動作電圧が下げられず消費電力が減らない、ということになりかねない。そこで、本章では回路的に動作マージンを改善する方法を検討する。SRAM の動作マージンのうち、まずは SNM の改善手法について考える。図 2-12 に示したように、ローカルばらつきによって SNM は悪化する。SNM が減少したセルのみ SNM 改善することがベストであるが、どのセルの SNM が悪いかはランダムに決まり、悪いセルのみマージン改善する回路を設計することは現実的ではない。そこで SRAM 全体的に SNM を改善させることを考える。これには様々な改善手法が提案されている[65]-[68]。SNM は 2 つの伝達特性を重ね合わせた SNM カーブグラフの内接正方形であるから、それを大きくするには、論理閾値を上げるか、

動作安定点(図2-6(a)(c))の電位を下げることで有効である。動作安定点の電位状態はロードトランジスタがオフし、ドライバトランジスタとアクセストランジスタがオンしている状態なので、ドライバとアクセストランジスタの抵抗分割で決まっている。従ってアクセストランジスタの抵抗上げるために、ワード線の電位を下げることを考えた[69][70]。図3-1にそのシミュレーション結果を示す。(a)ローカルばらつきがないときでみると、ワード線電位(V_{WL})を下げると動作安定点の電位が下がり、それに従い SNM が拡大することがわかる。また、動作安定点だけでなく、インバータ論理閾値を超えてからの電圧変化も急峻になっており、それも併せて大きな SNM 改善効果が得られる。次に(b)でローカルばらつきを考慮すると、 $V_{WL}=V_{DD}$ では二つの伝達特性に交点がなく、 $SNM < 0$ でデータ 1 ($Q=1, QB=0$) を記憶することができない。ここで V_{WL} を低下していくと次第に SNM が大きくなってデータ 1 側の動作安定点が生まれる事がわかる。従ってワード線レベルを下げる事で SNM を確保することができる。

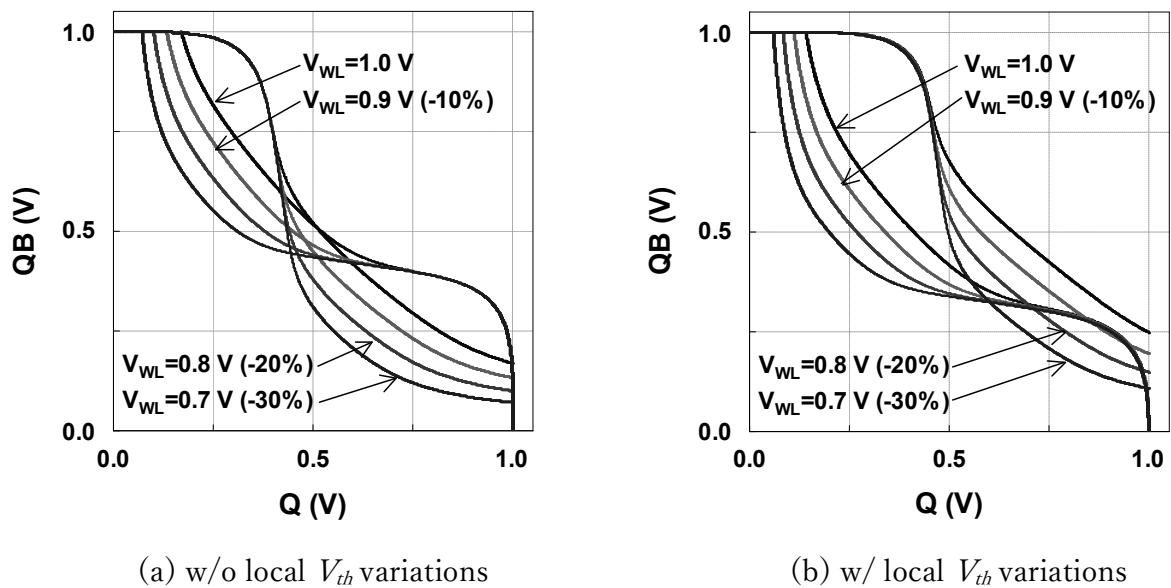


図3-1 ワード線レベルによる SNM 改善

これを実現する回路としてまず検討したのが図3-2である。ワード線にアクセストランジスタを模擬した引き抜き用トランジスタ (Replica Access Transistor: RAT) を接続した回路構成になっている。図2-13に示したように SNM が最も悪くなるグローバルばらつきコーナーは FS コーナーであるから、ワード線レベルは FS で最も

下がるのが望ましい．そこで本回路でのワード線引き抜き部は SRAM のアクセストランジスタで作っている．そうすると SRAM のアクセストランジスタの駆動力が大きい，すなわち SNM カーブでの動作安定点が高いときに，ワード線がより下がり SNM の改善効果が大きくなる．ただ，この回路では2つの問題がある．面積オーバーヘッドが大きいことと，温度依存性が良くないことである．面積はワード線一本ごとに RAT が必要なので，その分がまるまる面積増加になってしまう．とくに混載 SRAM では様々なワードビット構成の SRAM が使用されるので，小ビット構成において，面積オーバーヘッドが大きくなってしまう．

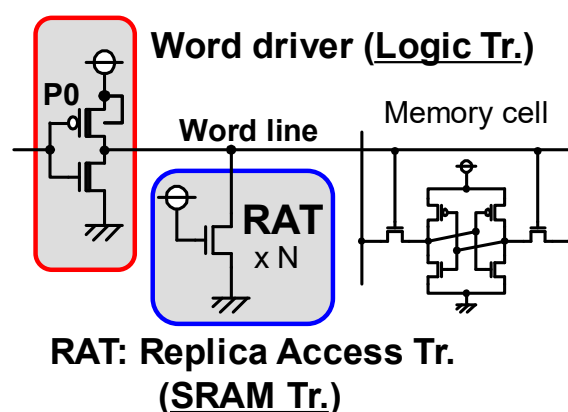


図 3-2 ワード線降圧回路

次に，温度依存性について図 3-3 に示す．SNM は高温ワーストなので低温時にワード線を大きく下げる必要はない．本回路におけるワード線レベルは P0 トランジスタの Id-Vd 静特性と RAT の Id-Vd 静特性の交点で決まる．この交点が低温時に下がりすぎてしまっていることがわかる．これはワード線ドライバの P0 トランジスタと，RAT の V_{th} 差からくる温度依存性の差，すなわち PMOS と NMOS の差と，RAT(SRAM トランジスタ)がリーク対策のために高めに V_{th} が設定されている事が原因である．

この問題を解決するために考案した回路が図 3-4 である．この回路では WL に接続していた RAT の位置をワードドライバのソース(N_A)に接続している．これにより，WL 毎についていた RAT がなくなるため面積を縮小できる．ワード線のレベルは N_A ノード電位で決まるが，このノードは抵抗素子 R0 と R1, RAT の抵抗分割で決まる．R0 は抵抗素子なので従来の PMOS よりも温度依存性が小さく，温度特性の改善が見込まれる．ここで R0 と RAT との抵抗分割でワード線電位を決めるようにすると，

抵抗ばらつきの影響が大きかったため、 N_A ノードの引き抜きパスを RAT だけではなく同じ抵抗デバイスで R1 を追加し抵抗ばらつきの影響をキャンセルした。また、従来回路ではワード線がオンした時だけ DC 電流で引き抜く構成であったが、本回路ではワード線ドライバのソースを DC 電流で引き抜く構造なので、RAT の制御にワード線のプリデコード信号 XH を使っている。これで待機時の DC 電流を抑える事が出来る。図 3-5 に本提案回路の PVT 依存性を示す。R1 抵抗がないとき抵抗ばらつきで 124mV と大きなワード線電位の変動が見られたが、提案回路では 5mV と抑え込むことができた。また、電圧依存性も $V_{DD}=0.7V\sim 1.3V$ の範囲でワード線が V_{DD} の 80%程度を維持していることがわかる。これは抵抗ばらつきがあっても同様である。

本回路における SNM の実測値を図 3-6 に示す。ワード線アシスト回路によって、SNM が 202mV から 277mV に改善することがわかる。また SNM カーブも図 3-1 に示したシミュレーションと同様、インバータ論理閾値を超えた後の電位がより低くなっていることが確認された。右図は SNM のばらつき評価である。 μ/σ は平均値を標準偏差で割ったもので、Z 値と呼ぶものである。標準正規分布に規格化したときに、 $SNM < 0$ になる σ 値に相当する。第 2 章で示したように、歩留まりを考慮するとローカルばらつきは 6σ ばらついても不良にならないことが望ましい。ワード線アシストなし (w/o AST) では 5.2 と規格に未達であったが、ワード線アシストあり (w/ AST) では 7.4 となり満足する結果が得られた。これはワード線アシストで SNM のばらつきを悪化させることなく、SNM 平均値が改善した結果である。

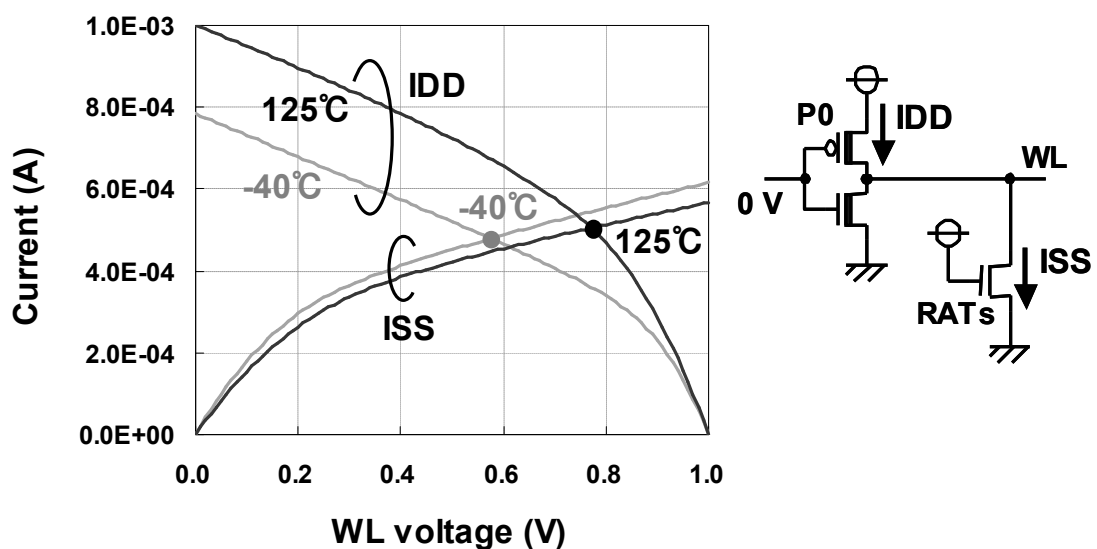


図 3-3 ワード線アシスト回路の電圧依存性

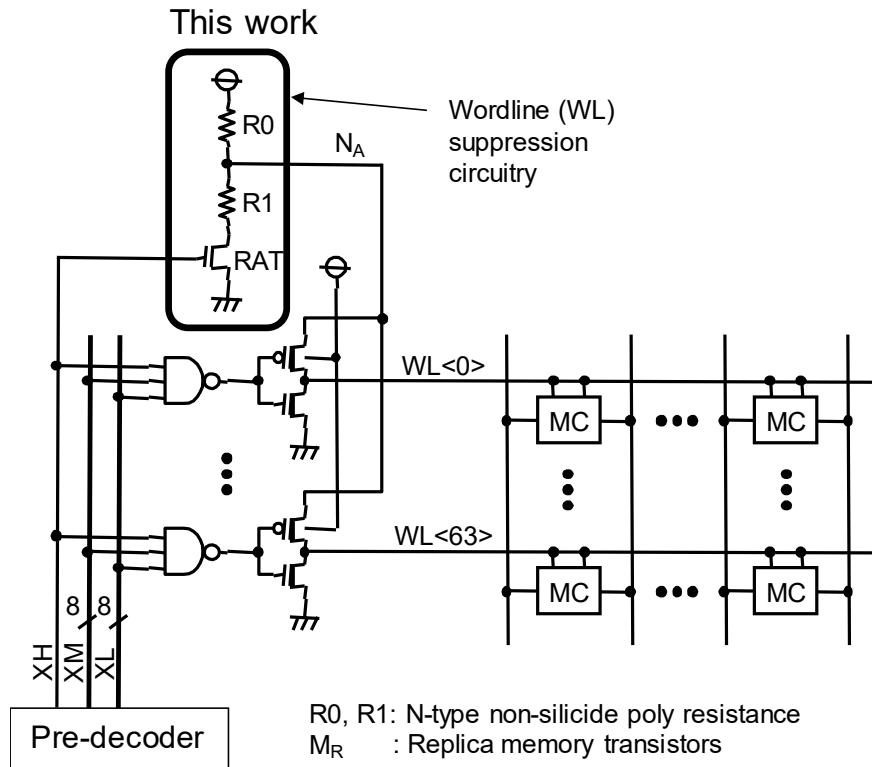


図 3-4 抵抗型ワード線アシスト回路

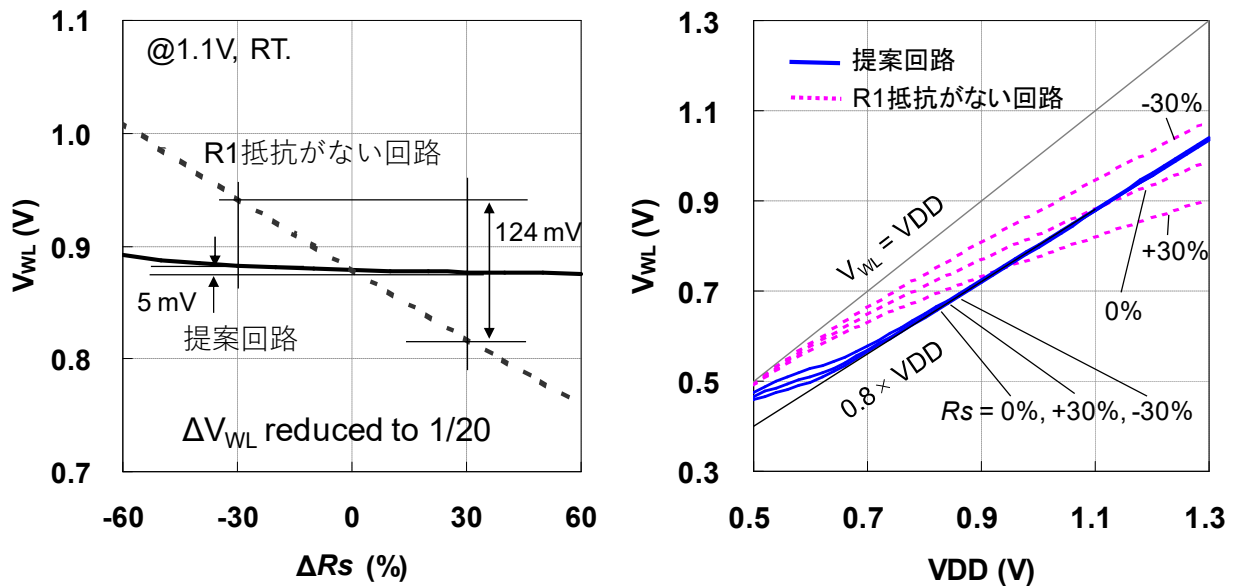


図 3-5 ワード線電位の電圧依存性

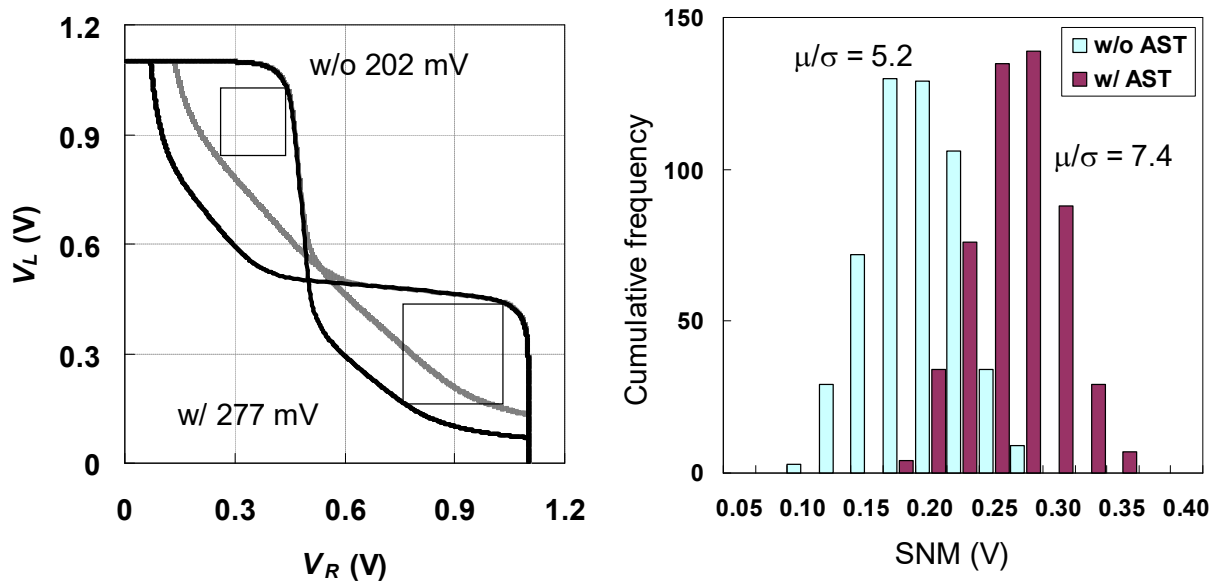


図 3-6 ワード線アシスト回路による SNM 実測値 @ 1.1V, R.T.

3.2.2 書き込みアシスト回路

本節では書き込みアシストについて説明する．書き込み時のセルの動作について図 3-7 に示す．ND1=1, ND2=0 に記憶されている状態を書き換えることを考える．この時，ND1 は PU1 によって VDD にプルアップされ，ND2 は PD2 によってプルダウンされている．ビット線に書き換えるデータを入れ，ワード線を活性化させて書き込み開始となる．アクセストランジスタがオンすることで，ND1 から BL に電流が流れ ND1 の電位が低くなる．また，/BL から ND2 に電流が流れ ND2 の電位は高くなる．そうすると，PU1 のゲートオーバードライブ電圧が低下し，ND1 を VDD にフォースする駆動力が落ちるため，さらに ND1 の電位が下がる．このようにして，ビット線電位に従うように ND1 が VSS に，ND2 が VDD に書き換わる．では，ばらつきによって書き換える事が出来ないとはどういう状況であろうか．それは PG1 の駆動力が弱いまたは PU1 の駆動力が強いため，PG1 引き抜き電流が PU1 の供給電流以下になってしまう時である．このことから，書き込みマージンを改善するには，アクセストランジスタの駆動力を上げるか，ロードトランジスタの駆動力を下げる事が考えられる．そのために様々なアシスト技術が提案されている [67]-[75]．代表的な方法として，VDD を下げてロードトランジスタの駆動力を弱める方法があるが，こ

れにはいくつかの問題がある。その一つは PU1 が弱くなって ND1 の電位書き換えは可能になるが、PU2 も同時に弱くなるので、ND2 が VDD に遷移するのが遅くなってしまう事である。これは長時間待っていればいずれは書き換わるので通常の書き込みマージン評価では見つからず、高速な動作周波数のとき不良となる。また PU1 と PU2 は基本的にどちらかがオンしている状態なので、メモリセル VDD だけを下げようと思っても、内部ノード(ND1, ND2)のどちらかも同時に下がってしまい、電力的に無駄になる。従って本研究ではアクセストランジスタの駆動力を上げる方法として、ビット線にマイナス電位を供給することでアクセストランジスタのゲートオーバードライブ電圧を大きくすることを提案する。

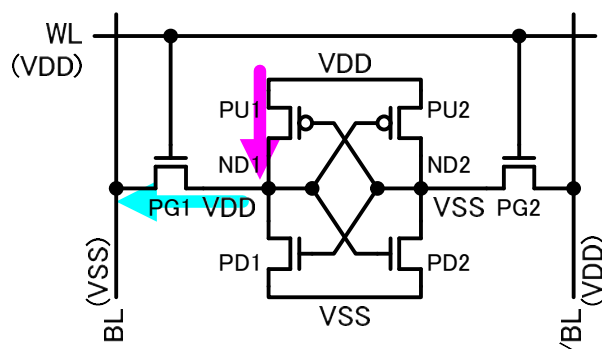


図 3-7 書き込み時の電流状態

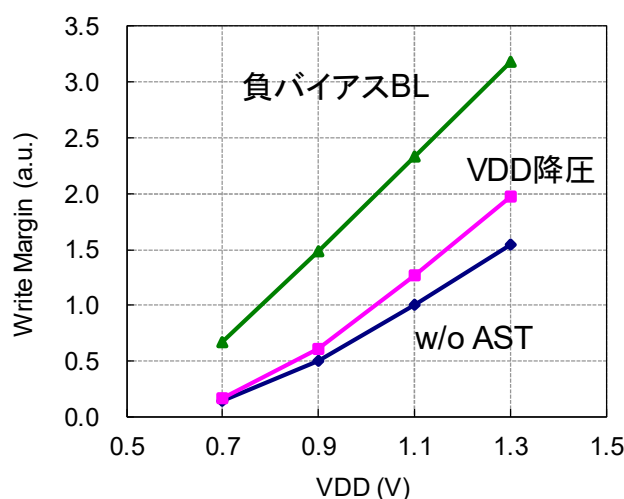


図 3-8 書き込みマージン比較

図 3-8 で VDD 降圧型アシストと負バイアス BL 型アシストの比較を行った。全電圧において負バイアス BL のマージン改善効果が大きいことがわかる。また、VDD 降圧型では特に低電圧領域でマージン改善効果が小さくなっていることもわかった。

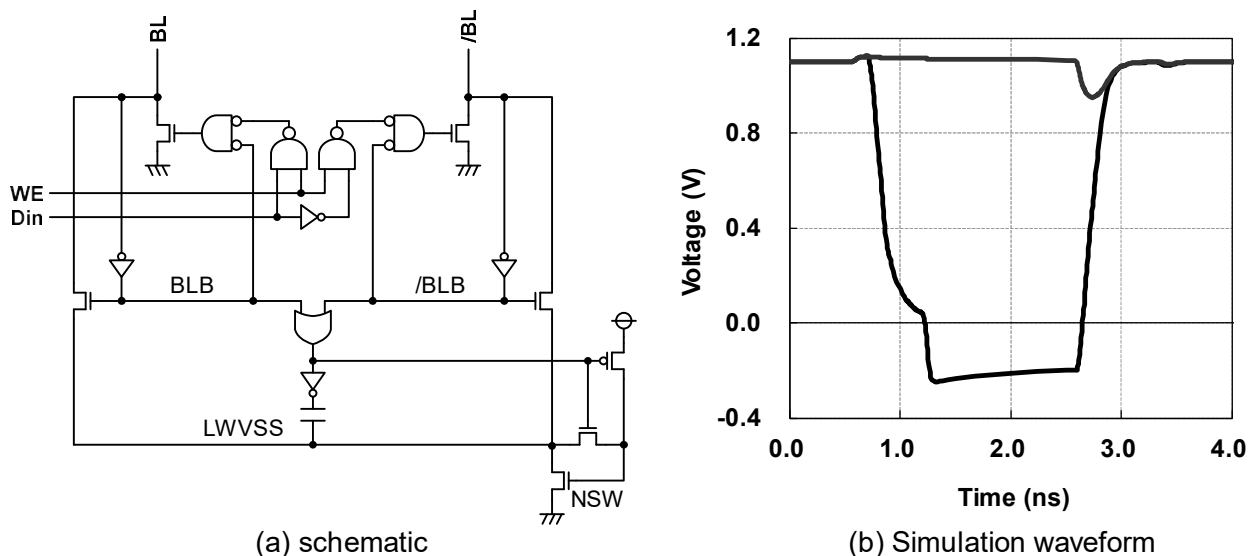


図3-9 負バイアス生成回路

次に負バイアス BL を生成する回路を図 3-9 に示す。これはビット線が 0V に引き抜かれた事を検知して、ポンプ容量をポンピングし負バイアスを作る回路である。待機状態ではビット線対は 1 にプリチャージされているので、BLB、/BLB は 0 である。それを受けた OR の出力も 0 になり、NSW は 1 になっている。従ってポンプ容量の両端には VDD の電圧がかかっている。この状態から書き込み動作に入ると WE=1 になって、BL、/BL のどちらかが 0 に引き抜かれる。それを受けて BLB、/BLB のどちらかが 1 に遷移し、トランスファートランジスタがオンし、BL、/BL の 0 側が LWVSS に接続される。一方、BLB、/BLB を受けた OR の出力が 1 になるので NSW がオフして LWVSS が VSS から切り離される。その後、ポンプ容量の VDD が VSS に遷移することで LWVSS がポンピングされ負バイアスになり、その電位がビット線に伝わり BL、/BL の 0 側が負バイアスになる。この回路では負バイアス生成時に BL がフローティングになるため、BL が 0V になるまえにポンピング動作を開始すると、最悪の場合 BL が 0V にすら到達しないという事が起こりうる。そのため、図 3-9 (b) でシミュレーションによる確認を行った。波形をみると BL が完全に 0V になる前に負バイアス生成回路が動作し始めているが、結果として正しく負電位が得られることが分かった。

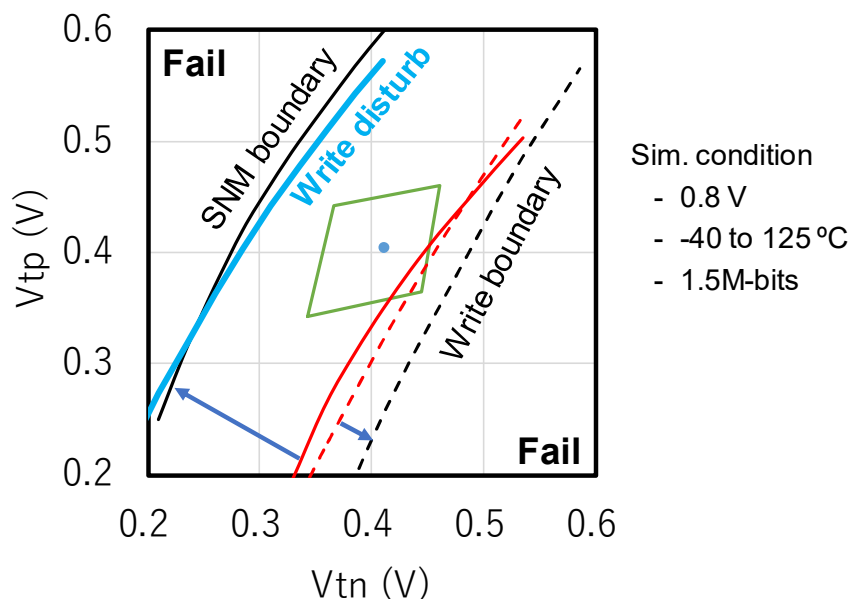


図 3-10 アシスト回路による動作マージン改善

さて、負バイアス BL による書き込みマージン改善について考察してきたが、この回路では一つ問題がある。それは、非選択行での誤書き込みである。図 2-15 に示したように、一般的な SRAM マクロは異なる行で共通のビット線を持つ。従って、ビット線を負バイアスにしたときに、非選択行 ($WL=0$) のアクセストランジスタのゲートが 0V、ソースが負電位となり、ゲートソース間電圧が正になるため、完全なオフ状態にはならない。ここで V_{th} ばらつきの影響によって $V_{gs} > V_{th}$ になる可能性があり、その場合、誤書き込みが起こる。これについて調査した結果を図 3-10 に示す。まず、前節で述べたワード線降圧回路によって SNM マージンが大きく改善している。そして本節で述べた負バイアス BL によって書き込みマージンも改善した。書き込みマージンの改善量が小さいのは、ワード線降圧回路によってそもそも書き込みマージンが減少してしまったことによるもので、ワード線降圧によるマージン劣化以上のマージン改善効果が得られた。そして、負バイアス BL によって生じてしまった誤書き込みの境界が Write disturb の線である。この誤書き込みは NMOS の V_{th} が低いほどアクセストランジスタがオンして起こりやすいので、グラフの左上が不良領域である。 V_{th} の状態によっては SNM よりもマージンが悪いところがあるが、プロセスコーナー全領域で正常動作することを確認できた。

3.2.3 45nm バルクプロセスでの試作結果

これまで説明した SRAM 安定性アシスト回路として、ワード線降圧回路と負バイアス BL 回路を搭載した SRAM マクロを 45nm バルク CMOS プロセスで試作したので本節ではその結果について示す。

図 3-1 1 に使用した SRAM ビットセルの SEM 写真を示す。この写真は Poly-Si を形成後に撮影したものである。セルサイズは $0.33\mu\text{m}^2$ である。綺麗なゲート形状となっている。図 3-1 2 に示すのはアクセスタイムのシミュレーションプロットである。アクセスタイムとは、SRAM にクロックが来ってからデータが出力されるまでの時間の事である。縦軸に電源電圧、横軸がアクセスタイムである。“*”のところがパス領域で、電源電圧が高いほど高速なところでもパスしていることがわかる。電圧を下げると、アクセスタイムは遅くなり、0.7V 程度ではスピードによらず不良となっている。標準電圧 1.1V でのアクセスタイムは 3.2ns であった。

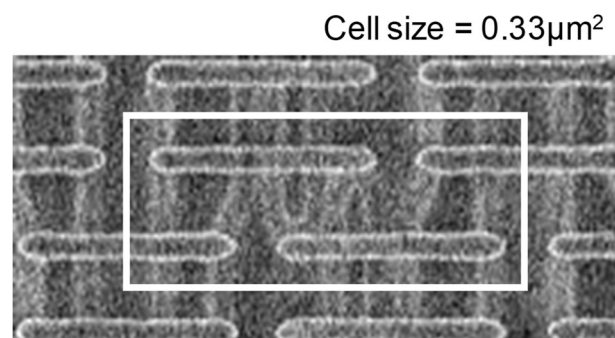


図 3-1 1 SRAM セルの SEM 写真

図 3-1 3 に不良ビット数の電圧依存性を示す。横軸が電源電圧、縦軸は不良ビット数で、SRAM 容量は 1.5Mbit である。電源電圧が高いと不良ビットはなく、電圧を下げていくと不良ビットが増えていく。不良ビットがない最低の電源電圧が動作下限電圧(V_{\min})である。アシスト回路のない SRAM では V_{\min} は 0.86V だったが、本提案のアシスト回路を導入することで 180mV 改善し、 V_{\min} は 0.68V となった。アシスト回路の効果を確認する事が出来た。

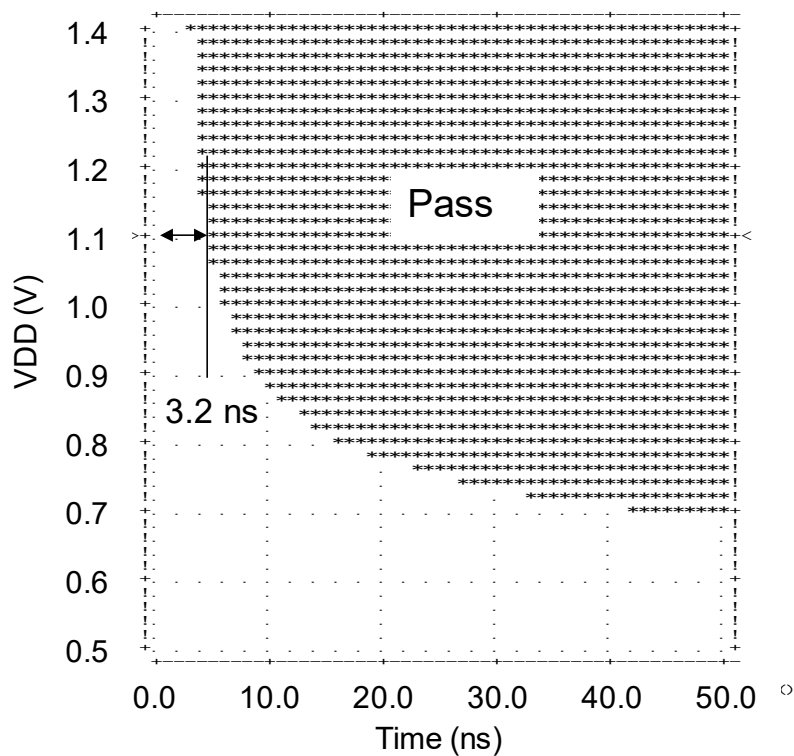


図 3-1 2 シュムープロット

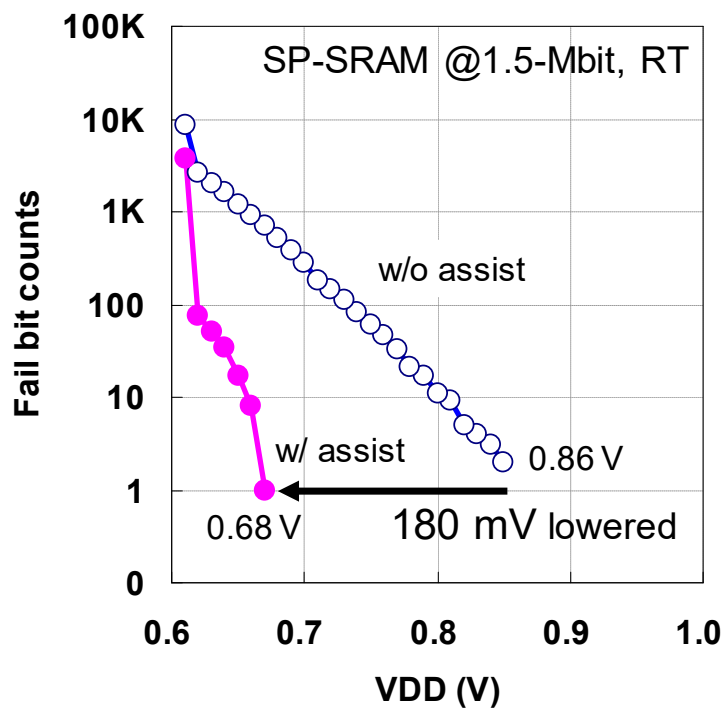


図 3-1 3 不良ビット数の電圧依存性

3.3 アシスト回路の比較

これまで、ワード線降圧による SNM アシスト回路と負バイアス BL による書き込みアシスト回路について説明した。本節ではその他報告されているアシスト回路の方式との比較を行う。表 3-1 において、WM は書き込みマージン、Ta はアクセスタイムである。まず、VDD アシスト回路として、VDD フローティング型と VDD 降圧型を示している。VDD フローティング型とは、書き込み時に VDD をフローティングにして、メモリセルを書き換えるときに、ビット線が電荷を引き抜くことで自然に VDD が下がることによるアシストである。この方式は選択列の VDD が書き込みのときのみ変化するので SNM と Ta は不変で WM のみ改善する。ただし前述したように、内部ノードを VDD に吊り上げる PMOS も駆動力が落ちるので、動作周波数は低下する可能性がある。次に、負バイアスビット線である。これも書き込み時の選択ビット線のみ変化させるので、SNM と Ta は不変で、WM が VDD 降圧型よりも大きく改善する。ただし、誤書き込みの可能性がある。最後がワード線レベル調整である。こちらはワード線を下げるので SNM は改善するが、WM と Ta は悪化する。これへの対策として、ワード線を後半ブーストするという提案もなされている。これは動作時に非選択列のビット線プリチャージを切るという事が前提である。そうするとワード線を降圧することで SNM を改善した状態になり、非選択列のビット線もハーフセレクトセルによってビット線に信号が伝わることで、ビット線対にセルのデータが乗ることになる。ビット線にデータが乗れば、そのあとワード線電位を高くしてもビット線のデータ通りにしかメモリデータはなれないので、記憶を壊さないというものである。この方式では、ある程度ビット線が振幅しないとワード線をブーストできないので、書き込み時の周波数があげにくいこと、また最初のワード線が低い状態で Ta が決まるので、Ta が遅いことが問題となる。このように、様々なアシスト方式が提案されているが、どれも利点と欠点を持っており、ベストな方式は存在しないというのが実情である。さらに、アシスト回路は動作マージンを改善することができるが、どの方式であっても動作電力は大きくなってしまう。VDD 降圧系は VDD を元に戻すために電力消費するし、負バイアス BL は負バイアスを作るために電力を使う。また WL 降圧では抵抗分割などによる DC 電流を消費する。低電力な SRAM という意

味ではこれらも問題となる。

表 3-1 アシスト回路方式の比較

	VDD floating VDD lowering	Negative BL bias	WL lowering WL boost, overdriven		
Scheme					
SNM	→ (no change)	→	+	+	→
WM	+ (improved)	++	--	+	++
Ta	→ (no change)	→	--	-	++

3.4 アシスト回路のドメイン化

3.4.1 最適ワード線電位調整によるマージン改善手法

アシスト回路によって動作マージンが改善し、低電圧動作、歩留まり向上、高信頼化ができる事がわかったが、この回路によるデメリットも出てきた。本節ではこのデメリットを最小限にする手法を検討する。アシスト回路の問題点を整理すると下記になる。

1. 消費電力増加
2. 動作速度低下
3. トレードオフによるマージン減少（ワード線降圧で書き込み悪化など）

これまでの報告でも少しでも上記を軽減すべく様々な事が考えられてきたが、これはアシスト回路の宿命であるから、抜本的な解決策はない。そこで本研究では別のアプローチを検討した。そもそも何故アシスト回路が必要だったかというと、ばらつき

によって SRAM のマージンが減少したからである．であるなら，マージンが減少したところに対してアシスト回路を適用すればよい[76]．すなわち，チップ内に搭載される SRAM において，マージン不足のところのみアシスト回路を適用するという事である．この時の問題は，混載 SRAM はチップ内に多数あり，それぞれに対してアシスト回路の設定をすることは製品チップ設計への負荷がかかるという事である．従って本方式においてはチップ設計への設計負荷や出荷テストを抑える事も検討する必要がある．図 3-14 に SNM と書き込みの V_{min} についてプロセスばらつき・温度依存性を示す．縦軸は V_{min} ，横軸は NMOS の V_{th} の 2 倍から PMOS の V_{th} を引いたものである．この横軸は実測や図 2-13 からの経験則で規格化したものである．各グラフ 5 点あるのはプロセスコーナー（FF, FS, TT, SF, SS）である．この結果によると高温（左図）では SNM が悪く書き込みが良く，低温（右図）ではその逆であることがわかる．また，コーナー依存性を確認すると，FS 側で SNM が悪く，SF 側で書き込みが悪い．従って SNM アシストを使うのは FS 側高温だけでよく，書き込みアシストを使うのは SF 側低温だけでよいという事になる．

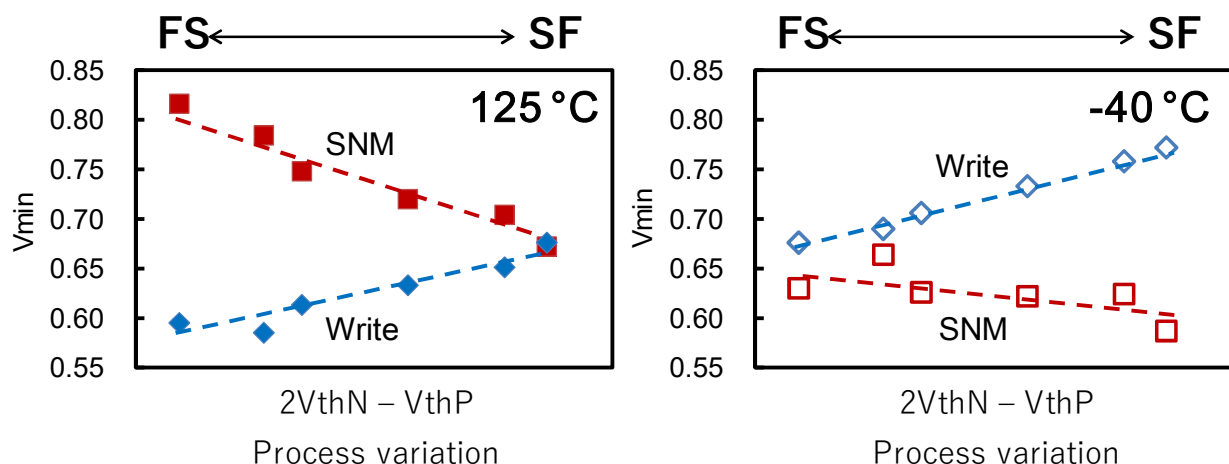


図 3-14 V_{min} のプロセスばらつき・温度依存性

ここで本研究ではワード線電位だけで SNM も書き込みも改善させる[77]．SNM 改善でワード線を下げた場合，トレードオフの関係で書き込みマージンが減少する事はすでに述べたが，SNM が悪くなる FS 高温ではもともと書き込み特性が良いため，ワード線を下げても書き込みマージンは満足すると考えられる．一方，書き込みマ

ジンの悪い SF 低温ではワード線を昇圧する。これは SNM の悪化を招くがこの条件ではもともと SNM が良いため SNM 劣化は許容できる。従ってプロセス・温度を観測し、それに合わせてワード線レベルを調整すればよい。

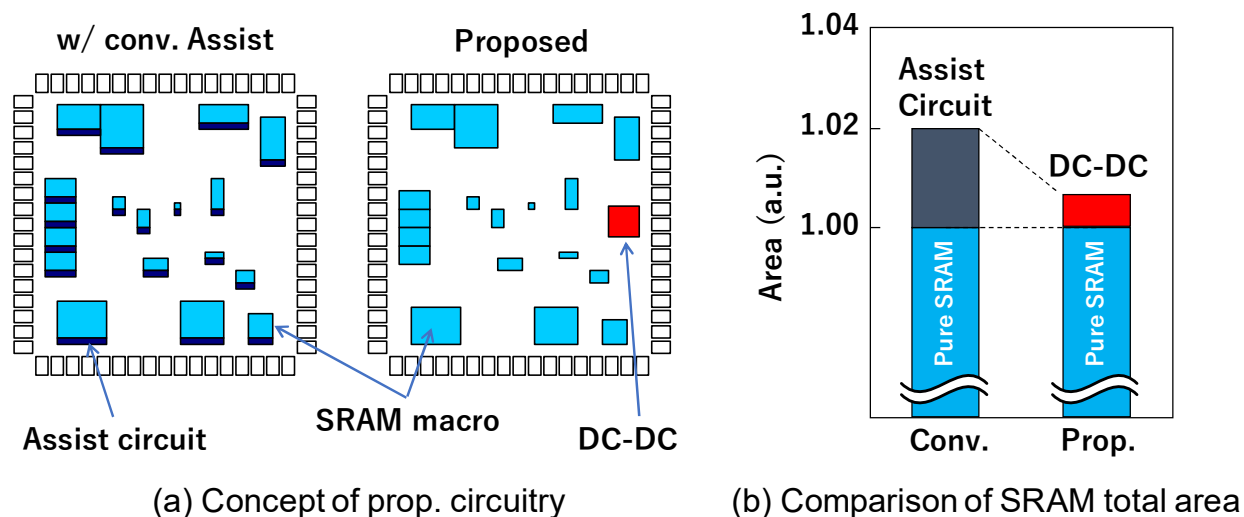


図 3-15 混載 SRAM のチップ内イメージ

次に混載 SRAM を搭載している製品チップ全体について考えてみる(図 3-15)。今まで考えてきたアシスト回路というのは SRAM マクロ毎に搭載されているので、左図のようにチップ内に多数ある SRAM すべてにアシスト回路が存在する。また搭載される SRAM にはワード・ビットが異なる多種多様なものがあり、小さいワード・ビットの SRAM においては相対的にアシスト回路面積が大きく見える。ところでアシスト回路というのは SNM も書き込みも結局は電圧を制御するものである。従って電圧生成部を SRAM マクロの外に出してチップで一つにまとめる事で小面積化と低電力化ができると思った。右図がその概念図である。SRAM マクロにはアシスト回路を設けず、その代わりに電源生成用の DC-DC 回路を搭載する。そこで生成された電源を Dual-Rail 化して供給する[78][79]。この時の面積効率を見積もったのが図 3-15 (b)である。アシスト回路のない純粋な SRAM マクロに対し、アシスト回路を総和すると SRAM マクロ面積は 2%程度増大していることがわかる。これに対して、提案手法ではこのアシスト回路の総和よりも DC-DC 回路の方が小さいので、全体としては小面積になることがわかる。ここで SRAM はローカルばらつきによって V_{min} が悪くなるわけだが、ばらつきの小さな SRAM の V_{min} はよいはずである。従って、こ

のばらつきの小さな SRAM に対してはアシスト技術を適用する必要はない。そこで本提案手法において、SRAM マクロ単位での V_{min} に合わせて、DC-DC への接続を決めれば自ずと不要な部分への電力供給を抑える事ができ、低消費電力になる。

この方式のブロック図を図 3-16 に示す。近年の SoC 製品チップでは、SRAM マクロは数千個にのぼるが、本図では省略して 6 個にしている。各 SRAM マクロには電源、グラウンドとさらに VDDW を供給する。VDDW はワード線ドライバへ供給することができ、ワード線電位は VDD か VDDW かを各マクロで選択できる。その選択信号が AST である。AST はアシストコントローラによって制御される。アシストコントローラには温度モニタと不揮発素子（ヒューズ、One Time Programmable: OTP、フラッシュなど）が接続され、その不揮発素子は DC/DC にも接続される。DC/DC は不揮発素子の情報を元に、VDDW 電圧を出力する。アシストコントローラは温度モニタの出力を元に、各 SRAM マクロが VDD と VDDW のどちらを使うかを制御する。アシストコントローラの制御例を表 3-2 に示す。各チップに搭載される不揮発素子には、VDDW のレベル、温度閾値、各マクロで VDDW を使用するか否かの情報を保存しておく。例えば、FS にばらついている #1 チップの不揮発素子には、VDDW は $VDD-0.1V$ 、VDDW を使用する温度は $80^{\circ}C$ 以上、VDDW を使用するマクロは V_{min} の悪い SRAM[1]と SRAM[2]という情報を記憶させる。このデータを元に DC/DC は $VDD-0.1V$ を生成する。そして温度モニタからの出力が $80^{\circ}C$ 以上になると、AST[1]と AST[2]をアサートする。SF にばらついている #3 チップでは、VDDW は $VDD+0.1V$ 、VDDW を使用する温度は $0^{\circ}C$ 以下、VDDW を使用するマクロは V_{min} の悪い SRAM[2]と SRAM[5]という情報を不揮発素子に記憶させる。こうすることで、 V_{min} の悪いマクロが V_{min} の悪くなる条件でのみワード線電位を変化させることができる。

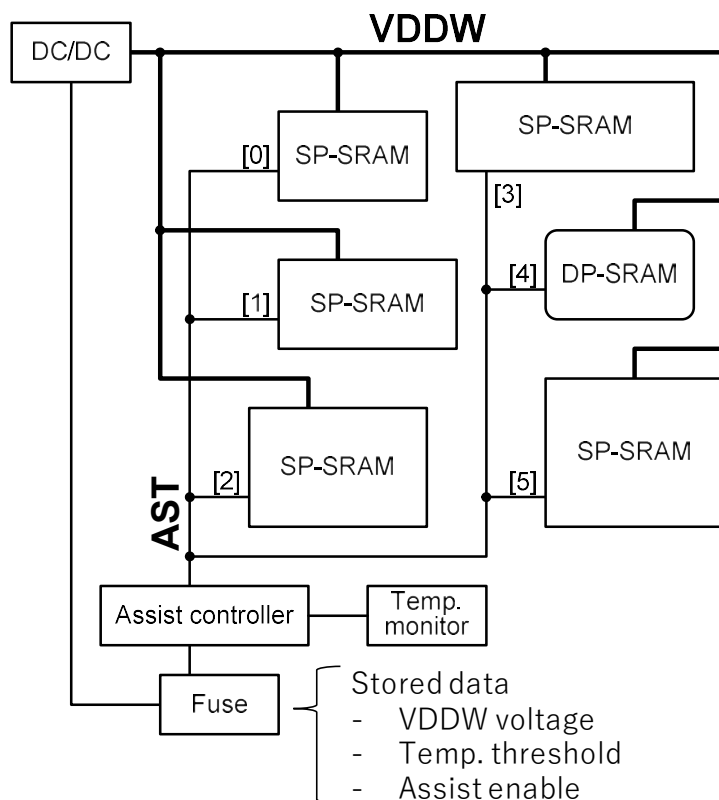


図 3-1 6 ドメイン制御ワード線アシストブロック図

表 3-2 アシストコントローラの制御

Chip		#1	#2	#3
Process variation		FS	TT	SF
VDDW Voltage		VDD -0.1V	VDD	VDD +0.1V
Temp. threshold		> 80 °C	-	< 0 °C
AST	[0]	0	0	0
	[1]	1	0	0
	[2]	1	0	1
	[3]	0	0	0
	[4]	0	0	0
	[5]	0	0	1

次の問題は どうやって不揮発素子に記憶させるデータを決めるかという事である。
このコードは出荷テストにおいて設定する。アシストコード設定フローを図 3-1 7

に示す。まず高温テストを行う。表 3-2 の#1 を例にすると、このチップは FS にばらついているため、高温テストでは SNM 起因の不良が起こる。従って VDDW の電位を落とすとともに、不良になったマクロは VDDW を使用するように AST 信号をイネーブルにする。この状態で再テストする。それでも不良の場合、そのチップは不良チップとして破棄するが、パスした場合は、このときの VDDW の電位、高温時に VDDW を使用する事、VDDW を使用した SRAM マクロアドレスを不揮発素子に記憶させる。そして低温テストを実施し、パスであれば製品出荷となる。一方、表 3-2 の#3 の SF ばらつきチップの場合、高温テストはパスするはずであるので、低温テストに移る。ここで不良が発生するので、VDDW 電位を上げ、不良 SRAM マクロの AST 信号をイネーブルにする。次に再テストを実施問題なければ、このときの VDDW の電位、低温時に VDDW を使用する事、VDDW を使用した SRAM マクロアドレスを不揮発素子に記憶させる。このようにすることで不良 SRAM セルを有する SRAM マクロのみ、不良条件になったときだけワード線電位を変更することが可能となる。

Case of SNM fail chip(#1)

1. High temp. test
→ Fail
2. VDDW level down
AST signal enable
3. Re-test
→ Pass
4. Programing fuse
 - H.T.
 - VDDW=VDD-0.1V
 - SRAM[1] and SRAM[2]
5. Low temp. test
→ Pass

Case of write fail chip(#3)

1. High temp. test
→ Pass
2. Low temp. test
→ Fail
3. VDDW level up
AST signal enable
3. Re-test
→ Pass
4. Programing fuse
 - L.T.
 - VDDW=VDD+0.1V
 - SRAM[2] and SRAM[5]

図 3-17 アシストコード設定フロー

図 3-18 に本方式に適応した SRAM マクロの回路図とシミュレーション波形を示す。ワードドライバのソース(VWL)はスイッチを介して VDD と VDDW に接続される。AST 信号の入力をクロックでラッチして VDD か VDDW を切り替える。VWL の遷移時間はワード線がアサートされる前に終わっており、正常に VDD あるいは VDDW の電位がワード線に供給されていることがわかる。

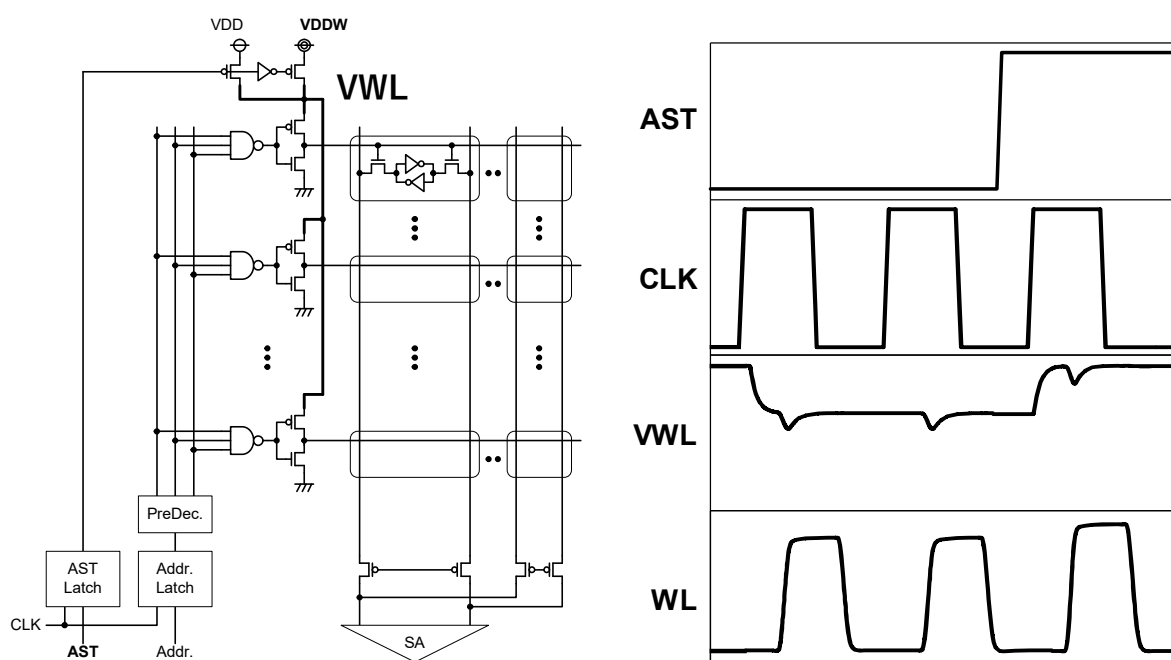


図 3-18 SRAM マクロの回路図とシミュレーション波形

3.4.2 20nm バルクプロセスでの試作結果

これまで説明したドメイン制御ワード線アシスト回路を搭載した SRAM マクロを 20nm バルク CMOS プロセスで試作したので本節ではその結果について示す。図 3-19 に試作したチップの緒言を示す。20nm の High-K メタルゲートのプレーナーバルク CMOS テクノロジである。シングルポート SRAM, デュアルポート SRAM それぞれトータル 64kbit 搭載している。図 3-18 に示した VWL スイッチや AST ラッチはマクロの隙間に埋め込むことができたため、SRAM マクロとしての面積増加はなかった。

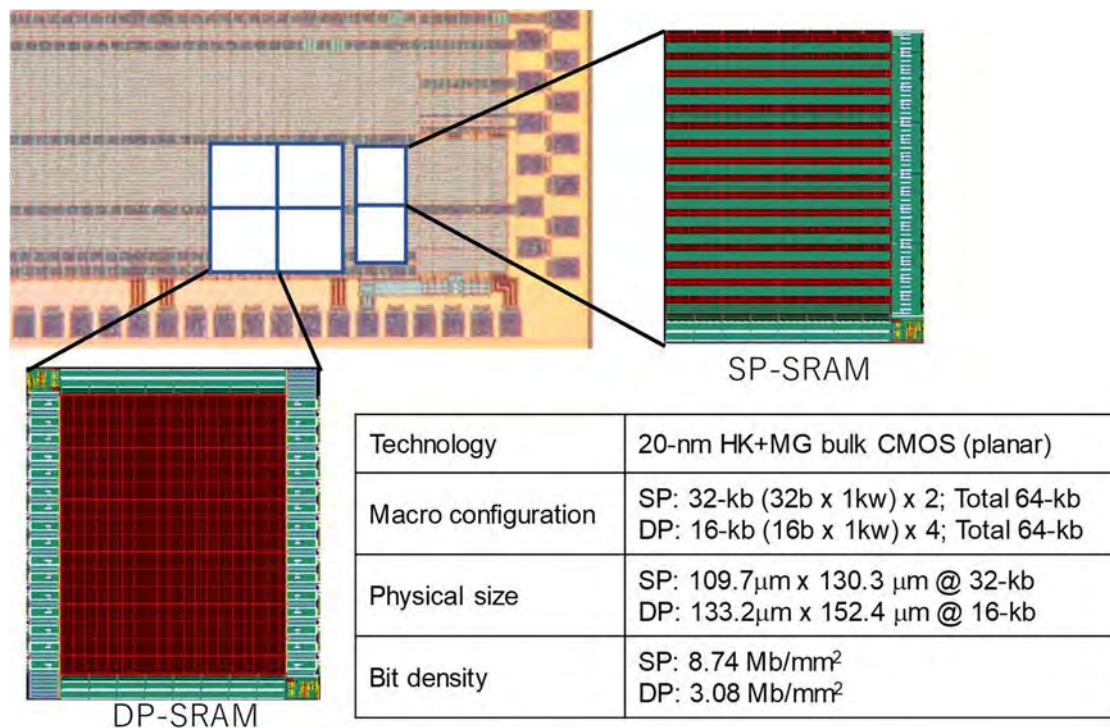


図 3-19 試作チップの緒言

図 3-20 に試作した 10 チップを評価した結果を示す。左図は縦軸に SRAM のロードトランジスタのオン電流，横軸に SRAM のアクセストランジスタのオン電流を取ったものである。右下にプロットされる(a)群は FS にばらついており，左上にある(c)群は SF にばらついている。本回路方式により，この(a)群はワード線レベルが低下し，(c)群はワード線レベルが上がっている。右図はそれぞれのチップの動作電力を示したものである。(a)群はワード線電位を低下させたことによりセル電流が減り，動作電力が 10%程度下がっていることがわかる。また(c)群はワード線電位を上げたことによりセル電流が増え，動作電力が増加したが，チップ全体でみると最も悪くなったわけではなく，電力増加を抑える事が出来たといえよう。図 3-21 に Vmin 測定結果を示す。白抜きプロットが本方式のアシスト回路を使用しないもので，黒塗りプロットが本方式のアシスト回路搭載チップの結果である。アシストを使用することで(a),(c)群の Vmin 大きく改善していることがわかる。

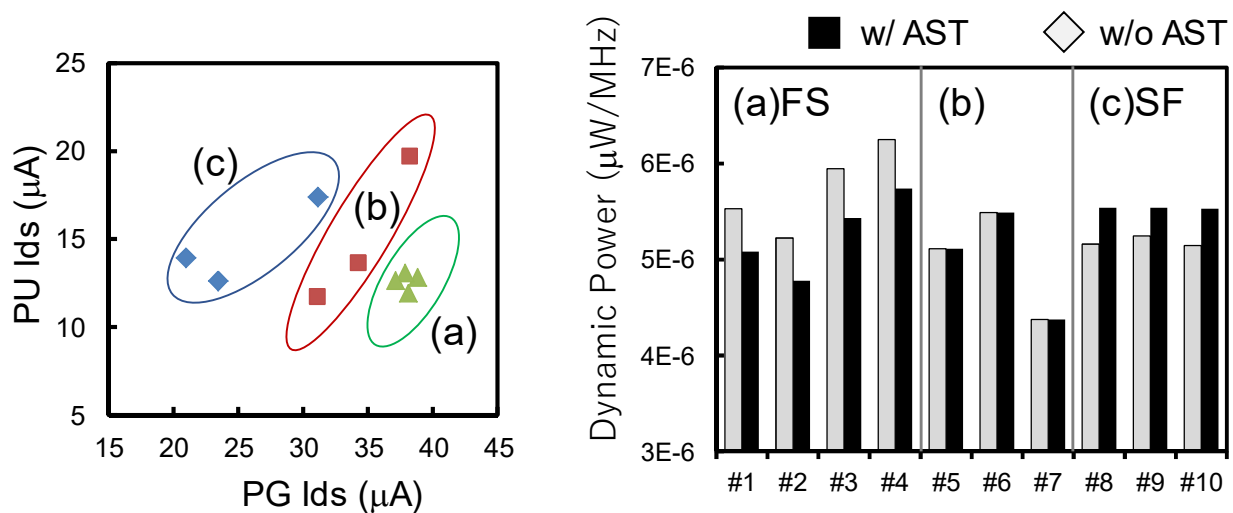


図 3-20 試作チップのグローバルばらつきと動作電力測定結果

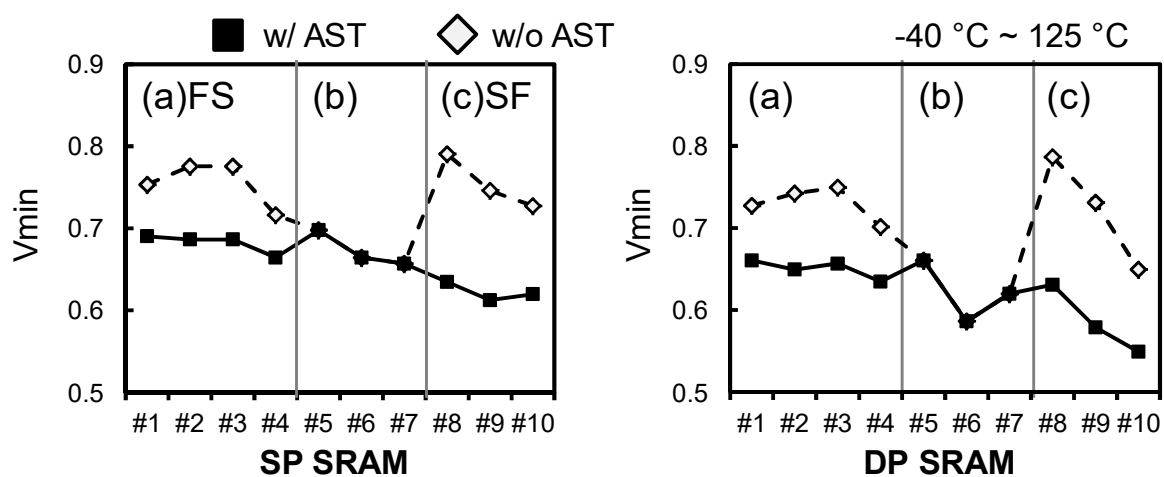


図 3-21 ドメイン化アシスト回路搭載 SRAM の Vmin 測定結果

3.5 結言

本章では、まず動作マージンを改善するための読み出し・書き込みマージン改善手法を述べた。読み出しマージン改善手法としてはワード線降圧回路によりアクセストランジスタの駆動力を落とすことで SNM を改善する手法であり、そのプロセスばらつき、温度依存性、電圧依存性に対する感度を良好にする研究を行った。書き込みマージン改善については負バイアスビット線方式を提案した。これはビット線を負電位にする事でアクセストランジスタの V_{gs} を大きくし書き込み特性を向上させるものである。45nm バルクプロセスにて SRAM 容量 1.5Mb のテストチップを試作し、アシスト回路によって V_{min} が 180mV 改善した。またアクセスタイムは 3.2ns であった。

さらに、アシスト回路の動作電力を抑えるために、アシスト回路を使用するマクロをチップ内で選別し V_{min} が悪い SRAM セルが存在するマクロのみワード線のレベルを最適な電位調整するというアシスト回路を適用する技術である。20nm バルクプロセスにて SRAM 容量 128kbit のテストチップを試作し、動作電力と V_{min} の改善を確認した。

第4章 低消費電力 SRAM 技術

4.1 緒言

これまで SRAM の安定性を確保し高信頼な SRAM を提供するため、動作マージンを確保するアシスト回路についての研究を述べてきた。本章では SRAM の低電力技術について述べる。SRAM の動作電力には、単純なスイッチング電力だけでなくセル電流による電力増加がある。これを抑える技術について述べ、SOTB というプロセス的なアプローチによる低リーク化技術も検討した。

4.2 ハーフセレクトを回避した低電力 SRAM

4.2.1 クロスポイント SRAM

2.4.2 項で説明したように、SRAM 特有の消費電力はハーフセレクトセルの不要なセル電流である。これは SRAM ビットセルの構造に起因するものである。すなわち選択された X アドレスのセルは Y アドレスに関係なくアクセストランジスタがオンするという事である。そこで XY 両方のアドレスで選択されたセルのみビット線へ接続する[80] (図4-1)。この方式では、X アドレスで WLH を駆動し、Y アドレスで WLV を駆動するので、その交点以外のセルではセル電流を消費せず低電力になる。ただしこれを実現するには SRAM ビットセルから設計する必要がある。

図4-2に提案する回路図とレイアウト図を示す。通常の 6T-SRAM に対し、通常のワード線(WLH)と直行するワード線(WLV)をゲートに持つアクセストランジスタ(ACV1, ACV2)を追加した。これにより前述の構造となる。このときのビットセルレイアウトが右図である。NMOS トランジスタを3本並べてドライバトランジスタ(DR)、アクセストランジスタ(ACV)、アクセストランジスタ(ACH)を配置する。アクセストランジスタ(ACV)は真ん中で WLV コンタクトをとる。この WLV 配線を縦方向に走らせることで通常の X アドレス用ワード線と直行する Y アドレス用ワード線の完成となる。その分面積は増加するので、面積よりも低電力要求のところで使用す

る.

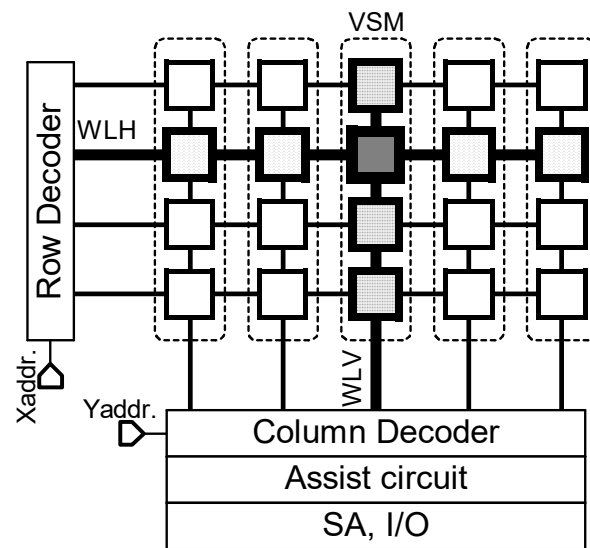


図 4 - 1 Vmin 測定結果

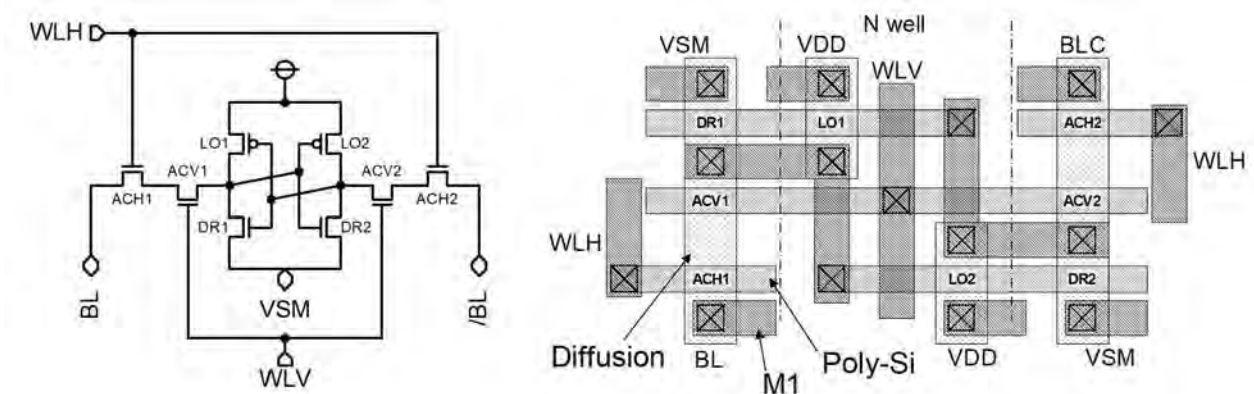


図 4 - 2 クロスポイント 8T-SRAM

このセルでの問題は、アクセストランジスタが多段になることで書き込みマージンが劣化する事と、セル電流が取れなくなることである。そのため負バイアスビット線によるアシストと負バイアス VSS を併用する。負バイアス VSS は読み出し時にグラウンドレベルを負にするもので、アクセストランジスタのゲートソース間電圧(V_{gs})を大きくし駆動力を得る。図 4-3 にこの負バイアス生成回路を示す。3.2.2 節で説明した負バイアス BL 回路を流用して負バイアス VSS を生成する。これは書き込みと読み出しが同時には起こらないから可能になる。こうすることでポンプ容量を共用し、

面積増加を抑える事が出来る。負バイアス BL との違いは、ポンプ容量をアサートする OR 論理に BL,/BL だけではなく、読み出し活性信号(RE)が入力されている事である。読み出し時の動作について説明する。RE が活性になると AE が 1 になる。これを受けて NB が VSS から切り離される。その後 VSM と NB ノードが接続され、ポンプ容量により VSM 電位に負バイアスが発生する。さらにこの回路には読み出し電力の低減効果も狙っている。それは、負バイアスを生成した後、VSM, NB ノードがフローティングになるので、読み出し電流が VSM に流れ込むとそれに従い VSM が上昇する。そして、最終的にビット線の低下は VSM と同一電位になるところで止まる。つまり、ローカルばらつきでアクセストランジスタが高速になったセルがあったとしても、電流を流し続けることはないという事である。従って読み出し時はそこまで大きな電力増加にはならない。

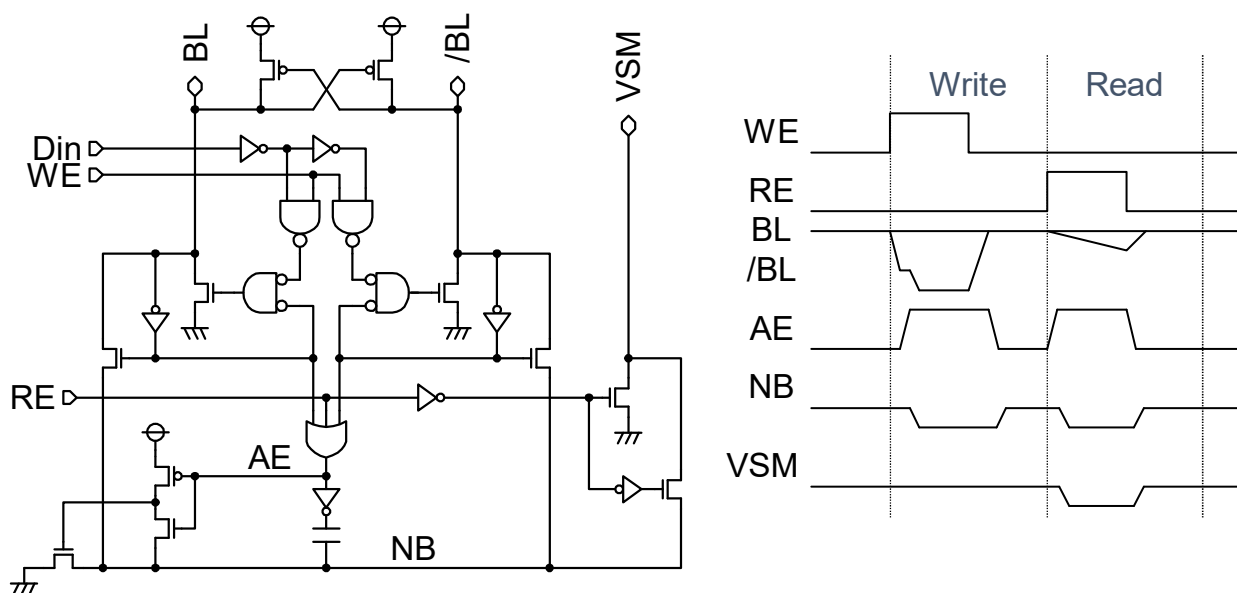


図 4 - 3 負バイアス生成回路

図 4 - 4 にクロスポイント 8T-SRAM と負バイアス生成回路を搭載した SRAM マクロの読み出し動作に対するシミュレーション波形を示す。ワード線が立ち上がるよりも早く VSM が負バイアスになっていることがわかる。そして、ワード線が立ち上がることでビット線電流が引き抜かれている。アシストなしに比べて 8.61ns の高速化が見られた。また、ビット線電流が流れ込むことで VSM が浮き上がっていることも確認できた。

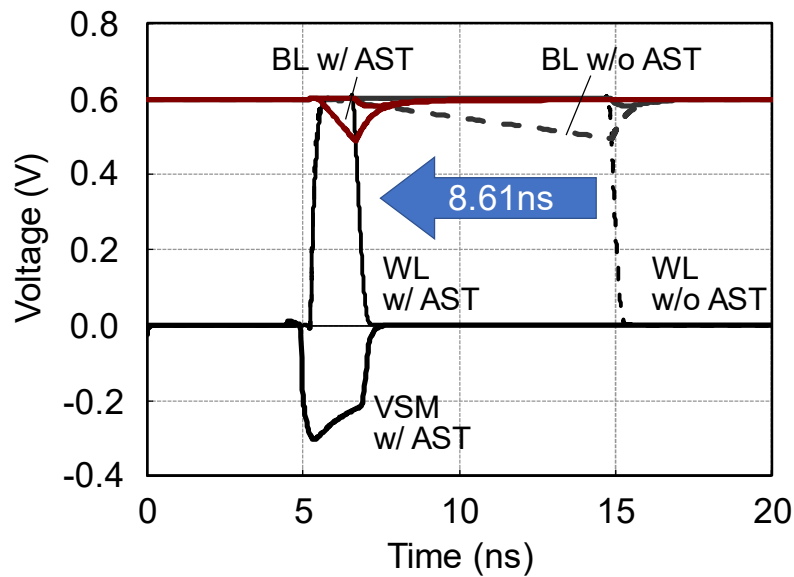


図4-4 負バイアス VSS のシミュレーション波形

4.2.2 45nm プロセスでの試作結果

これまで説明した負バイアス生成回路を搭載したクロスポイント SRAM マクロを 45nm バルク CMOS プロセスで試作したので本節ではその結果について示す。に試作したチップの緒言を示す。45nm の High-K メタルゲートのプレーナーバルク CMOS テクノロジである。総容量は 1Mbit である。デザインルールとしてロジックルールを使っているため、セル面積は SRAM 専用微細ルールで描かれた標準 6T-SRAM の 2 倍になっている。アシスト回路による面積オーバーヘッドは 5% である。図 4-6 に不良ビットの電圧依存性を示す。負バイアス BL 回路により書き込みの V_{min} が 0.12V 改善し、負バイアス VSS 回路により読み出しの V_{min} が 0.15V 改善することが分かった。図 4-7 にアクセスタイムのシムープロットを示す。 V_{min} グラフと同様に、下限電圧が改善している。また負バイアス VSS によって読み出しスピードが改善し、標準電圧 $VDD=1.1V$ においてはアクセスタイムが 0.6ns 改善し、40% の高速化を確認できた。図 4-8 で標準 6T-SRAM マクロとの電力比較を行った。1.1V での電力詳細を右図に示している。標準 SRAM ではビット線電力が総電力の 44% を占めていた。それが提案手法によって激減していることがわかる。Y アドレス用のワ

ード線(WLV)と負バイアス生成回路(AST)による電力増はあるが、トータルで 25% の電力削減が確認できた。また標準 SRAM よりも低電圧動作が可能になり V_{min} での電力比較では 66%の電力削減が得られた。

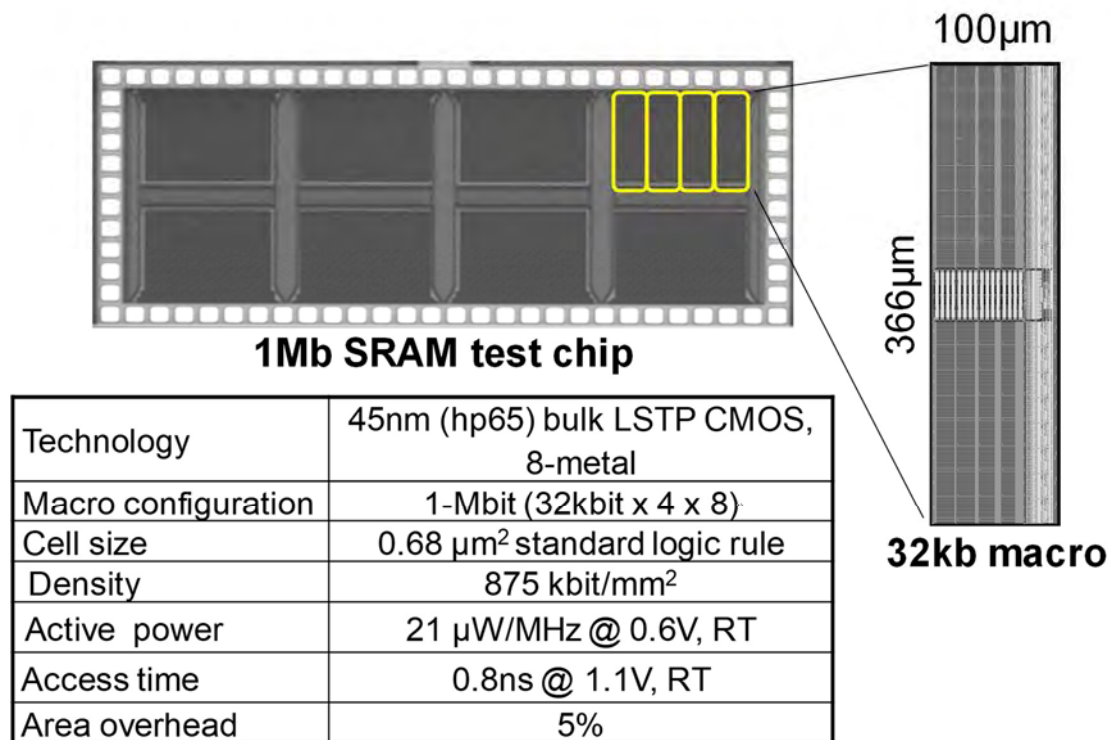


図 4 - 5 試作したクロスポイント SRAM の緒言

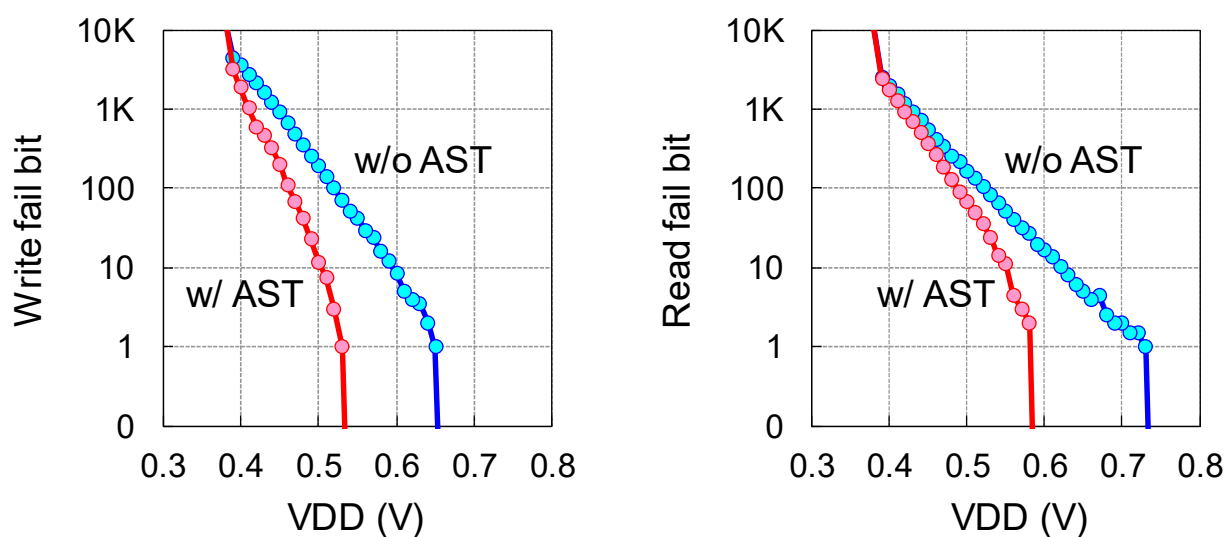


図 4 - 6 不良ビットの電圧依存性

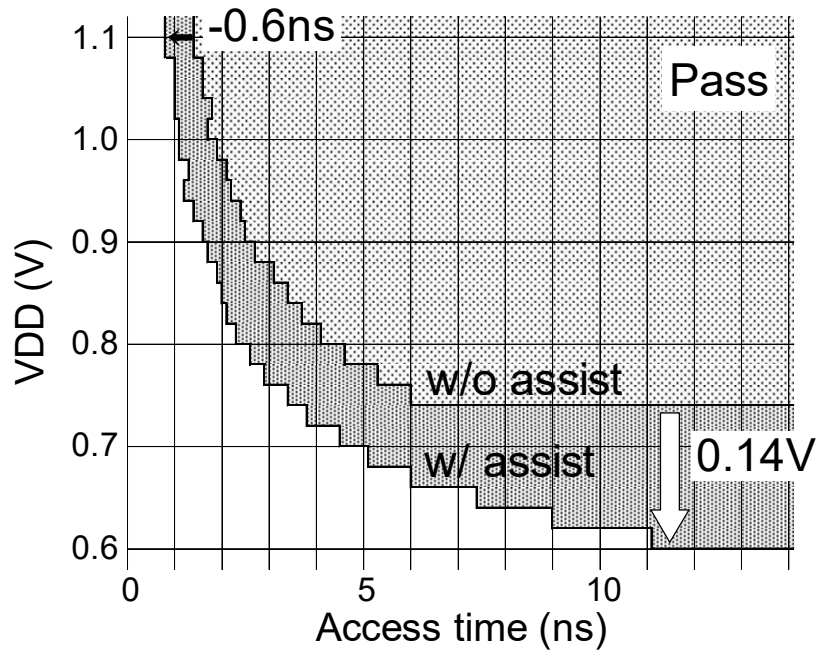


図4-7 シュムープロット

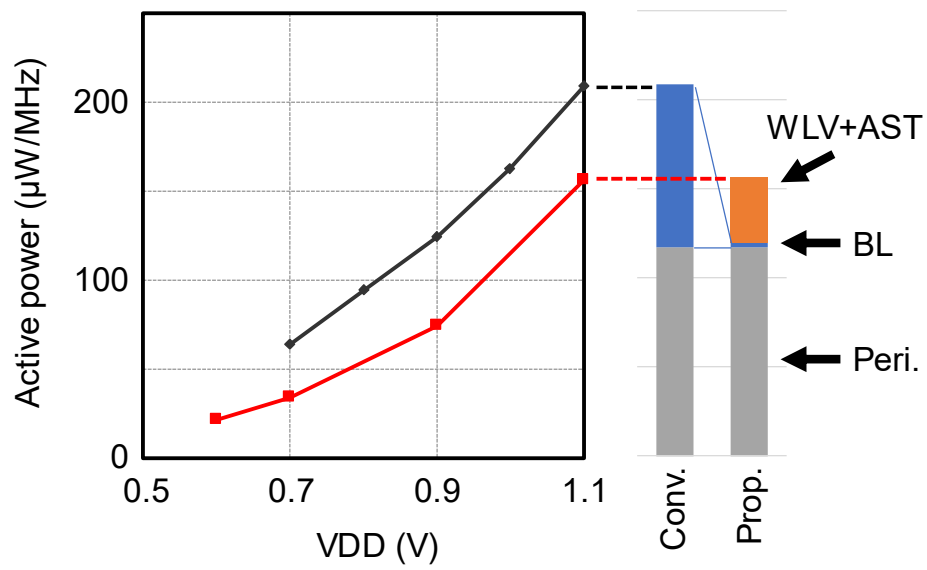


図4-8 消費電力の実測結果

4.3 インターリーブ階層ビット線方式

4.3.1 インターリーブ SRAM

前節では SRAM 特有の消費電力である，ハーフセレクトセルの読み出し電流を抑えるためクロスポイント SRAM の研究を行った．低電力は実現されたが，SRAM セルのトランジスタ数を 6 個から 8 個にしたために，セルサイズが大きくなった．本節ではセルサイズ増加を抑えるために，SRAM を構成するトランジスタ数は 6 個のままハーフセレクトを解消する手法を提案する．さらにリーク電流低減手法も併せて提案する．

インターリーブ SRAM の構成を図 4-9 に示す．ハーフセレクトを無くすために，Y アドレスは 2 とする．そしてそれぞれの Y アドレスに対応してワード線を 2 系統持つ．例えば X アドレス=0，Y アドレス=0 を選択したとすると，AWL[0]がアサートされ，ALBLs を使って読み出し・書き込み動作を行う．このとき非選択の Y アドレス=1 側は BWL が立たないので，ハーフセレクトが発生せず，無駄な電力消費を抑える事が出来る．隣接したセルでワード線を共有できないので，標準的な 6T-SRAM ビットセルよりは面積が大きいが，トランジスタ数が同じなので面積増加を抑える事が出来る．

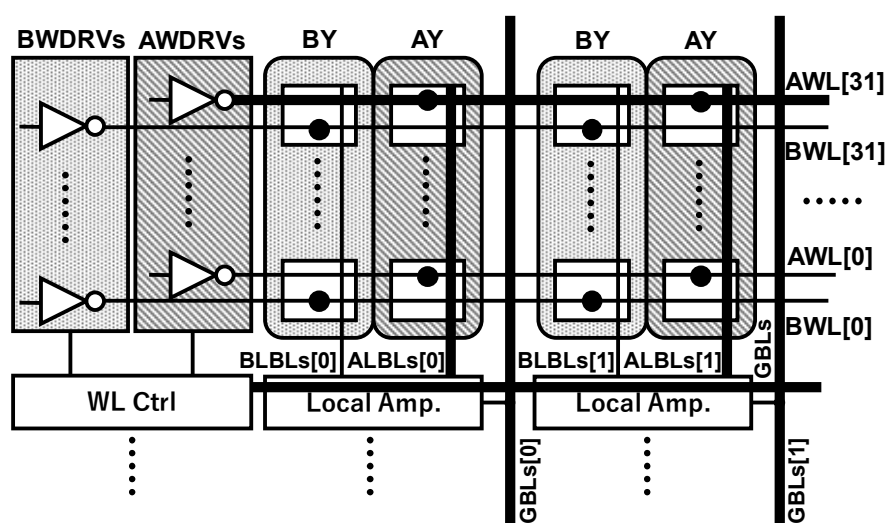


図 4-9 インターリーブ SRAM の構成

次にこのインターリーブ SRAM セルを使ったマクロブロック図を図 4-10 に示す。消費電力を抑えるために、階層ビット線方式[81]を採用した。階層ビット線とは、一本のビット線につながるメモリセル数に制限をつけローカルビット線とし、そこでローカルアンプを通してグローバルビット線につなげる方法である。通常の構成だとビット線には多数のメモリセルがつながっておりビット線容量が大きい。階層ビット線ではビット線につながるメモリセル数がすくないのでビット線容量が軽くなり、低電力化につながる。さらに動作マージン改善とリーク電流を低減するために、SRAM には 2 電源(VDDP, VDDA)を供給する。周辺回路は VDDP で駆動する。SRAM 電源には VDDP よりも小さい VDDA 電圧を供給し、リーク電流を抑える。読み出し動作では低い電圧 VDDA では動作マージンがなくなるので、周辺回路と同じ VDDP を利用する。ローカルビット線長は 32 セルとした。ローカルアンプへの信号はワードドライバの間(LCTRL)で作る。ワードドライバ部と LCTRL 部の回路図を図 4-11 に示す。ワードドライバは比較的大きなトランジスタサイズのためリーク電流が大きい。そこで、ワードドライバソースにはスイッチを設けて、選択されていないワードドライバソースをオフにしてリーク電流を抑えている。このスイッチは X アドレスの上位信号と Y アドレス信号で生成する。また、このワードドライバソース制御信号と書き込みイネーブル信号 GWLE を使って論理を取り生成した AGWL, BGWL, AXUY, BXUY をローカルアンプに供給する。

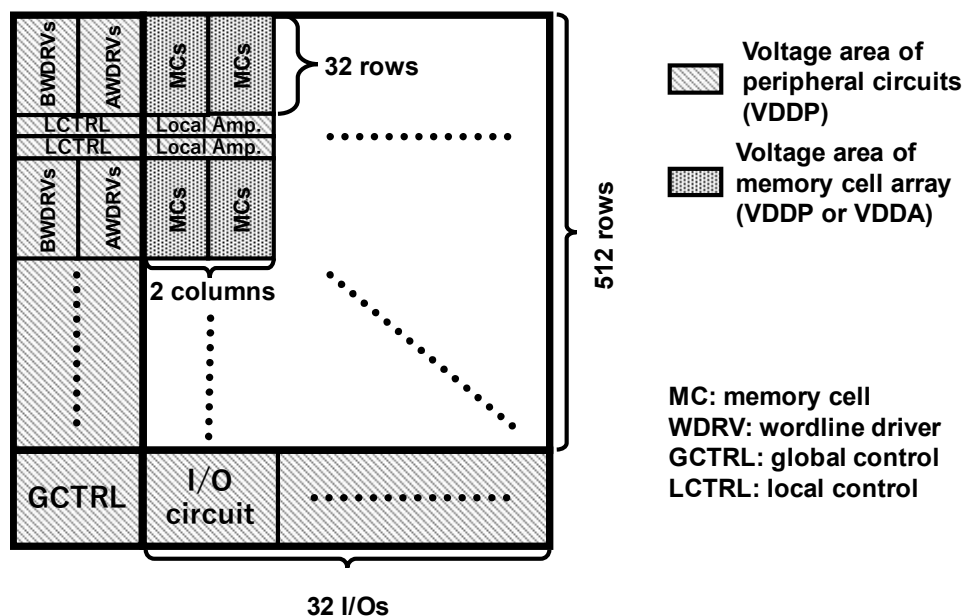


図 4-10 マクロブロック図

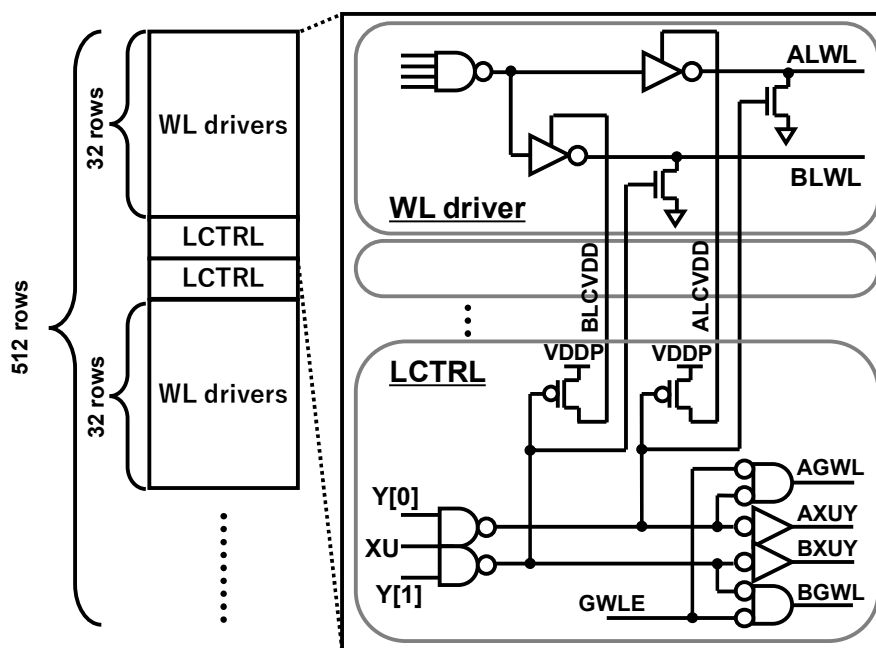


図 4 - 1 1 ワードドライバ回路図

次にローカルアンプの構造を図 4 - 1 2 に示す。ローカルビット線のプリチャージトランジスタ P0, P1 はビット線イコライズトランジスタ P2 を介したダイオード接続になっている。ワードドライバ部の LCTRL 回路からくる AXUY, BXUY 信号でビット線イコライズを制御する。待機時はこの信号は 0 である。そうするとビット線対がショートされるため、P0, P1 はゲートとドレインが同電位となり、ダイオード接続になる。従ってビット線プリチャージは VDDP まで上がりきらず中間電位になっている。読み出し動作は二つのモードがある。(b)の通常モードでは、信号 XUY を 1 にしてイコライズを止め、ワード線が 1 になる。そうするとメモリセルのデータに従ってローカルビット線が引き抜かれる。本提案ではセンスアンプを持たせずセルだけでローカルビット線を 0 まで引き抜く。ここでプリチャージトランジスタ P0, P1 が駆動するので、中間電位だった 1 側のビット線が VDDP になる。ビット線の 0 まで引き切るとワード線をオフし、グローバルワード線(GWL)を 1 にする。すると、グローバルビット線(GBL)とローカルビット線がショートされるので、容量結合で GBL の電位が低下する。そこで得られるビット線差電位をセンスアンプで増幅して出力する。この方式では消費する電力はローカルビット線を引き抜く分のみである。というのも

ローカルビット線を 0 に遷移させたらワード線をオフにし、GBL への電位伝達には電流を流さないからである。またビット線の High 側は中間電位から VDDP にチャージされるが、動作終了時にビット線間がイコライズされて 0 側に電荷が使われるため、電力としてはビット線のプリチャージ電力と同一である。次にもう一つの読み出しモード(c)について説明する。このモードではローカルビット線とグローバルビット線をショートしたあと、ローカルワード線を閉じない。このモードは低電圧動作モードである。通常モードではグローバルビット線の電位はローカルビット線との容量結合で決まるので、低電圧時はグローバルビット線の差電位が取れなくなる。その問題を解決するために、低電圧モードではグローバルビット線とローカルビット線を接続したあともワード線をオンしておき、グローバルビット線を SRAM セルで引き抜く構成とした。メモリセル電源 ARVDD は書き込み制御信号 WTEN とイコライズ信号 XUY で制御される。待機時 XUY は 0 なので、ARVDD は VDDA が選択されている。読み出し時は WTEN が 1 なので、選択された XUY では ARVDD が VDDP に切り替えられる。書き込み時の WTEN は 0 なので、XUY によらず ARVDD は VDDA になる。さて、この読み出しにおいて SNM はどうなっているか。SRAM にかかっている電位状態としてはセル電源とワード線電位が VDDP、ビット線が PMOS V_{th} 落ちとなっている。ビット線の電位が落ちる事は SNM カーブにおける動作安定点が低くなるので SNM は改善する。また、 $SNM < 0$ だったとしても、ローカルビット線が短いので、内部ノードが反転する前にビット線に差電位が生まれると SNM を改善する。

次に書き込み動作について説明する。書き込みはグローバルビット線にデータを入れ、グローバルワード線を開きグローバルビット線とローカルビット線をショートすることでグローバルビット線のデータを伝達する。そしてワード線を 1 にして書き込みとなる。書き込みでは ARVDD が VDDA とワード線電位よりも低いため、書き込みアシスト状態になり書き込みマージンを改善する。

まると、ARVDD が上昇し、ローカルワード線が活性化される。それからビット線が引き抜かれるが、ローカルばらつき 6σ 考慮するとビット線の遷移が遅くなっていることがわかる。それからグローバルワード線が活性化されローカルビット線とグローバルビット線が接続されるが、完全にイコライズしていない。これは NMOS トランスファのためである。それでもセンスアンプで増幅できる電位差は得られており、正常動作していることがわかる。また本回路方式でのスピードの劣化は 0.62ns であった。

4.3.2 20nm プロセスでの試作結果

これまで説明したインターリーブ SRAM マクロを 20nm バルク CMOS プロセスで試作したので本節ではその結果について示す。図 4-14 に試作したチップの緒言を示す。

マクロサイズは $8320 \mu\text{m}^2/32\text{kb}$ で従来のものより面積オーバーヘッドは 25% となった。図 4-15 に不良ビット数の電圧依存性を示す。

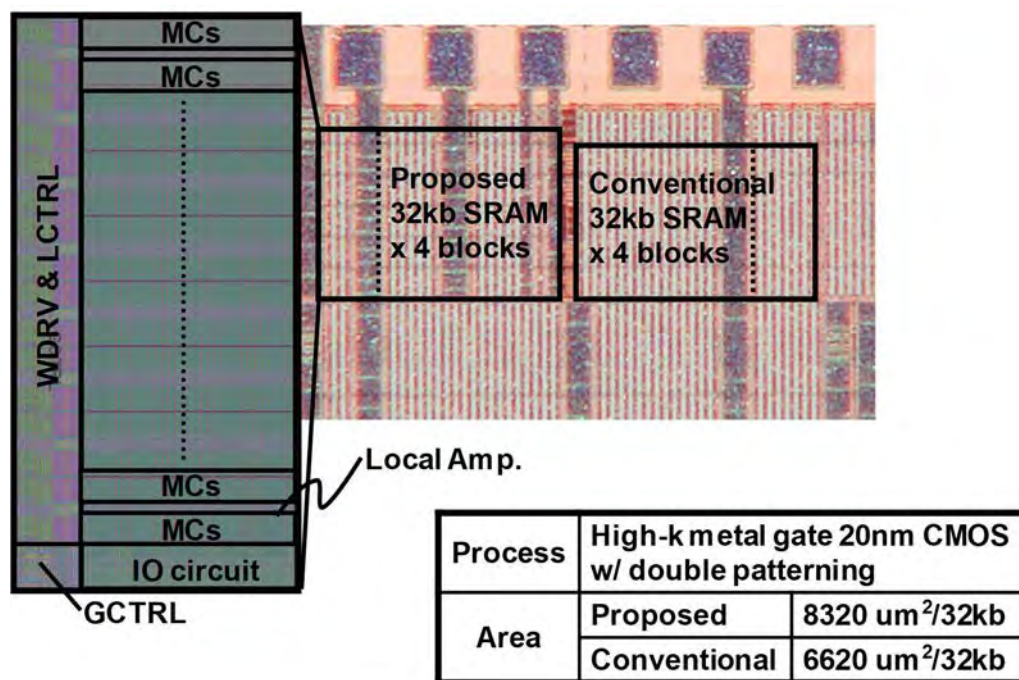


図 4-14 試作したチップの緒言

読み出し動作での不良数を見てみると、従来の読み出し $V_{min}(\text{Conv.})$ は低温で 0.6V 高温では 0.7V 程度である。高温側の V_{min} が悪いのは SNM が原因である。これに対して本提案手法の通常モード (Prop. NM) では低温側 V_{min} が 0.1V 悪化し、高温側 V_{min} は 0.1V 改善している。低温側で悪化しているのは読み出し時の差電位が取れないためである。前節で述べたように、グローバルビット線はローカルビット線との容量結合で作られるが、そのトランスファートランジスタが NMOS だけのため、そこには電位差が生まれてしまう。これはトランスファートランジスタの V_{th} に起因するので、低温になり V_{th} が上昇すると、グローバルビット線とローカルビット線の電位差は拡大する。つまりグローバルビット線の電位が 0 側に落ちにくくなりセンスマージンがとれなくなった。一方高温側で V_{min} が改善したのは、本提案でビット線プリチャージ電位を中間電位にしたことと、階層ビット線によりビット線容量を軽くしたことによる効果である。次に低電圧モード (Prop. LV) では低温も高温も V_{min} が 0.1V 程度改善している。これはローカルビット線にグローバルビット線を接続して、そこからさらに SRAM セルでグローバルビット線を引き抜くことでビット線差電位を大きくすることができるためである。

次に書き込み動作について見ていく。従来の書き込み V_{min} は低温が 0.8V、高温が 0.7V 程度である。これに対して本提案手法では 0.2V 以上 V_{min} が改善することが分かった。

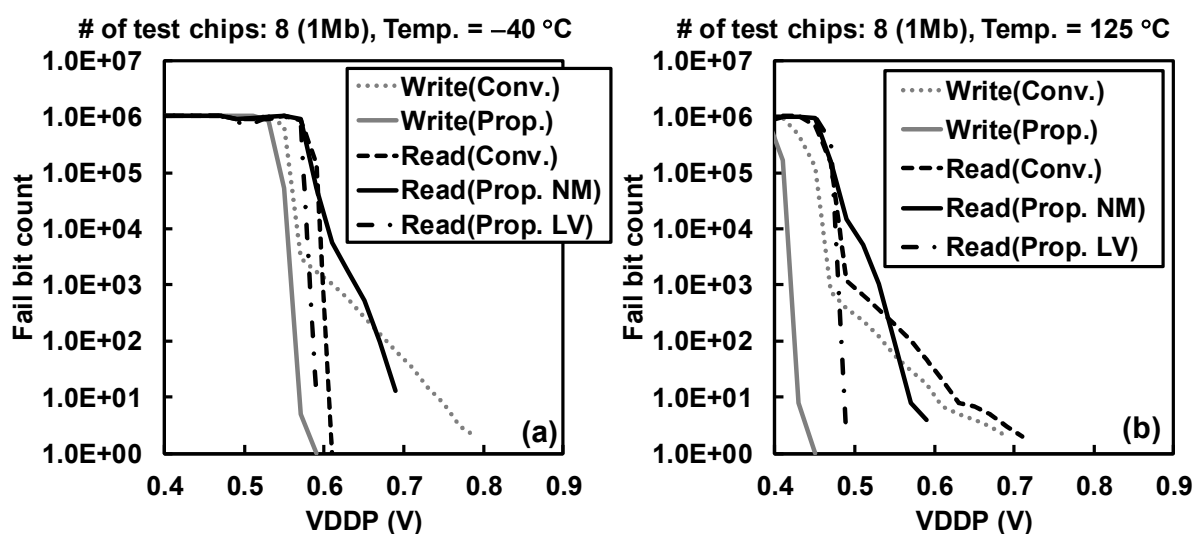


図 4-15 不良ビット数の電圧依存性

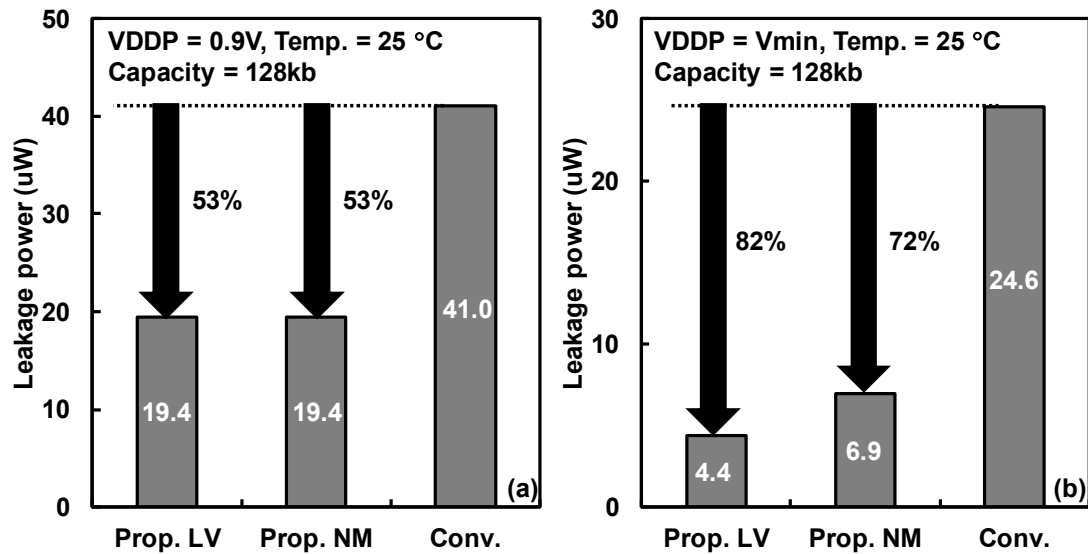


図 4 - 1 6 リーク電力の実測結果

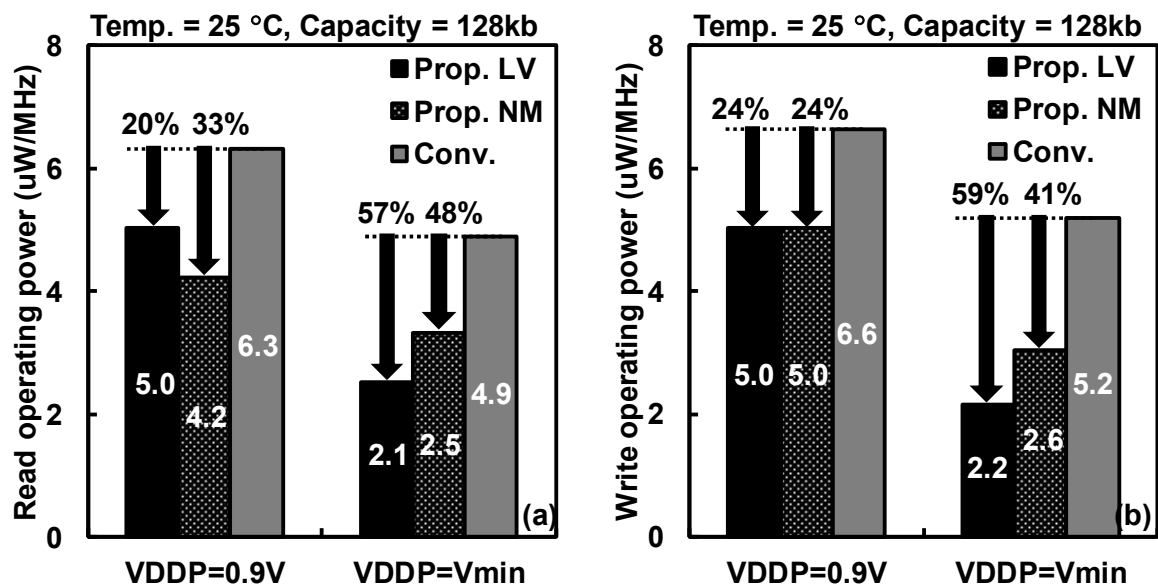


図 4 - 1 7 消費電力の実測結果

図 4 - 1 6 にリーク電力を示す。電源電圧 0.9V でのリーク電力はワードドライバ電源スイッチと、メモリセル電源の降圧によって半分程度となった。また動作可能な最低電圧(Vmin)まで電源を落とした場合、低電圧モードでは更なるリーク電力の低減が見られた。図 4 - 1 7 に動作電力の評価結果を示す。読み出し電力については、ノーマルモードで 33%電力削減に成功し、低電圧モードでも 20%削減している。Vmin での動作電力は低電圧モードがより低い電圧での動作になるためノーマルモードを超

える削減率が得られ 57%削減した。ノーマルモードでも 48%の削減だった。書き込み電力は本提案手法によりハーフセレクトセルがなくなったために、24%電力削減することができた。

4.4 SOTB プロセスによる低電力 SRAM 技術

低消費電力手法として SRAM 動作電力を削減するためにハーフセレクトセルで無駄に消費されているセル電流を止める方法を検討してきた。本節ではリークを抑えて低消費電力を削減する方法について述べる。

昨今、あらゆるものがインターネットにつながる IoT 時代がもうすぐ訪れ、そこでは様々なものに多数のセンサーを持つといわれている。そこではセンサーからの情報処理のために高度なプロセッシングが必要なだけでなく、エネルギー効率がよくバッテリー寿命を延ばすための超低リークなチップが要求される。この要求に対して 90nm CMOS プロセスの混載不揮発メモリを搭載した超低リークなマイコンが報告されているが、ここでの SRAM キャッシュは画像処理に十分な容量を持っておらず、IoT に必要になるであろうエッジコンピューティングに対応させようとして SRAM キャッシュを増やしてしまうとリーク電流の増大を招いてしまう。IoT 向けに必要な高パフォーマンス・低電力・小面積性に優れたデバイスとして BOX 層を薄くした FD-SOI である SOTB[82]が提案されている。

4.4.1 65nm SOTB デバイスと基板バイアス効果

図 4-18 に 65nm における SOTB デバイス構造を示す。SOTB というのは通常の完全空乏 SOI に対し、BOX 層を薄くしたものである。この薄くなった BOX のおかげで基板バイアス依存性がおおきくなり、逆バイアス印可では 1/1000 にスタンバイ電力が減少する[83][84]。本プロセスにおいてコア MOS 領域は SOI であるが、IO 領域は ESD 保護の観点から BOX をくりぬいてバルクトランジスタとしている。SRAM はチップの論理のいたるところに存在するためコア MOS 領域に存在する。図 4-19 に SRAM の平面 SEM 写真と、トランジスタの断面 TEM 像を示す。SOTB 構造になったかといって、基板よりも上の部分は構造的に通常のバルクプロセスと全く同じであり、平面 SEM 像からもそれがわかる。従って SRAM セルサイズも 65nm バ

ルックプロセスと同一サイズである。また断面 TEM から BOX 層, SOI 層が制御性よく形成されていることが確認できる。またチャネルの不純物注入をなくしローカルばらつきを抑えている。

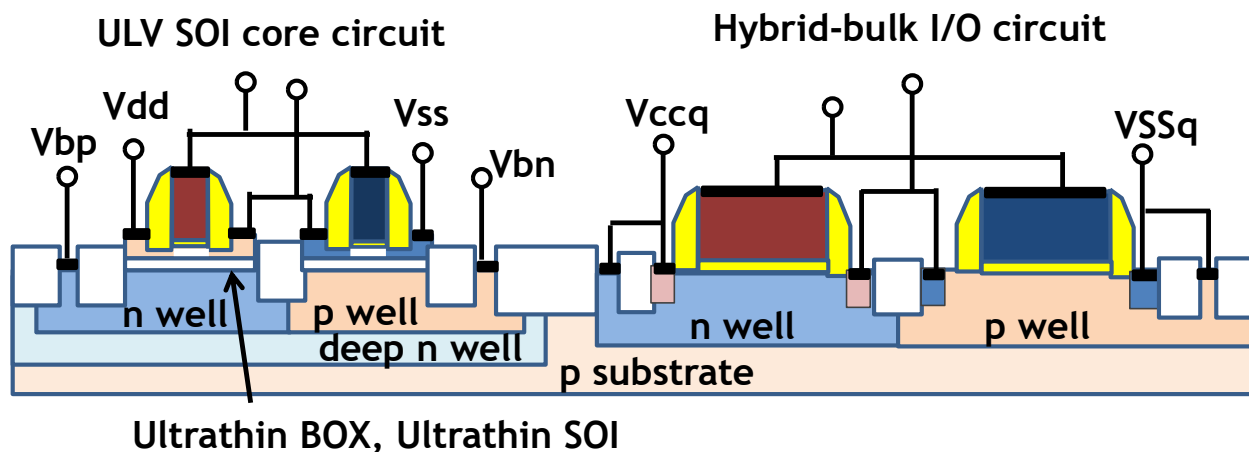


図 4 - 1 8 SOTB デバイスの構造図

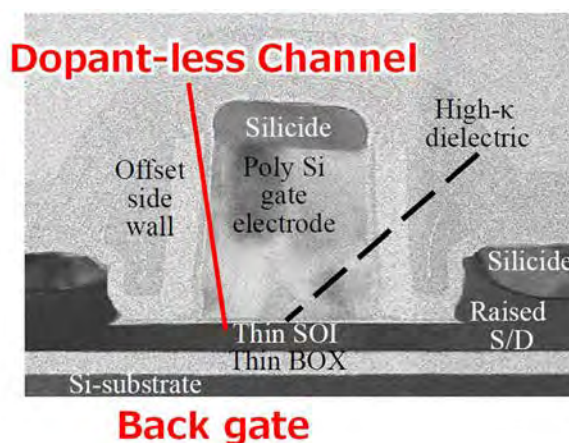
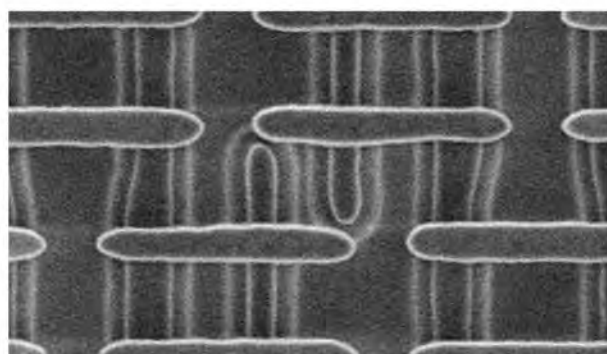


図 4 - 1 9 SRAM の平面 SEM とトランジスタ断面 TEM

SRAM 各トランジスタのローカルばらつき (σV_{th}) を図 4 - 2 0 に示した。SOTB は完全空乏 SOI でありチャネル不純物注入をしていないため、トランジスタのローカルばらつきが小さい事がわかる。65nm バルクプロセスと比較すると、SOTB の σV_{th} は半分近くになっており、16nm Fin-FET プロセスのものと同等レベルになった。SRAM にとって、このローカルばらつきは動作安定性に直結するものであり、 σV_{th} の小さい SOTB プロセスは SRAM が安定に動作し低電圧動作も期待される。

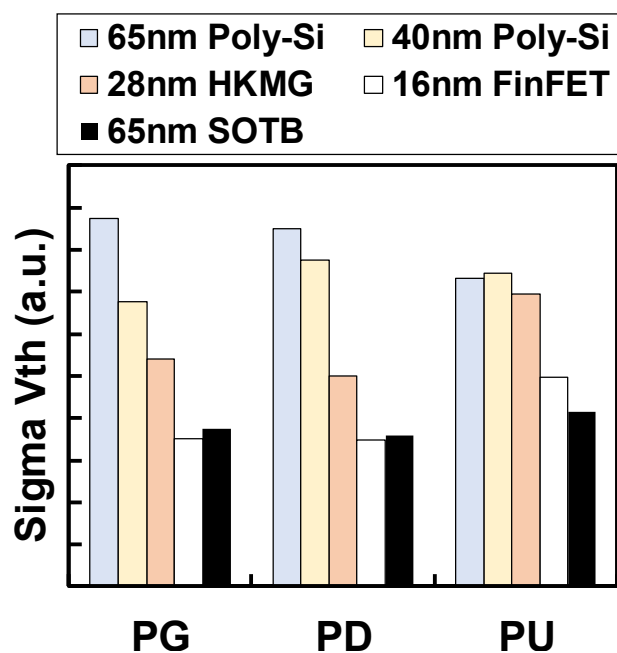


図 4 - 2 0 各世代のローカルばらつき比較

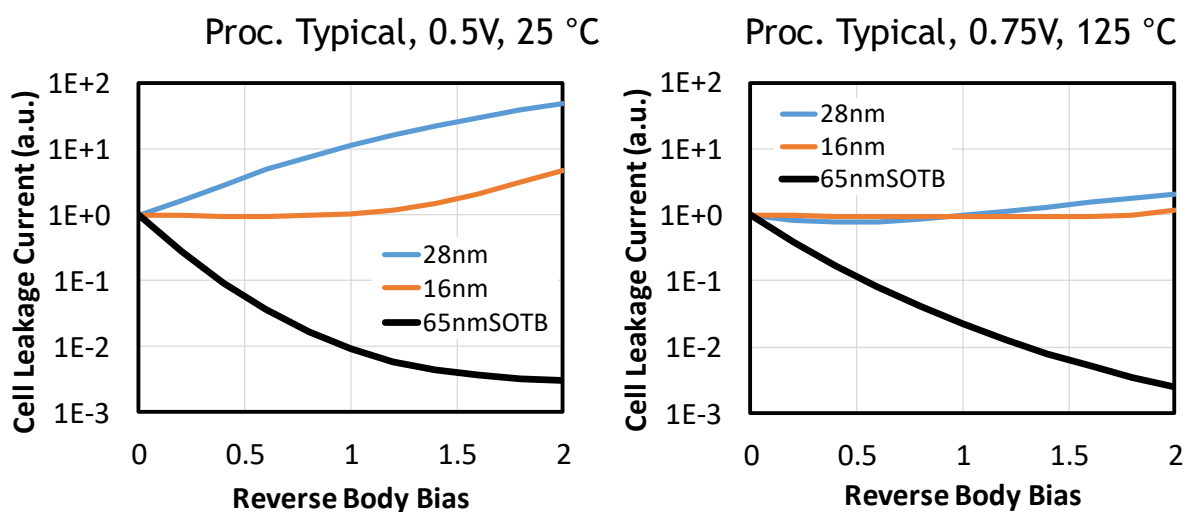


図 4 - 2 1 バックバイアス依存性

図 4 - 2 1 に SRAM リーク電流の基板バイアス依存性を示す。バルクプロセス (28nm) では基板バイアスを印可するとリーク電流が増えてしまっている。これは GIDL などの基板リーク成分が見えているからで、室温だとより顕著になっている。また、Fin-FET プロセス (16nm) は基板バイアス依存性が小さい。Fin-FET ではチャネルを包み込むようにゲートがあり、チャネルに対して基板バイアスが影響を与える事が出来ないからである。これらに対し、SOTB プロセスでは非常に大きな基板バイ

アス依存性がある。BOX 層が薄いのでその下の基板バイアスがチャネルに大きく影響を与える。また、基板がソース・ドレインに接していないので、基板リークは発生しない。これらにより SOTB プロセスではバックバイアスを印可した分、リーク電流を軽減することが出来る。例えば 2.0V の逆バイアスを印可することで2桁以上リーク電流が減少していることがわかる。

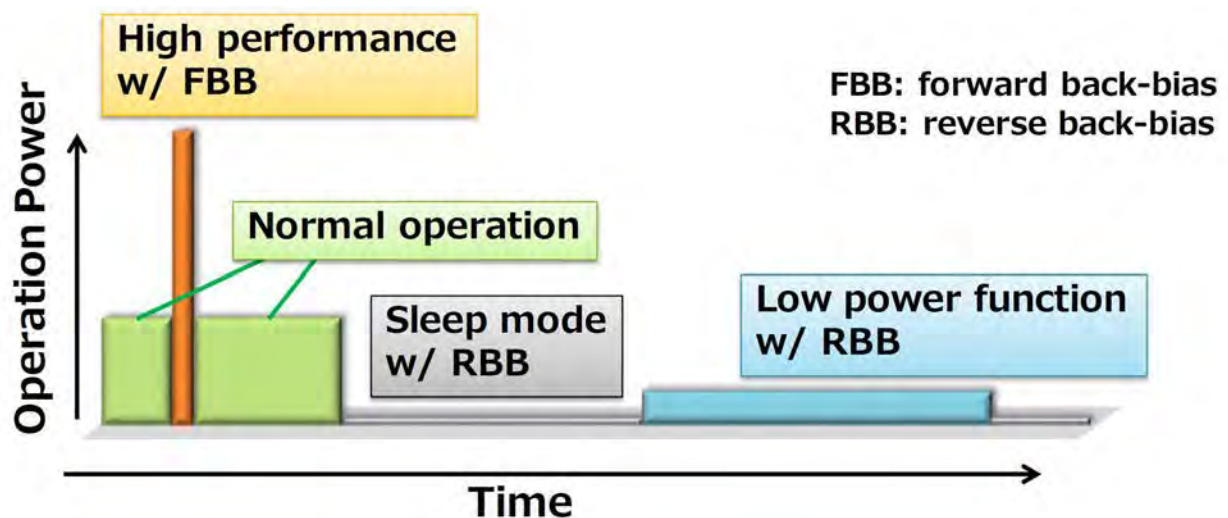


図 4-2 2 動作モードの切り替え

図 4-2 2 に想定しているパワーシーケンスを示す。この SOTB は前述のとおり、バックバイアスの依存性が非常に大きいため、順バイアスで高速に、逆バイアスで低リークにと状況に応じた使い分けが可能になっている。例えば、時間に応じて負荷が変わるようなセンシングデバイスを想定すると、例えば夜間のようにロギングが不要な時間はスリープ状態でバッテリー消費を抑え、負荷が少ない時間帯は低速モード、通常負荷はノーマルモード、ロギングしたデータを解析・通信するようなときは高速モードのような使い方である。すなわち、本提案では以下の4つのモードを準備し、それを実現する回路構成を検討する。

1. ハイパフォーマンスモード
2. ノーマルモード
3. 低電力モード
4. スリープモード

図4-2 3チップのブロック図を示す。NMOSの基板ノード(VBN)とPMOSの基板ノード(VBP)はそれぞれ独立に基板バイアス生成部から供給する。先にあげたモードにおける電圧状態を右図に示す。ノーマルモードでは電源電圧0.75Vであり、基板バイアスをゼロバイアスにするため $VBP=0.75V$, $VBN=0V$ としている。ハイパフォーマンスモードでは高速要求に対応するために、 $VDD=1.0V$ にオーバードライブし、さらに $VBP=VBN=0.5V$ とすることで基板バイアスに0.5V準バイアス印可している。低電力モードでは電源電圧は0.75Vを保持したまま、基板バイアスを1.5V逆バイアスにするため、 $VBP=2.25V$, $VBN=-1.5V$ 印可する。最後にスリープモードでは、電源電圧を0.5Vに落とし、かつ $VBP=2.5V$, $VBN=-2.0V$ で2.0V逆バイアスにすることで超低リーク状態を実現する。このような電圧状態を生み出す回路が左図である。リングで生成したクロックをチャージポンプ(DSCCP)に入力する。このリングも共通のバックバイアスになっているので、低リークモードで逆バイアスがかかったときは自動的にリングのスピードが遅くなり無駄なパワーを削減する。チャージポンプはNウェル用、Pウェル用別々に持っている。逆バイアス用の1.5V、2.0Vをチャージポンプで作り、順バイアスとしては $1/2VDD$ を作る。これらをセレクトで切り替え、基板バイアスに接続する。図4-2 4にシミュレーション波形を示す。ハイパフォーマンスモードでは $VDD=1.0V$ に対し VBP と VBN が正常に $1/2VDD$ 出ていることがわかる。また低電力モードでは1.5V、スリープモードでは2.0Vの逆バイアスが得られている。

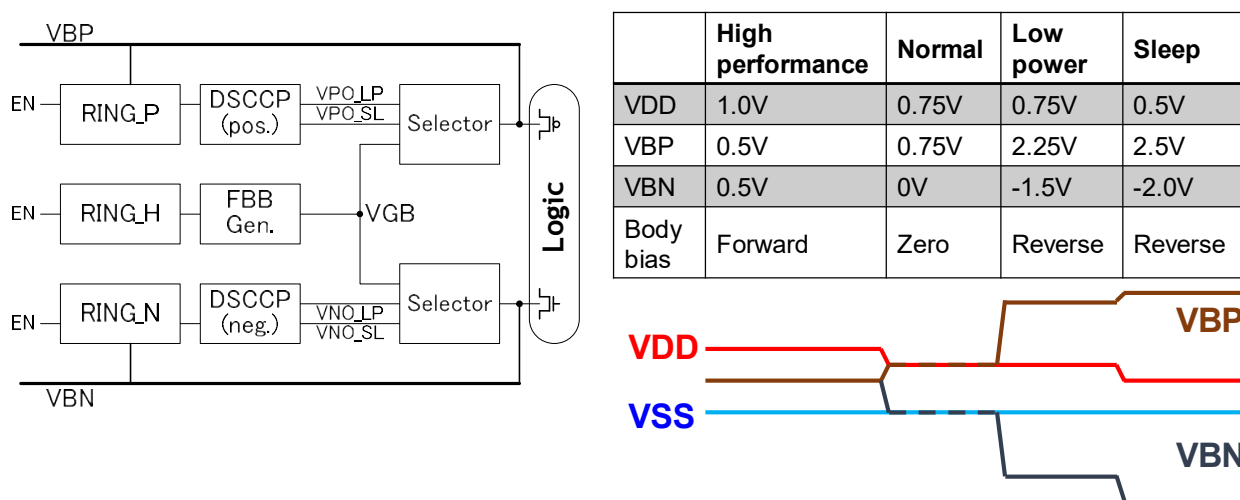


図4-2 3 チップブロック図と基板バイアスの遷移

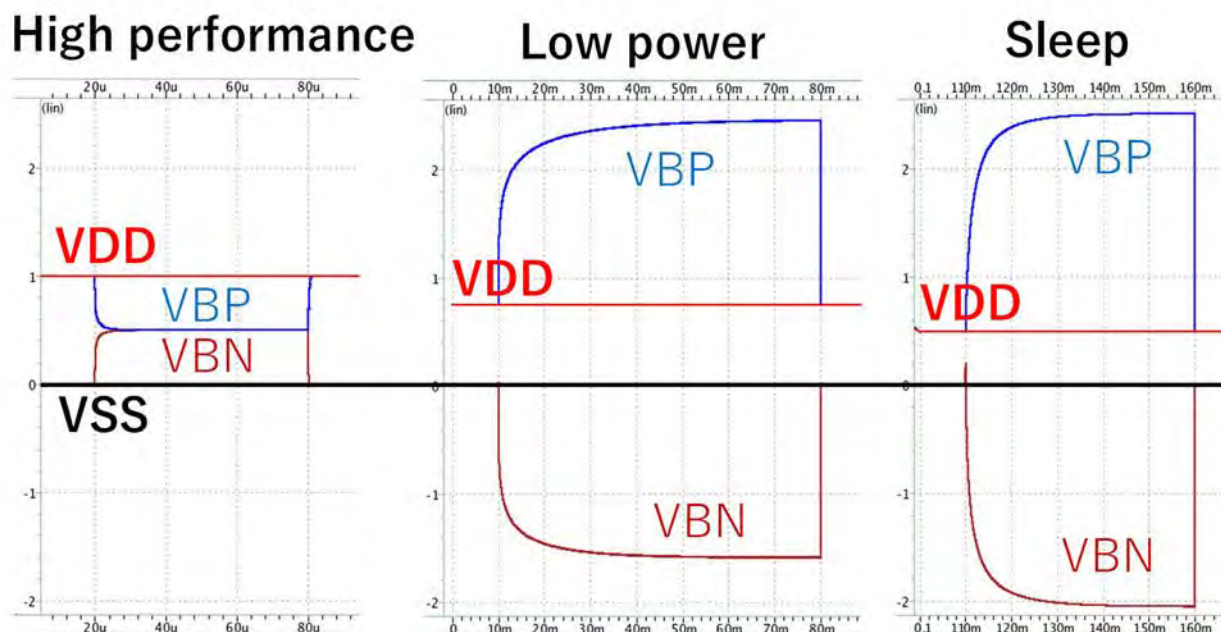


図 4-24 バックバイアスのシミュレーション波形

4.4.2 ワード線パルス幅局所最適化 SRAM

ここまで SOTB プロセスを用いた高速かつ低リーク電流な SRAM の議論をしてきたが、ここからは SRAM の回路技術による低動作電力について議論する。SRAM の読み出し動作はワード線を開いて、セルのデータをビット線に接続し、センスアンプで増幅して出力する。ワード線には複数のビットセルがつながっているため、ワード線を開いている間にビットセルが消費する電力は大きい。従ってワード線を開いている時間は出来るだけ短くすると低動作電力になる。

図 4-25 に提案するワード線パルス幅制御回路を示す。CLK が H になると、RS ラッチをセットしワード線が立ち上がる。一方、その RS ラッチの出力はビット線レプリカを通してセンスアンプイネーブル(SAE)を駆動し、RS ラッチをリセットすることでワード線をネグートする。ここで本提案では、NMA 信号を切り替えることでワード線のネグートタイミングを前倒しすることが出来る。ビット線レプリカの遅延量はワード線が開いてから、センスアンプを動作させるに必要なビット線差電位が得られる時間で決めるが、このとき SRAM ビットセルはワーストにばらついたセルを

考慮するのが一般的である．もしワースト状態を考慮しないと SRAM は数十 Mbit と大量に搭載されるために，全ての SRAM セルが正しい読み出し動作をできない事になる．図 4-26(a)に本回路のタイミングチャートを示す．本回路方式を取らない（ビット線レプリカをショートカットしない）SRAM では読み出しワーストセルに対してワード線ネゲートとセンスアンプイネーブルタイミングを決定し，S0 の状態になる．しかしこれはワーストセルの状態なので，大多数のセルは点線のようにもっと高速にビット線が引き抜かれている．この状態であればワード線を速くネゲートしてもよく，図 4-25 の NMA を設定し S0→S3 にすることでワード線を速くネゲートする事ができ，無駄なビット線の引き抜き電流を削減することが出来る．ここで NMA は 2bit とし，ワード線パルス幅は 4 段階に切り替える事が可能である．図 4-26(b)にはワード線パルス幅の設定値とその時の動作電力を示している．ワード線を高速にネゲートすると動作電力が小さくなっている事がわかる．ワード線パルス幅を最小にした S3 モードでは 20% 程度の動作電力削減を確認できた．

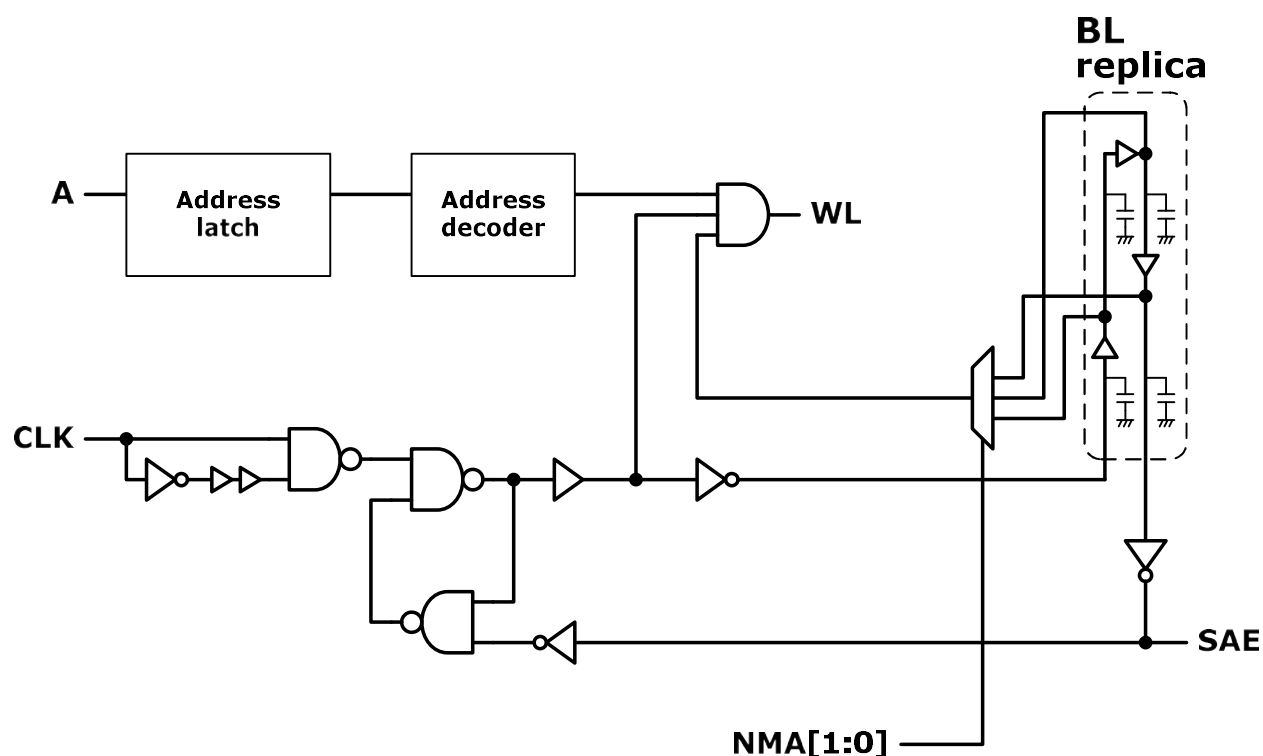


図 4-25 ワード線パルス幅調整回路

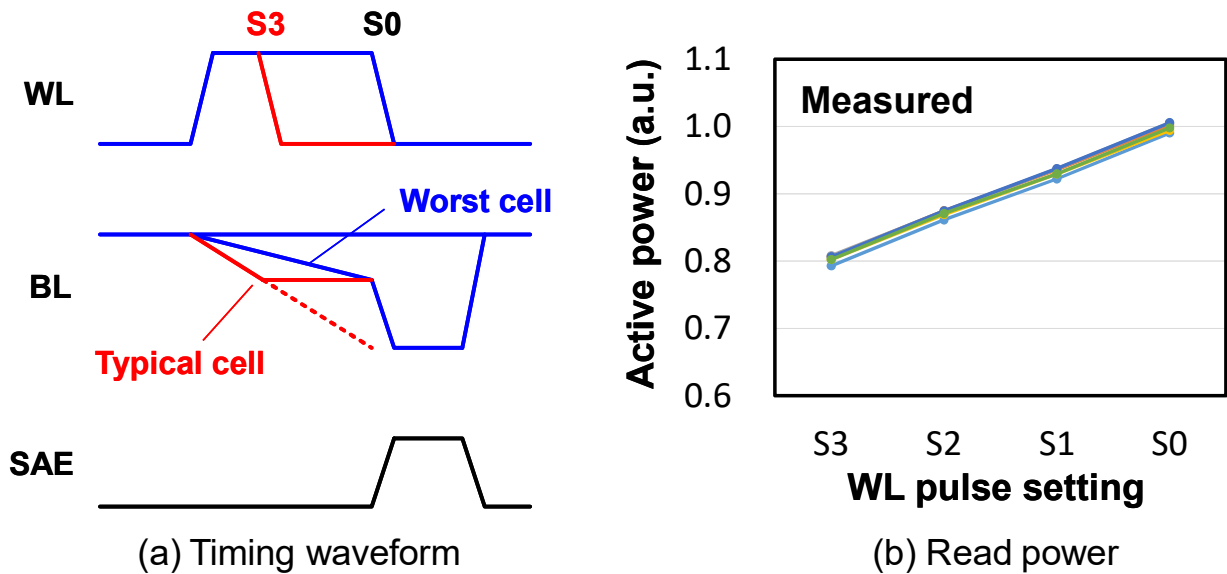


図4-26 ワード線パルス幅の効果

図4-27にはこのワード線パルス幅可変機能を持ったSRAMを複数使った実際のチップブロック図である。各SRAMマクロがそれぞれNMAを2bit持っているため、マクロ毎にワード線パルス幅を最適に設定することが出来る。本図において、白抜きのマクロはワード線パルス幅が最短(S3)のときで、グレーになるにしたがってワード線パルス幅が長い。こうすることで読み出しマージンが不足している不良ビットを救う事ができる。このNMA 2bitを制御するために各マクロはレジスタを持ち、それは全体としてスキャンパスでデータを送る仕組みとなっている。そのデータはヒューズなどのようなOTP(One Time Programmable)や不揮発メモリに記憶されている。出荷テストで各SRAMマクロの最適なNMAコードを判定しそれをOTPに書き込み、実使用時のパワーオン時にそこから読み込んでレジスタにスキャン転送することでワード線パルス幅を局所的に最適化するSRAMマクロという本提案回路を実現した。図4-28にはこの回路による動作電力削減効果を示している。従来手法ではワード線パルス幅はワーストに合わせて作らざるを得ず、消費電力は大きい。一方、グローバルばらつきなどによって、ワード線パルス幅がすべて最小になったときにProp. 2で最大18%の動作電力削減が期待できる。Prop. 1はローカルばらつきによってマクロ毎で最適なワード線パルス幅が違う時で、その時は設定によってそのチップの消費電力が変わる。

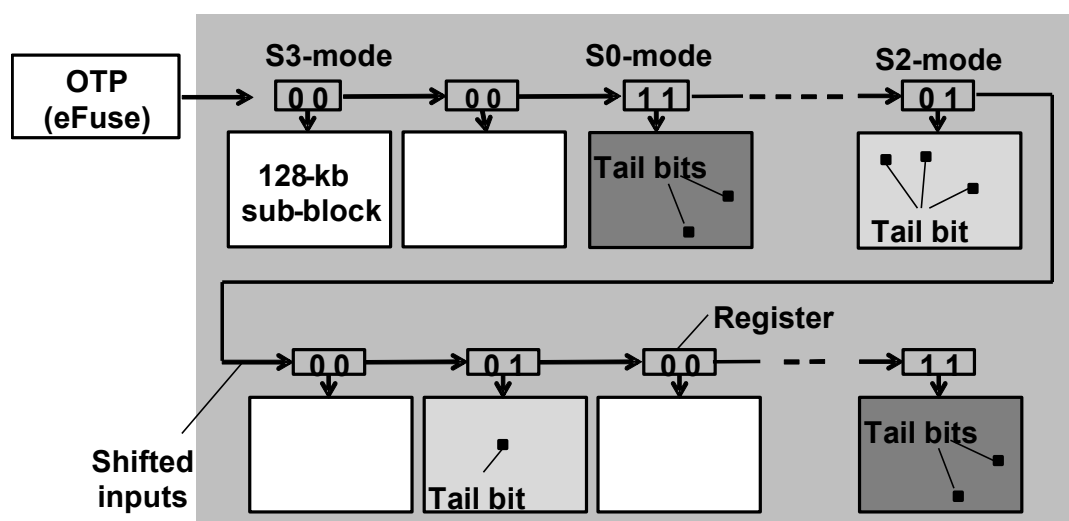


図4-27 チップブロック図

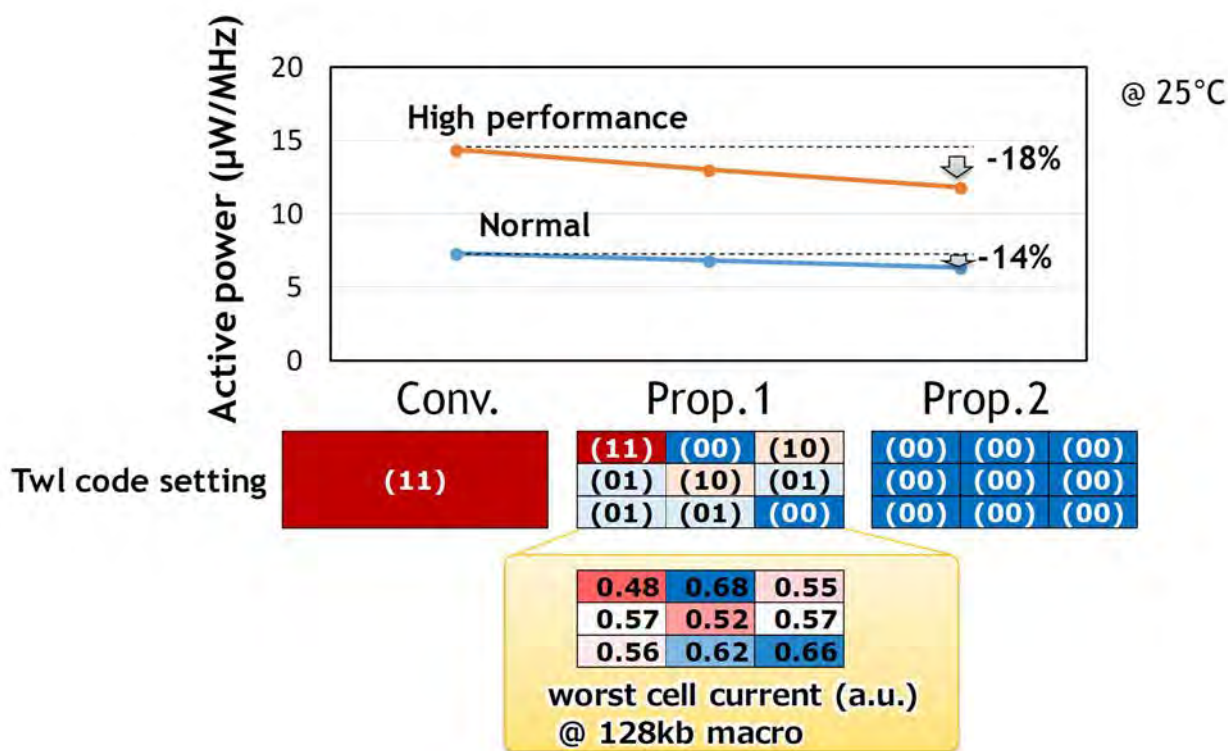


図4-28 消費電力削減効果

4.4.3 テストチップ試作と評価結果

65nm SOTB プロセスを用いて 128 kbit SRAM マクロを試作した。その諸元を表 1 に示した。図 4-29 に評価結果として動作下限電圧(V_{\min})と SRAM のスタンバイ電力(Leakage power), 読み出しアクセス時間を示す。

動作下限電圧は良い分布が得られた。スリープモードのデータ保持特性はターゲット電圧の 0.5V 以下であり，低電力モードもターゲット電圧の 0.75V 以下を実現している。スタンバイ電力もよい分布が得られている。スリープモードでは当初の検討通り，通常モードの 1/1000 程度のリーク削減効果が見られた。読み出しアクセス時間では，ハイパフォーマンスモードにおいてノーマルモードから 60%改善した。

図 4 - 3 0 にチップ写真と，本提案手法と過去報告文献の比較を示している。本提案手法のスタンバイ電力は基板バイアス生成部の動作電力を含め 13.72 nW/Mbit であり，過去文献[7-9]よりも優れた結果が得られた。

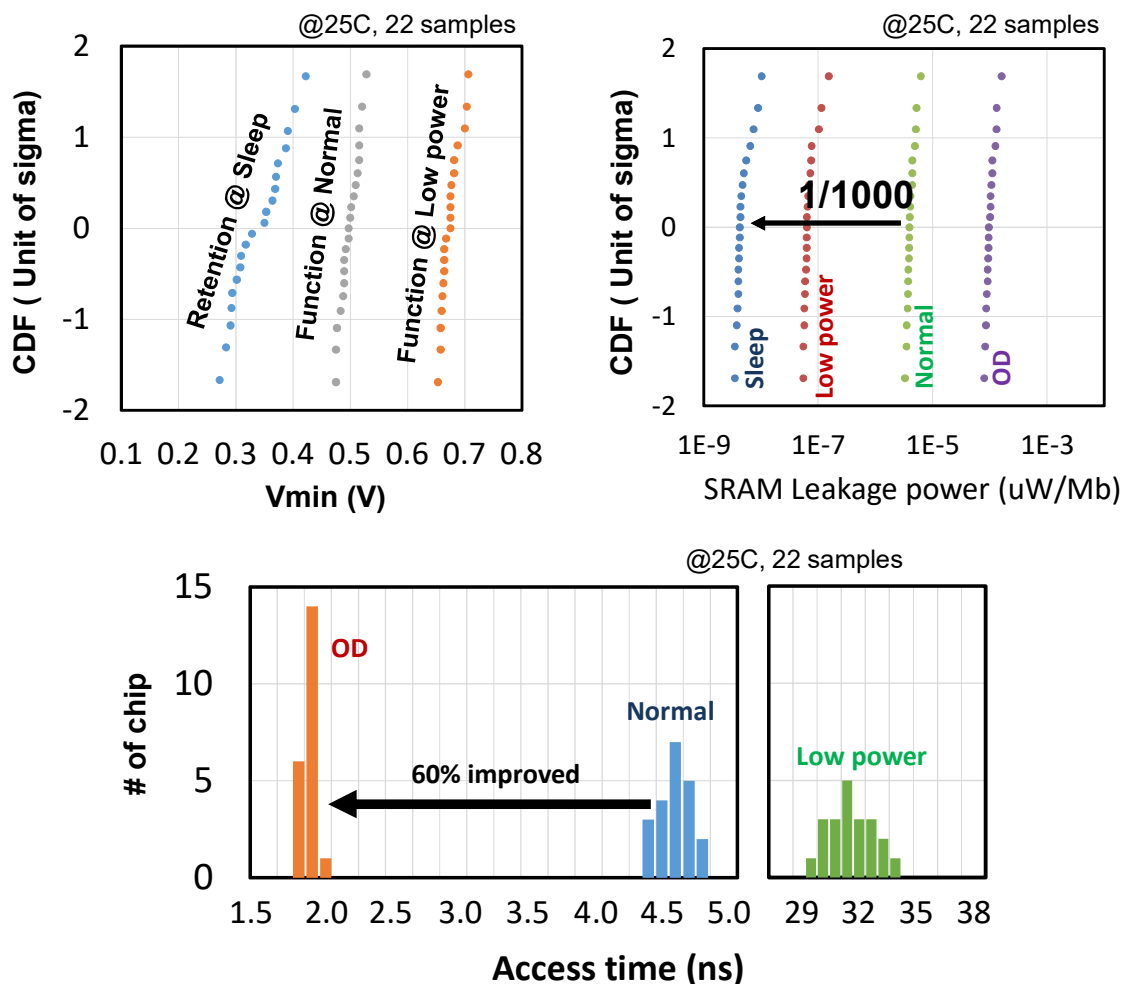
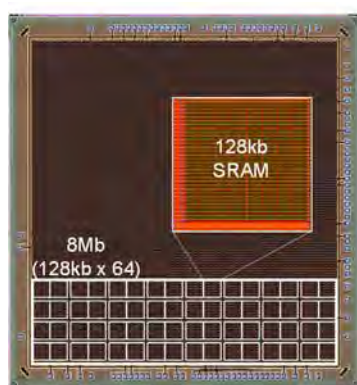


図 4 - 2 9 実測結果



Process	65 nm Silicon-on-Thin-BOX (SOTB)		
Memory capacity	8 Mb (4 kw x 32b x 64)		
6T SRAM bitcell size	0.5408 μm^2		
Physical macro size	302.9 μm x 295.1 μm @128kb		
Bit density	1.40 Mb/ mm^2		
Measured read access time @ 25C	1.84 ns @1.0V OD	4.58 ns @0.75V Normal	31.4 ns @ 0.75V Low Leak
Measured read active power	4.4 mW @380MHz	0.95 mW @150MHz	230 nW @32kHz
Standby power @ 25C, sleep mode	4.25 nW/Mb (SRAM) 9.47 nW/Mb (VBB gen.) 13.72 nW/Mb (Total)		

図4-30 チップ写真と緒言

4.5 結言

本章では、SRAM の動作電力を削減するために、ハーフセレクトセルのセル電流を抑える方式を2つ提案した。Yアドレスを選択するワード線を新たに設けたクロスポイント 8T-SRAM セルを開発し、動作マージン改善用の負バイアスアシスト回路を実装した SRAM マクロを 1Mbit 搭載したテストチップを 45nm バルクプロセスで試作した。評価した結果、25%の動作電力削減効果が得られた。

次に Y アドレスの本数分のワード線を持ったインターリーブ SRAM を開発し、さらに低電力動作のために階層ビット線方式の SRAM マクロを 20nm バルク CMOS プロセスにて試作した。評価した結果、リーク電力が 53%削減し、読み出し動作電力は 33%削減、書き込み電力は 24%削減した。

最後に 65 nm SOTB プロセスを用いて混載 SRAM を開発し、室温で 13.72 nW/Mbit という超低スタンバイ電力を確認した。これは SOTB で基板バイアスに逆バイアス 2.0V 印可できた結果で、通常条件から 1/1000 に削減した。読み出しアクセス時間はハイパフォーマンスモードにすることで 1.84ns と高速になった。またワード線パルス幅局所最適化手法により最大で 20%の動作電力改善が見込める。

第5章 高信頼・小面積2ポートSRAM技術

5.1 緒言

近年のマルチコア、画像処理、ネットワークなど高機能かつ多機能な先端 SoC においては大規模な SRAM を搭載することによってその機能を実現しているが、その SRAM ではシングルポートだけでなく書き込み読み出しポートを2系統持たせたデュアルポート[85]-[88]や、書き込みと読み出しを独立させた2ポート SRAM[89]-[92]も広く使われている。図5-1にアプリケーション毎のSRAMメモリの使用割合をしめす。このようにカメラやモバイルなどでは10%程度2ポートSRAMが使用されており、ネットワーク用途では半分以上が2ポートになっている。これまでの検討はシングルポートSRAMについて進めていたが、使用率の多い2ポートについても検討しなければいけない。

多ポートメモリの動作について図5-2でシングルポートとの比較とともに示す。シングルポートは読み出しと書き込みのポートが1つなので、2つのユニットからアクセス要求があったときには、メモリバスが制御して順番に実行する。従って2サイクルかかってしまう。また、この2つのユニットの周波数が異なる場合は、単純なメモリバスではうまくいかず、入出力を同期化させてからメモリアクセスする必要がある。これはマルチコア化が進んでいる近年では、大変な負荷となる。一方、デュアルポートSRAMではユニット毎にメモリにアクセスすることができるので1サイクルで、かつ複雑なバス制御も不要である。さらに、ポート非同期デュアルポートであれば、周波数が異なっても問題なく使える。このため、近年では異なる周波数をまたぐときのFIFOとして使われることも多い。なお、この(b)図において、2ポートの場合は、片方が読み出し専用ポート、もう片方が書き込み専用ポートとなる。これを実現するSRAMセルは2.2節の通りである。

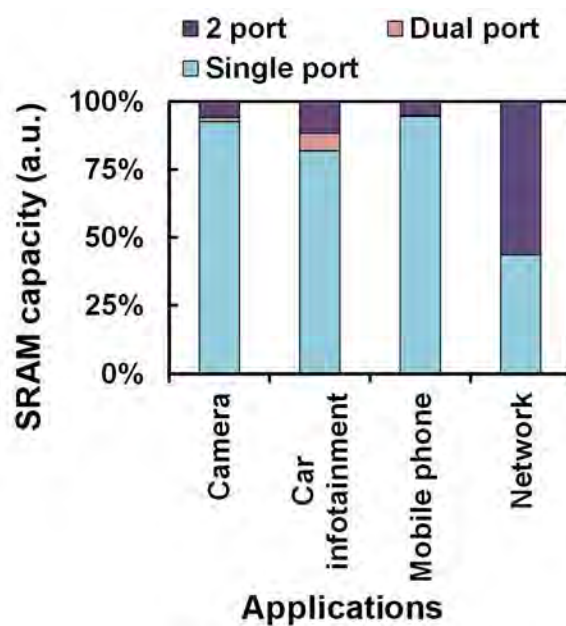


図 5 - 1 多ポートメモリの使用割合

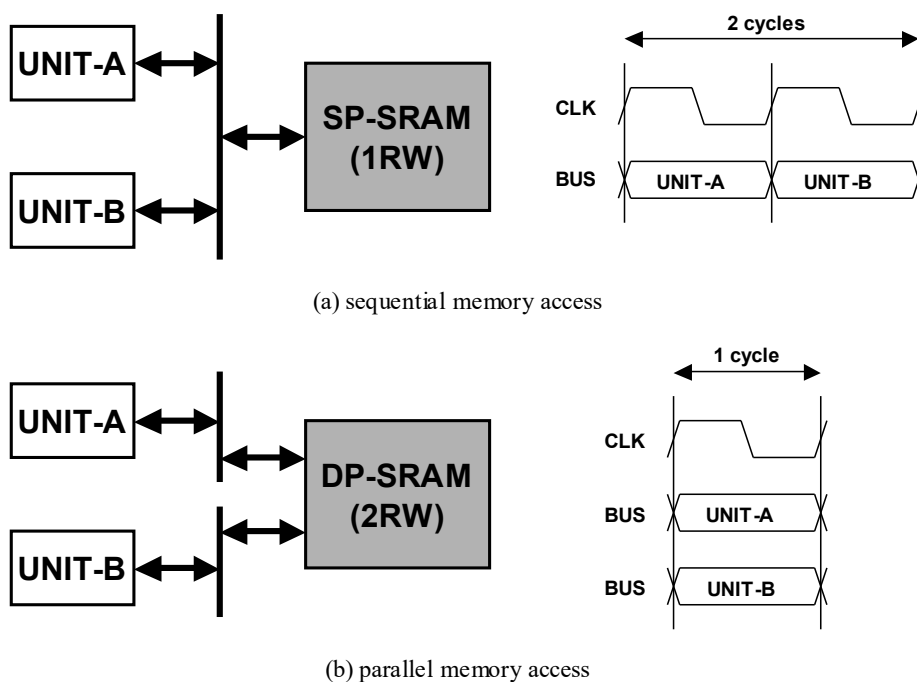


図 5 - 2 メモリバスブロック図とタイミングチャート

5.2 2ポート SRAM の高信頼化

本節では主にネットワークアプリケーションで使用する大規模 2ポート SRAM についての高信頼化について述べる. ネットワークアプリケーションでは特に 2ポ

ト SRAM が多用されていることはすでに述べた．そのために小面積化が必要になるが，2 ポート SRAM ではポート間での干渉によりシングルポートでは見られなかった問題が発生する．それを解決するための回路技術，テスト技術が本節のテーマである．

5.2.1 ディスタート電流による誤読み出し

図 5-3 に 2 ポート SRAM におけるタイミングチャートを示す．(a)は異行アクセスで，これは2つのポートが異なる X アドレスの時である．この時は，それぞれのワード線(WWL, RWL)は離れているので，選択されるセルも異なり特に問題はない．一方，(b)は同行アクセスで，同じ X アドレスの時に生じる．2.2.3 項で示したように，このセルでは 1 読み出しで問題が起こりうる．同行アクセスが起きると，6T 側のワード線が開き記憶ノード(MB)が浮き上がる．1 読み出しでは，読み出しビット線 RBL が 1 の状態をキープする必要があるが，MB が浮き上がると読み出しポートのトランジスタが $V_{gs} > 0$ になり，RBL を引き抜く可能性があるからである．そして RBL が引き抜かれると出力も 0 になって誤読み出しとなる．この電流分布を図 5-4 に示す．0 read current は 0 読み出しでのセル電流である．読み出しセンスアンプはこの 0 読み出しセル電流によるビット線変化をセンスして出力する．1 read leakage current はこの 0 読み出し電流に対し，ばらつきを考慮しても二桁以上小さく誤読み出しすることはないと考えてよい．一方，1 誤読み出し電流(1 disturb read current)はリーク電流が 2 桁増えている．そしてワースト 6σ を考慮すると，0 読み出し電流との差が小さくなり，その差は一桁以内となっている．そうするとセンスアンプの設計が難しくなるし，そもそもこの状態は通常の製品出荷テストでは評価できていない．これに対し，出荷テストでこの状態を評価しようとする時，大変なテスト工数がかかってしまう．そこで大容量 2 ポート SRAM としては，1 誤読み出しを考慮したセンス方式と，テスト容易化技術が必須となっている．

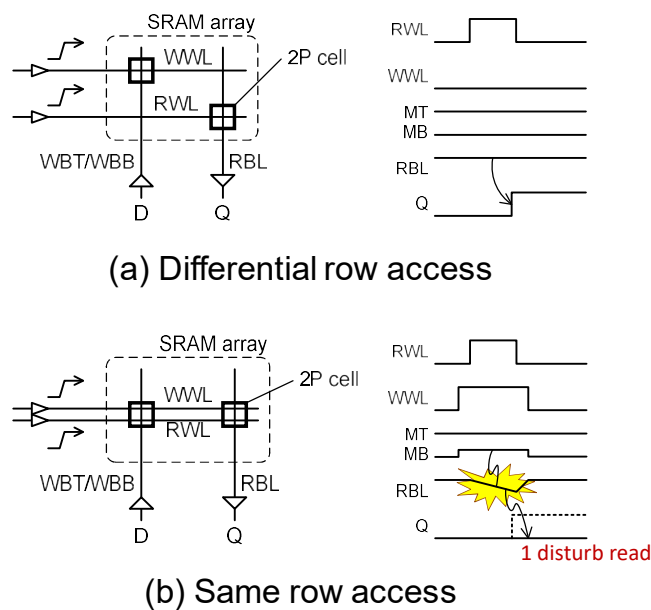


図 5 - 3 同行アクセスと異行アクセス

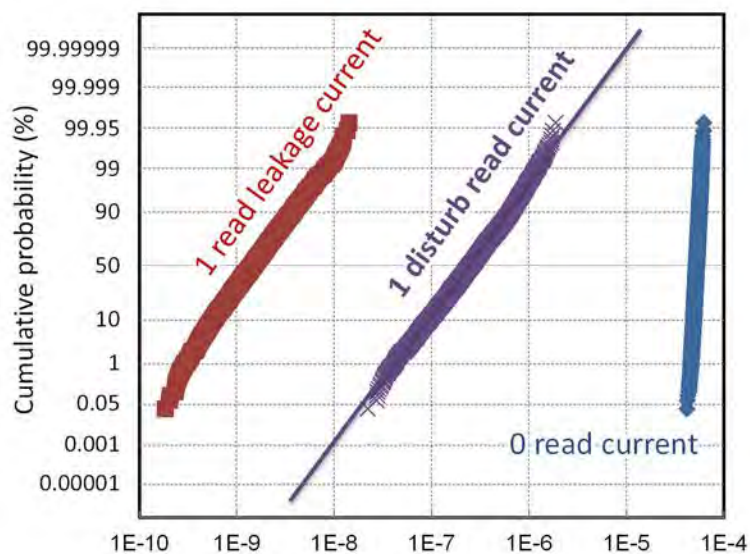


図 5 - 4 読み出し電流分布

図 5 - 5 に読み出し時の 1000 回のモンテカルロシミュレーション結果を示す. 混載 SRAM なので様々なワード・ビット構成が存在する. ここでは(a)に 32row マクロ, (b)に 512row マクロを示した. いずれにおいても通常の 1 読み出しではビット線=1 のときはほとんど電位低下がなく, 0 読み出しと 1 読み出し両方のビット線振幅に対して正常に出力させることは難しくない. 一方, 1 disturb read になるとディスターブ

電流によりビット線=1が維持できず、落ちてきてしまう。特に 32row ではビット線につながるセルの数が少ないため高速にビット線が引き抜かれ、1読み出しの時でもディスタープ電流によってかなり落ち込んでいる。これはただか 1000 回のモンテカルロなので、 6σ まで考慮するとさらに状況は悪化する。

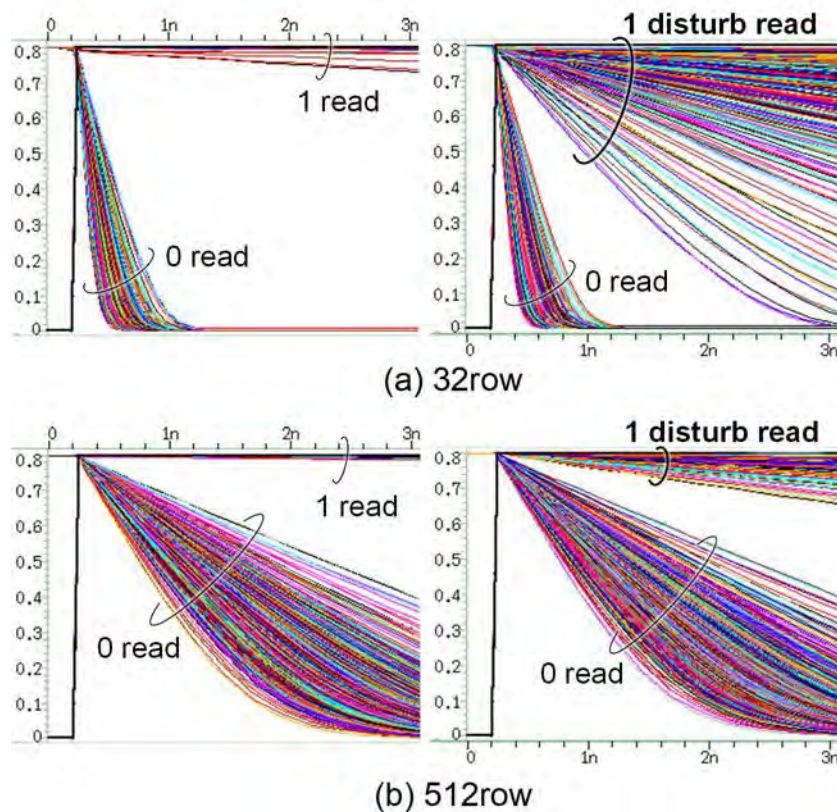


図 5-5 読み出しビット線シミュレーション

5.2.2 ワード線カップリングによる影響

2ポート SRAM においてはもう一つシングルポートとは違う問題がある。それはワード線によるカップリングノイズの影響である。2ポート SRAM において、書き込みワード線と読み出しワード線は実 Si 上物理的に並走して配線されている。従って、その線間容量を介して対抗するワード線からノイズを受ける。これにより読み出しマージンが減少した状態の概念図が図 5-6 (a)である。読み出しワード線(RWL)が立ち上がると読み出しビット線(RBL)の引き抜きがはじまる。ここで書き込みワード線(WWL)が 1→0 に落ちると、カップリングにより RWL が少し低下する。この期間

トランジスタのゲート電圧が低下するので、RBL が引き抜かれるスピードが遅くなる。こうして読み出しマージン（VDD と RBL 電位の差）が低下する。すなわち、Negative Skew のときは読み出しマージンが減少することになる。一方で、RWL が立ち上がり、H 機関の間に WWL が立ち上がるとカップリングの影響で RWL レベルが上がり、読み出しマージンが改善する。このように、二つのワード線のタイミングによって読み出しマージンは増減することがわかる。

図 5-6 (b)に 0 読み出しマージンのワード線カップリングによる影響を示す。ワード線スキューが負、つまり読み出し中に書き込みワード線のネゲートが読み出しワード線にぶつかったときにセンスマージンが 10%近く減少していることがわかる。逆にワード線スキューが正の時は読み出しマージンが改善する。このことは出荷テストでのテスト漏れを生む要因となる。製品出荷テストでは一般的に BIST(Built-in self test)で行われる。この時、二つのクロックは共通クロックで制御され、二つのクロックに意図的な位相をつけることはない。一方、ユーザー論理では二つのクロックには制約がなく自由に入力される。二つのワード線は BIST 用クロックを起点とするので、ワード線スキューは制御できず、ユーザー論理のワースト条件をテストできないまま出荷する事になり問題である。次に図 5-6 (c)では読み出しワード線からのカップリングノイズによる書き込みマージン減少について説明する。WWL が立ち上がるとデータに従い内部ノードの反転が始まる。ここで読み出しマージンが 1→0 に落ちると、カップリングにより WWL が少し低下する。これにより内部ノードの反転のスピードが遅くなる。もし、書き込みワード線の High 幅の期間に内部ノードの反転が終わらなかったら書き込み不良となる。

図 5-6 (d)にこの時の Sim 波形を示す。縦軸は書き込みワード線がアサートされてから内部ノードが反転するまでの時間で、横軸は図 5-6 (d)と同様ワード線スキューである。ランダムばらつきによって Write マージンがもともと小さいもので Sim.している。これによると書き込み中（内部ノードが反転しきる前）であればどのタイミングノイズが入ってもマージン減少は同じであることがわかる。こちらについてもテストでワーストワード線になるようにクロック制御するのは不可能である。

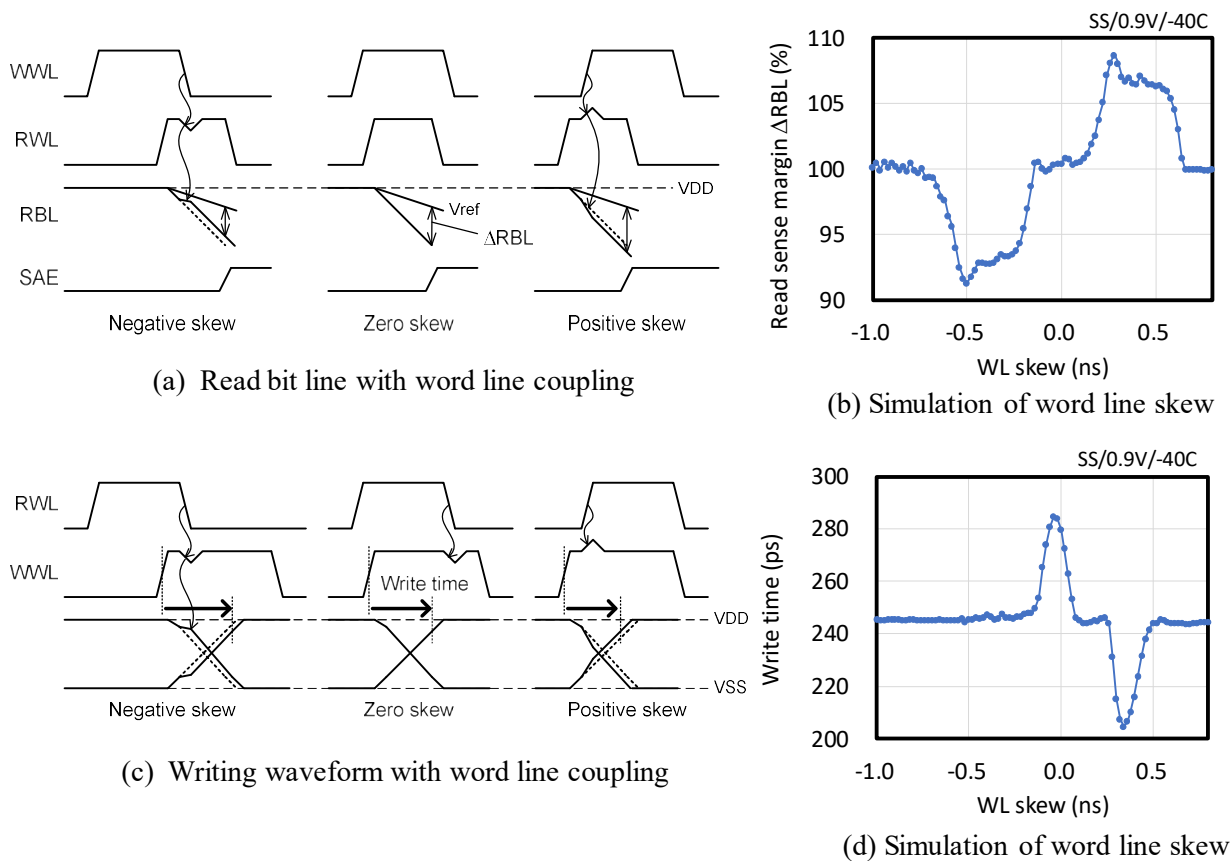


図 5-6 ワード線カップリングの SRAM 動作への影響

5.2.3 テストスクリーニング手法

このようにディスタ urb 電流による 1 誤読み出しやワード線カップリングノイズによるマージン劣化など 2 ポート特有の不良モードは 2 つのポートが非同期であることが原因である。さらに製品では、様々な動作条件において多数あるマクロすべてのクロックがそろわなくても、出荷テストで各ワースト条件になるようなクロックを作ることは現実的ではない。従って高信頼性のために 2 ポート SRAM マクロとして、各ワースト条件になるようなテストモードを持つものを検討した。図 5-7 にタイミングチャートを示す。まず、テストモード信号として SEL 信号があり、これが 0 の時は通常動作である。二つのクロック CLKA, CLKB はそれぞれ書き込み動作、読み出し動作のクロックであり、これによって WWL と RWL がそれぞれ活性化される。二つのクロックは同期していないため、この図のように WWL と RWL がどういう関係になるかは不明で、周波数や温度や電圧など使用条件によっても変わる。SEL 信号を 1 にすると BIST モードである。テストクロックとして TCLK により、書き込みポ

ート、読み出しポート両方を駆動する。TEC 信号が 0 のときは、ディスタープによる誤読み出しをテストするモードである。ディスタープ状態を作るためには、WWL がアサートして、内部ノード(MB)が浮き上がったときに、RWL が活性化して読み出す必要がある。従って TCLK を受けて WWL をアサート、そこから遅延を持たせて RWL をアサートする。読み出しワード線は書き込みワード線よりも狭いので、RWL が WWL に包含するようにタイミング設計をすることで 1 誤読み出しのワースト条件を作ることができる。

次にワード線カップリングテストモードである。これは TEC 信号を 1 にしたときである。図 5-6 に示したように、ワード線カップリングノイズによって読み出しマージンは劣化するが、そのようにワード線のタイミングを作るのは PVT ばらつきを考慮すると難しい。従って、ワード線電圧がノイズによって落ち込む分、ワード線幅を短くすることで対応する。また、書き込みにおけるマージン減少も同様にワード線ノイズにより書き込み完了時間が遅くなる分、ワード線を短くしてテストする。このようにワード線幅を短くすることでワード線カップリングノイズによる SRAM 動作マージン劣化を模したテスト回路とし、これによってテスト工数を増やすことなく高信頼な 2 ポート SRAM を提供することができる。

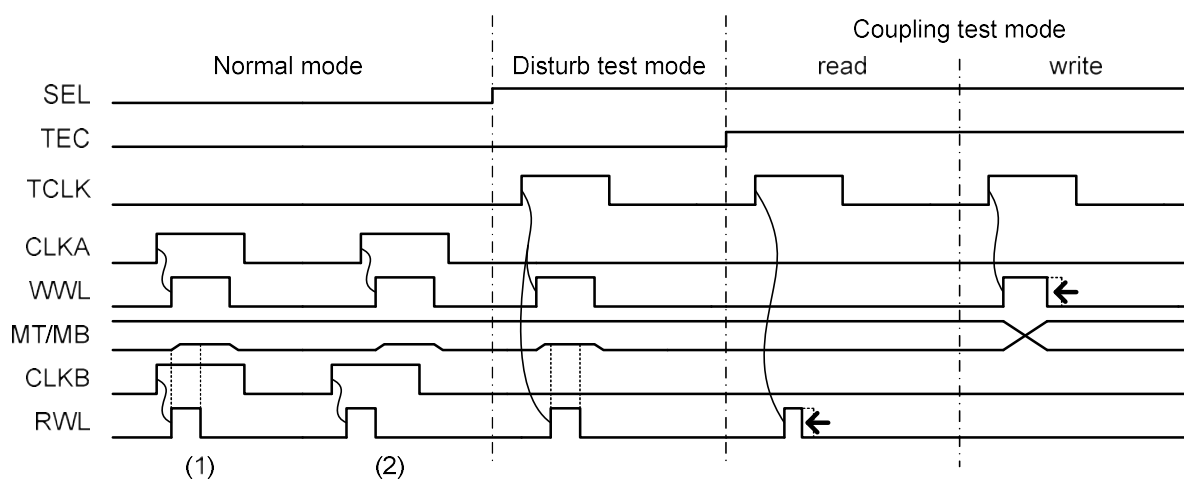


図 5-7 スクリーニングテストタイミングチャート

次に上記を実現する回路ブロック図を図 5-8 に示す。2つのクロック CLKA, CLKB はそれぞれ TCLK とのセクタ部(a)を持ち ICLKA, ICLKB として書き込み、読み出しそれぞれのクロック生成部に入力する。セクタは SEL 信号で切り替える。

各クロック生成部の出力 WTDEC, RTDEC とアドレスデコード信号で書き込みワード線(WWL)と読み出しワード線(RWL)をそれぞれ駆動する. また読み出しクロック生成部はセンスアンプ活性化信号(SAE)も駆動する.

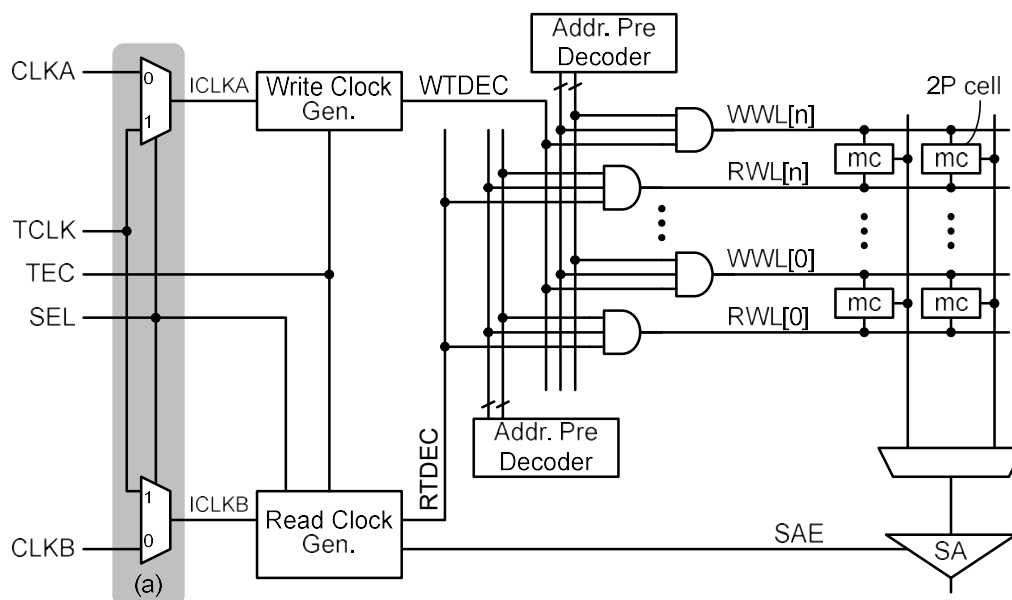


図 5-8 2ポート SRAM ブロック図

図 5-9 にクロック生成部の詳細回路図を示す. 通常時, 書き込みのクロックドライバは入力信号 ICLKA の立ち上がりを受けて最初の NAND でショートパルスを作り RS ラッチをセットする. そして WTDEC が活性化し, 書き込み用のビット線レプリカ回路を通して RS ラッチをリセットする. それによって WTDEC がネグートされる. この WTDEC はワードドライバにつながっており, 書き込みワード線を制御している. カップリングノイズテストモードに入ると, TEC=1 になる. そうすると TEC セレクタによってレプリカ出力から RS ラッチをリセットするパスが遅延素子を通らないようになるため, 高速化される. そうすると WTDEC のネグートも高速化されるため, ワード線パルス幅は短縮するのでカップリングノイズによる書き込み時間の短縮化が実現する. 次に読み出しクロック生成部であるが, 基本構造は書き込みクロック生成部と同じである. 入力クロック ICLKB の立ち上がりを受けてショートパルスを作り RS ラッチで RTDEC を駆動, 読み出しビット線レプリカ部を通して RS ラッチをリセットする. RS ラッチのリセット信号をセンスアンプ活性化信号として使

う．これにより，センスアンプを活性化すると同時にワード線を閉じて無駄な電力消費がない．ディスタートモードに入ると，SEL=1 となり SEL セレクタが遅延段のパスに切り替える．これで読み出しワード線を制御する RTDEC の起動が遅れ，書き込みワード線よりも読み出しワード線を遅らせる事が出来る．RBL レプリカ回路は WBL レプリカ回路よりも速くなるように調整されており，この構成で書き込みワード線に読み出しワード線が包含されるタイミングを作ることができる．カップリングノイズテストモードは書き込みと同様で，TEC=1 になることでレプリカ出力後の遅延パスをバイパスし高速化する．これでセンスアンプ活性化とワード線パルス幅が同時に短くなり，カップリングによるセンスマージン劣化を模したテストが可能となる．

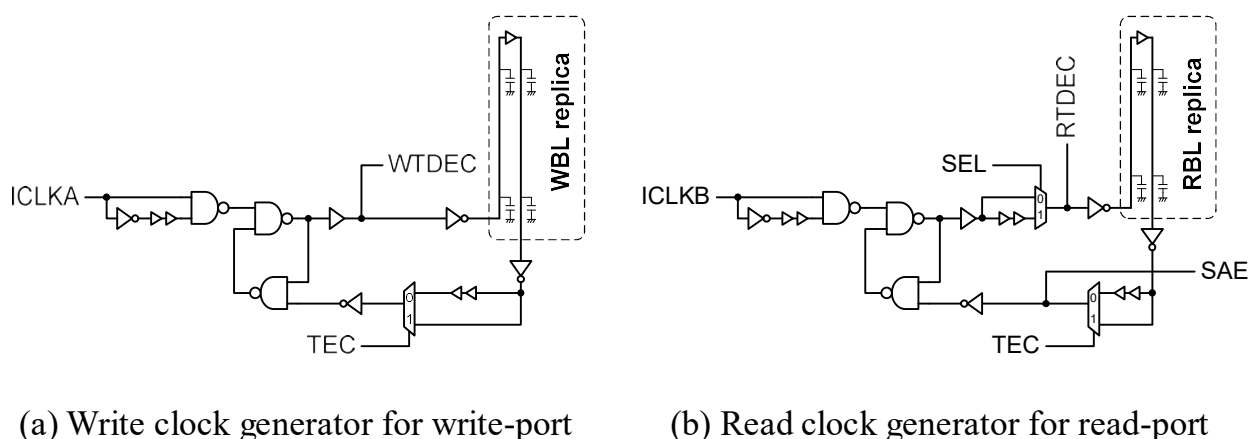


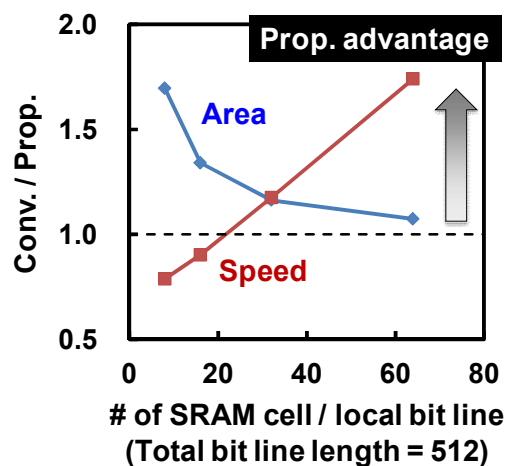
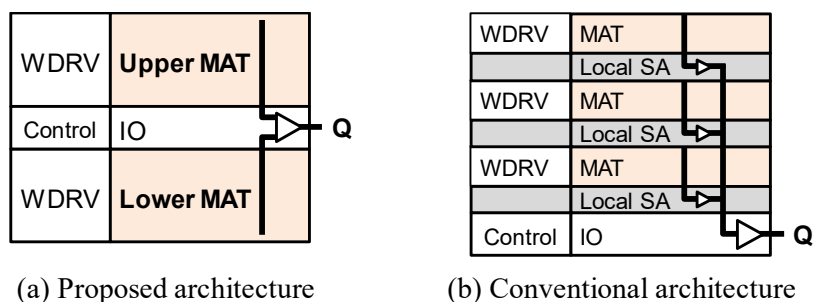
図 5-9 クロック生成部詳細回路

5.2.4 小面積 2 ポート SRAM マクロアーキテクチャ

一般的な 6T シングルポート SRAM やデュアルポート SRAM に対し，8T 2 ポート SRAM の読み出しはビット線が 1 本 (シングルエンド) で相補読み出しではない．そのためそのままでは差動アンプは使えない．一方，2 ポート SRAM にはディスタート誤読み出しにより，1 側の電位もリークで落ちてくる．従って出力方式は非常に重要である [93][94]．高精度なアンプの設計は面積とのトレードオフであり，昨今の 2 ポート SRAM の大容量化を考えると単純に面積を増やして高精度でマージンの大きい出力方式を採用することも難しい．本項では動作マージンを確保しつつ小面積な 2 ポートマクロを検討した結果を述べる．

図 5-10 で 2 ポート SRAM マクロアーキテクチャ比較を行った．2 ポート SRAM

の読み出しはシングルエンドなので、そのまま作ると(b)のように読み出しビット線をバッファで受けて出力することになる。この構成でディスタ urb電流を考慮すると、ディスタ urb電流に負けない程度の駆動力を持つ PMOS のキーパーが必要になる。そうするとこのキーパーは 0 読み出し時に邪魔をすることになるので、バッファで受ける読み出しビット線の負荷が大きすぎると読み出しスピードが非常に遅くなる。また、キーパーのばらつきを考慮すると、そもそもディスタ urb電流に負けない駆動力でかつ 0 読み出しの阻害を抑える事は非常に難しい。そこで本研究では(a)のようなアーキテクチャを考案した。まず、Xアドレスでメモリアレイ (MAT) を上下に分割する。そうすると必ず上部MATか下部MATのどちらかにあるワード線が立つので、ビット線もどちらかしか駆動しない。非選択側のビット線でリファレンス電位を作って差動センスアンプで増幅して出力するのである。リファレンス電位の生成は非選択側のビット線を SRAM セルトランジスタよりも小さい電流で引き抜いて生成する。そうすると混載 SRAM でワード・ビットが異なる構成でもリファレンス電位は常に安定して 0 読み出しと 1 ディスタ urbの中間に作ることができる。



(c) Comparison of architecture

図 5-10 2ポート SRAM マクロアーキテクチャ

図 5-10 (c)でこの二つの方式の面積と動作速度比較を行った．横軸は(b)の構成において、X アドレス最大が512のときに、一つのローカルビット線につながる SRAM セル数をとっており、縦軸は提案手法と従来手法の比である．この比が1以上のところは提案手法の方が優れていることになる．図において左側、つまりローカルビット線につながる SRAM セルが少ないとき、スピードは高速になる．しかしその分ローカルアンプの面積が増えるため従来手法の面積は提案手法の1.6倍以上になっており、小面積にはならない．従来手法において小面積化しようと思うとローカルビット線のセル数を増やすことになるが、このときほぼ線形に動作スピードが悪化するため、従来手法では小面積かつ高速は実現できないことがわかる．そこで本研究では(a)の提案手法を検討した．

このときに問題になるのはリファレンス電位をどう作るかという事である．そこで考案した回路が図 5-11 である．この回路では選択された Y アドレスによって上部ビット線(URB)と下部ビット線(LRB)がセンスアンプに接続される．そして選択されたワード線がアサートされるとそのビット線が引き抜かれる．今回の例では上部側の URWL がアサートされるとする．この Y アドレス信号は読み出しビット線をセンスアンプに接続するだけでなく、読み出しビット線からリファレンス生成部 (GenRef) へのパスもつなぐ．そして、GenRef へは上部・下部選択信号(LBYL, UBYL)にて非選択 MAT 側のビット線を接続する．そしてワード線の活性化と同じタイミング (RTDEC)で GenRef を駆動する DWL を活性化すると選択 MAT 側はセル電流で引き抜き、非選択 MAT 側は GenRef で引き抜くことになり、そこで生まれたビット線の差電位を差動アンプで増幅することができる．

次に GenRef の引き抜き電流の設計手法を説明する．上述したが、GenRef での電流は Vref を作る非常に重要なファクターである．基本的な考え方としては図 5-4 において、1 disturb read current と 0 read current の間に GenRef の電流を設定すればよい．図 5-11 においてリファレンス側 LCR と選択側 UCR は下記の式になる．ここで 0 read は UCR0, 1 read は UCR1 と表記する．

$$V_{LCR} = VDD - \frac{T_{WL} I_{ref}}{C_{LRB}}, V_{UCR0} = VDD - \frac{T_{WL} I_{cell}}{C_{URB}}, V_{UCR1} = VDD - \frac{T_{WL} I_{leak}}{C_{URB}}$$

従って、0 読み出し、1 読み出しそれぞれのセンスアンプ差電位は以下の式となる。

$$\Delta V_0 = V_{UCR0} - V_{LCR} = \frac{T_{WL}}{C_{RB}} (I_{cell} - I_{ref}), \Delta V_1 = V_{LCR} - V_{UCR1} = \frac{T_{WL}}{C_{RB}} (I_{ref} - I_{leak})$$

ここでそれぞれの差電位を最大になるとき、以下の式が導出される。

$$\Delta V_0 = \Delta V_1 \Leftrightarrow I_{cell} - I_{ref} = I_{ref} - I_{leak} \Leftrightarrow I_{ref} = \frac{I_{cell} + I_{leak}}{2}$$

上記結果より、GenRef の電流はセル電流と 1 ディスタurb電流の平均にすればよい。

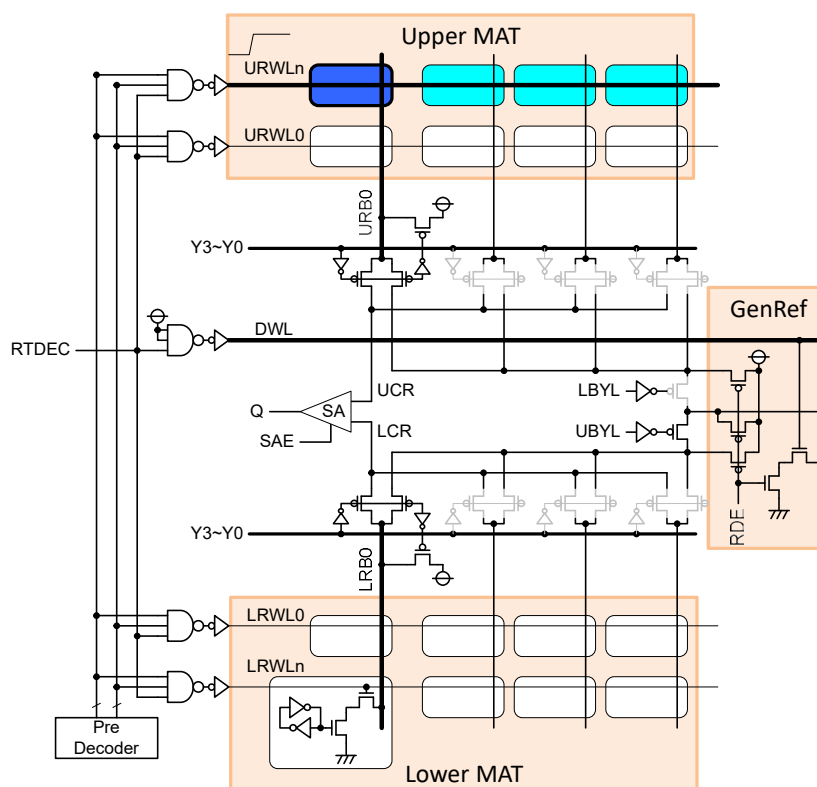


図 5 - 1 1 2 ポート SRAM 提案回路

次に図 5 - 1 2 にこのように設計した読み出し回路を使った読み出し電流とセンスノードのモンテカルロシミュレーションを示す. 上式で導出したように 0 read current と 1 read disturb current のばらつきワーストでの平均程度に Iref を設定した. さらに, なるべくばらつきを抑えるために L/W を調整している. その結果 Vref はちょうど 0 読み出しと 1 読み出しの間になっており, ばらつきも小さいことがわかる.

このマクロの全体シミュレーション波形を図 5 - 1 3 に示す. 読み出し時の動作で, 読み出しワード線(RWL)と Vref 用ワード線(DWL)はほぼ揃っており, UCR/LCR の

遷移タイミングもほぼあっている。また Vref も 0read と 1read の間に来ており正常に差動アンプが増幅できていることが確認された。また、ディスターブテストモードでは書き込みワード線(WWL)に読み出しワード線(RWL)が含まれており、所望の動作となっている。

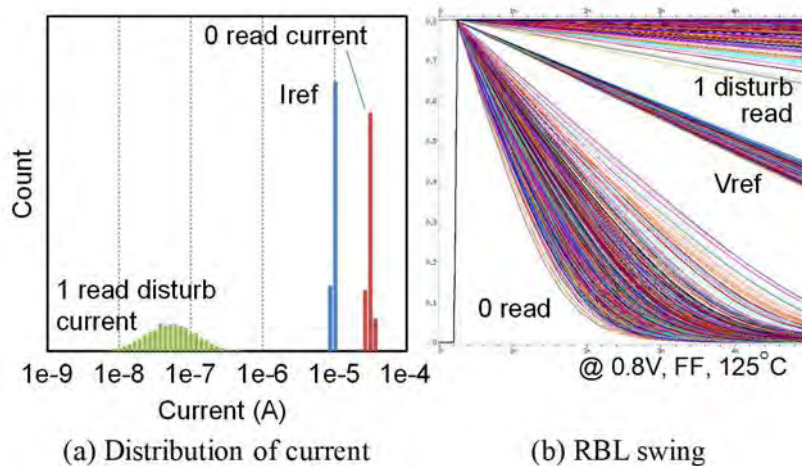


図 5 - 1 2 モンテカルロシミュレーション

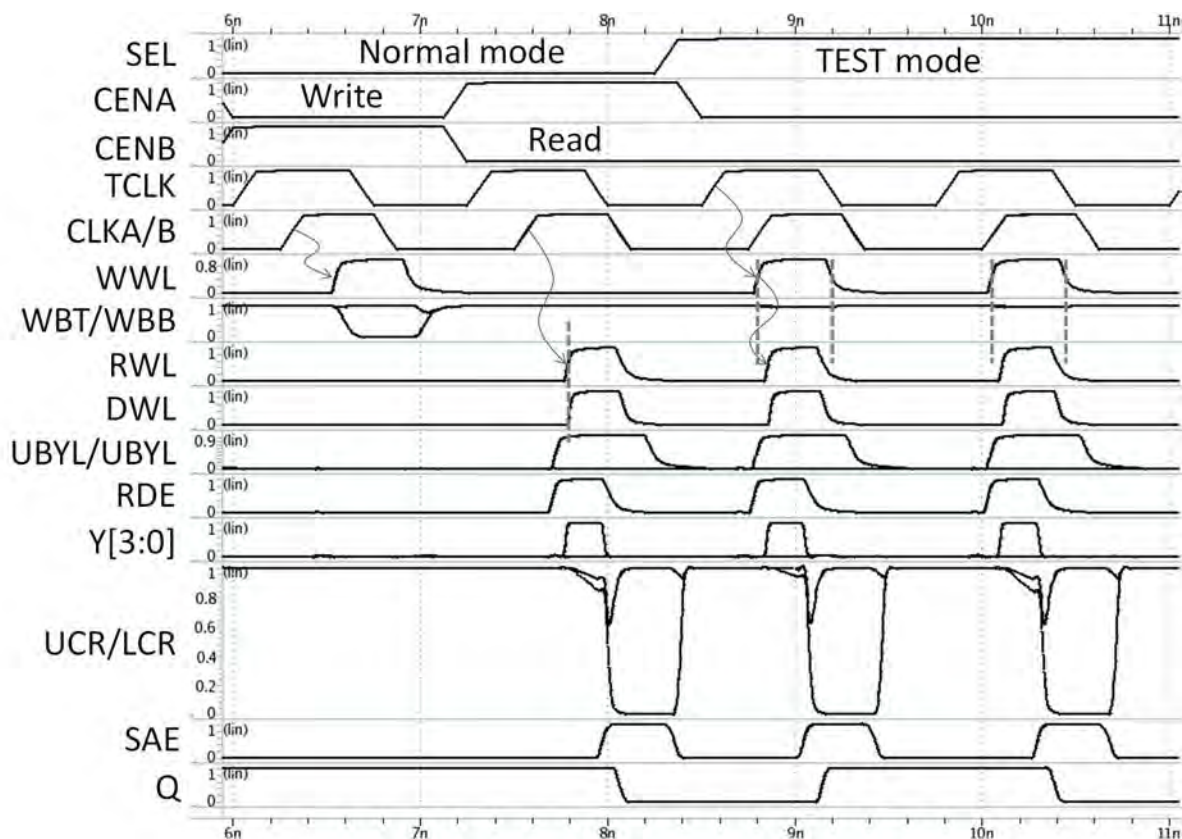
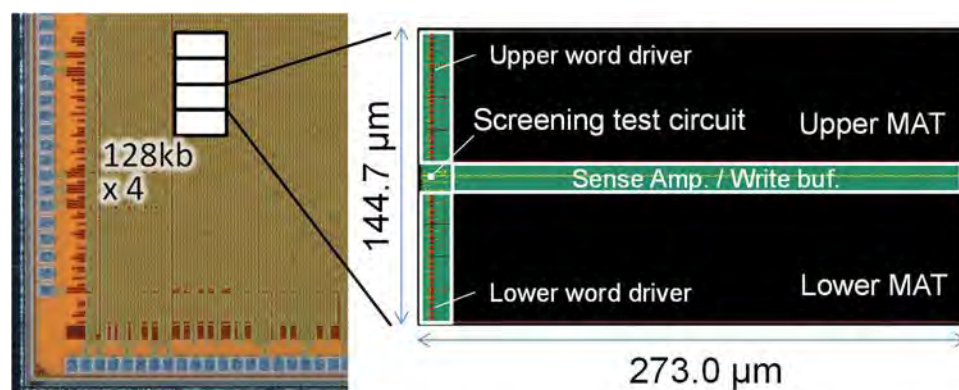


図 5 - 1 3 シミュレーション波形 (1.0V, TT, 25°C)

5.2.5 28nm バルクプロセスでの試作結果

これまで説明した 2 ポート SRAM マクロを 28nm バルク CMOS プロセスで試作したので本項ではその結果について示す. 図 5-14 に試作したチップの緒言を示す. 28nm の High-K メタルゲートのプレーナーバルク CMOS テクノロジである. 総容量は 512kbit である. スクリーニングテスト回路は 0.01% と面積増加はほぼなかった.



Process	28nm HK+MG CMOS bulk technology
Memory Capacity	Total : 512 kb
	Macro: 128 kb (2 kword x 32b) x 4
Physical size	144.7 μm x 273.0 μm
Bit density	3.16 Mb/mm ²
Area penalty	0.01% @ Screening test circuit

図 5-14 試作チップの緒言

図 5-15 にワード線カップリングノイズのシミュレーション結果を示す. 横軸は書き込みポートと読み出しポートのクロックスキューであり, 縦軸は電源電圧である. 上側の領域が正常動作領域である. クロックスキューが負になるとワード線のカップリングによりマージンが減少し, V_{min} が 80mV 程度悪化していることがわかる. またクロックスキューが正の領域ではマージンが改善しており, シミュレーションと一致している. テストモードの結果が(b)で V_{min} はほぼクロックスキューでのワーストと一致しており, このモードでスクリーニングテストが可能であることが実証できた. 図 5-16 はアクセスタイム測定の分布である. 1.0V の動作電圧では 593ps となった.

図5-17でスタンバイ電力、動作電力、アクセスタイムの比較を行った。スタンバイ電力はデュアルポートに比べて5%減少している。動作電力は37%減少し、アクセスタイムは12%増加となった。

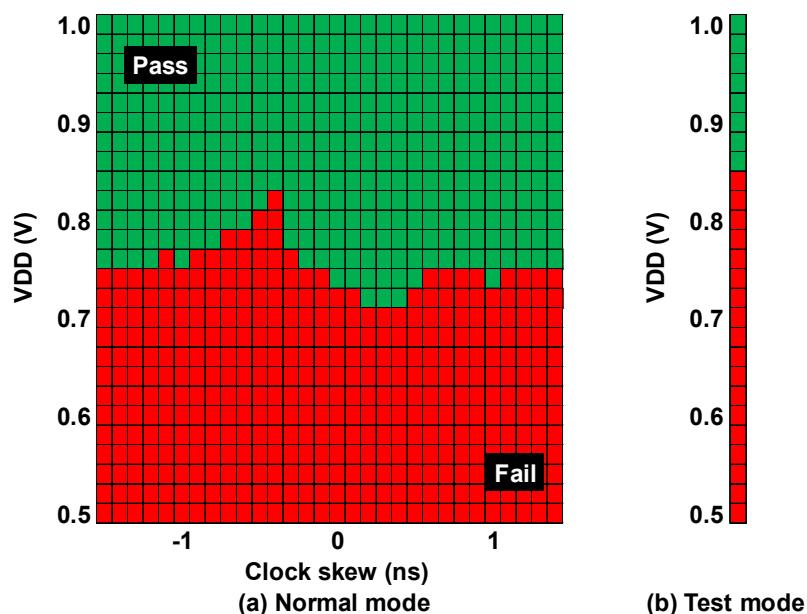


図5-15 クロックスキューのシミュレーションプロット

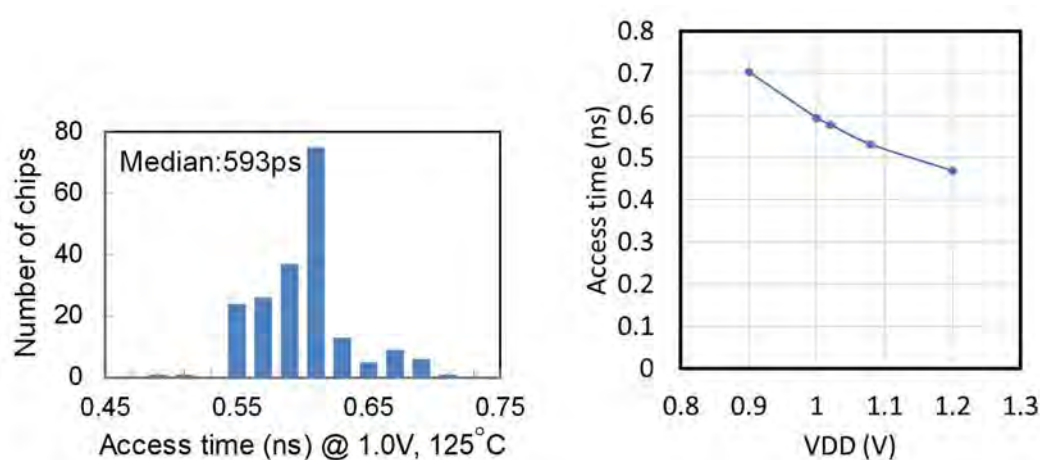


図5-16 読み出しアクセスタイムの実測結果

図5-18に不良ビット数の電圧依存性を示す。温度範囲は-40度～125度である。0 read fail, write fail はカップリングノイズテストモードの結果で、1 dist. Read は disturb テストモードによる 1read fail, SNM fail は Write ポートのハーフセレクトセルの SNM マージンを示している。いずれも良好な結果で、提案手法の妥当性を示せた。図5-19はそれぞれ Access time, Leakage power, Active power の分布を示して

いる。いずれの分布も良好で、本提案手法で特にばらつきに弱いというところはない。

図5-20にテストモードによるスクリーニングテストの結果を示す。提案手法によるディスタープテストモードにより全チップでVminの悪化を検知する事が出来ており、提案手法の妥当性を確認できた。

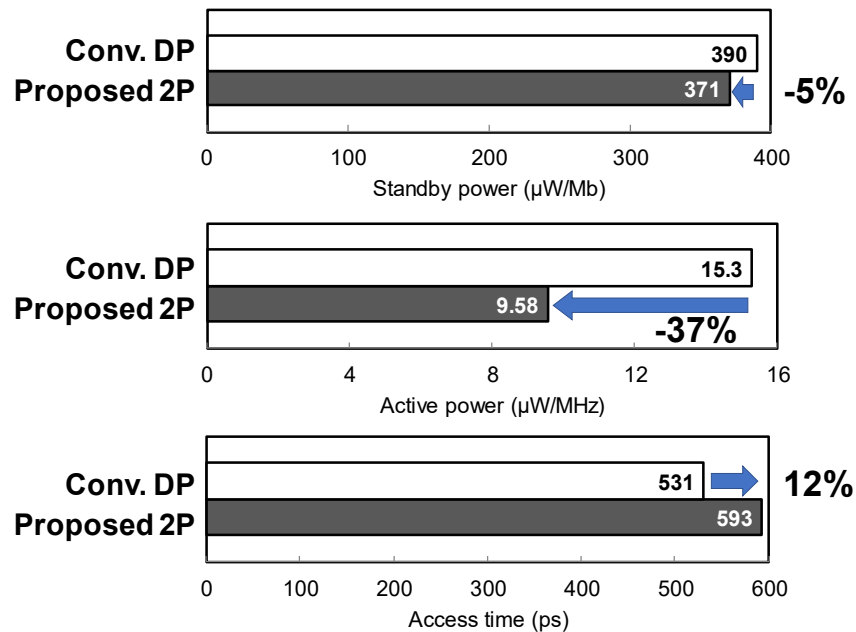


図5-17 消費電力とアクセスタイム比較

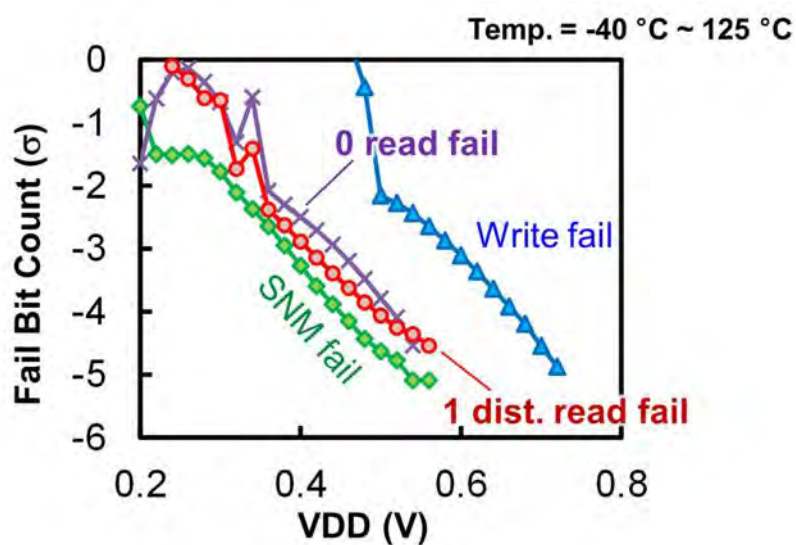


図5-18 不良ビット数の電圧依存性

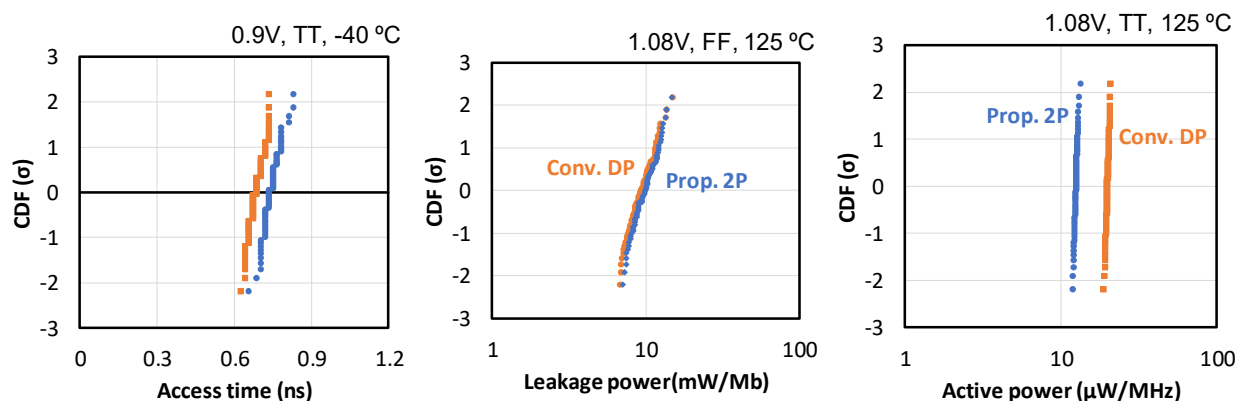


図 5-19 消費電力とアクセスタイムの分布

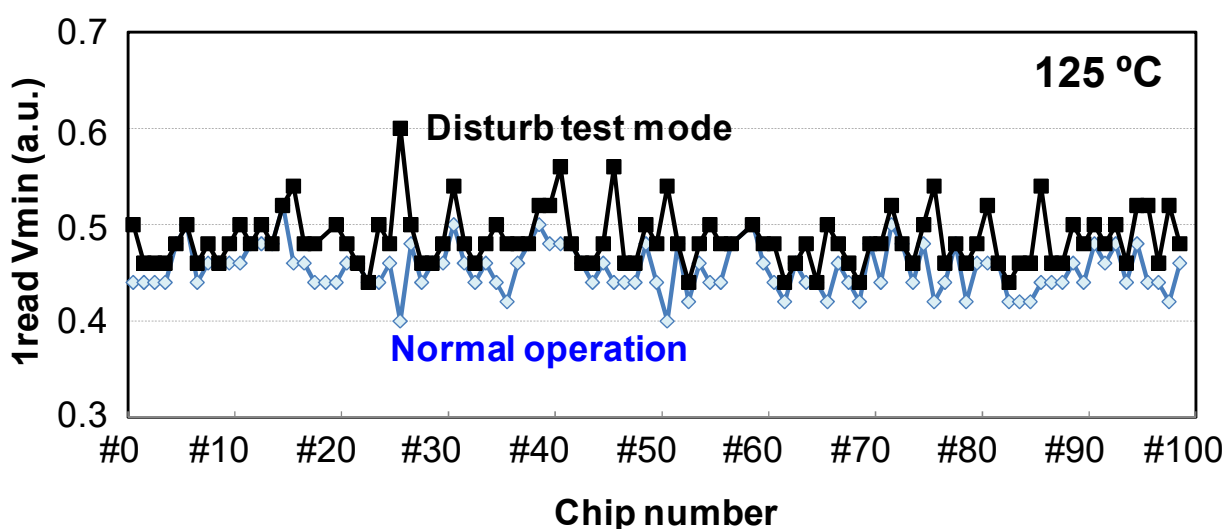


図 5-20 テストモードによるスクリーニングテスト結果

5.3 ダブルポンプ 2 ポート SRAM

前節では増加している 2 ポート SRAM に対応するべく、高信頼かつ小面積な 2 ポート SRAM について研究を進めた。これはクロックが 2 本独立な 2 ポート SRAM に対する研究であったが、システムにおいては、クロックが 1 本の 2 ポート SRAM というのも存在する。これに対して小面積なマクロを研究した。

図 5-21 にコンセプト図を示す。本提案は標準的な 6T シングルポート SRAM を 1 サイクルの中で 2 回動作させて、読み出しと書き込みを行うものである。マクロの外で 2 倍の速さのシステムクロックを使うことでも同じ機能が得られるが、マクロの中でやることにより、システム側は通常の 2 ポート SRAM として使えるため、2 倍

クロックや読み出し・書き込みコマンドの切り替えが不要となりユーザビリティがある。また、読み出しと書き込みは一般的に動作完了までの時間が異なり、本方式ではそれぞれの和で動作速度が決まる。これに対し通常の SRAM ではそのワーストで動作速度が決まっているため本方式の方が高速動作可能である。

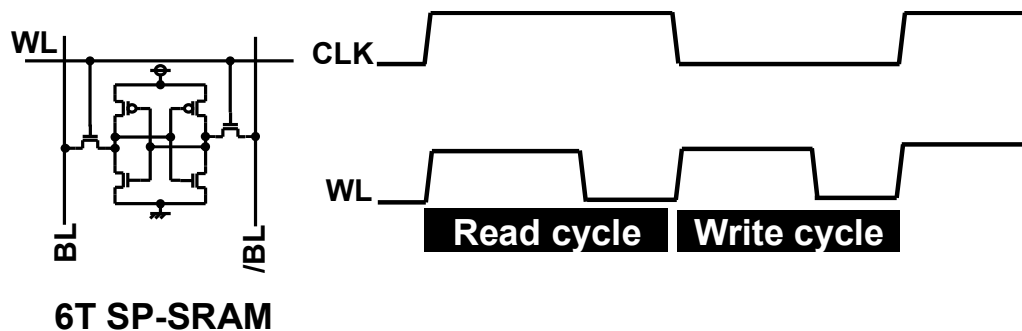


図 5 - 2 1 ダブルポンプ 2 ポート SRAM のコンセプト

表 5 - 3 2 ポート SRAM の比較

Freq.	Good	Average	Poor
Access time	Good	Average	Good
Leak	Average	Poor	Good
Power	Average	Average	Average
Area	Poor	Poor	Good

表 3 - 2 に 2 ポート SRAM の比較を行った。左列が前項でも述べた 8T 2 ポート SRAM である。これに対し中列がデュアルポート SRAM で、セル起因による 2 ポート SRAM 以上のディスタース悪化を考慮すると周波数, アクセスタイムは良くない。またこのセルではドライバトランジスタが大きくせざるを得ないため、リーク電流も

悪くなる．これに対し，本提案のダブルポンプ SRAM では1 サイクル内で2 回動作させるため周波数だけは悪くなるが，その他は全て改善する．従って動作周波数が遅い領域では利点が多いことがわかる．

5.3.1 クロックドライバとアドレスラッチ

本方式において重要なのは，内部を2 回動作させるために，内部クロックを2 回作ることと，入力アドレスの切り替えである．図5-2 2 にタイミングチャートを示す．標準的な2 ポート SRAM と動作を合わせるために，メインクロック CLK の立ち上がりエッジに対して読み出し・書き込みアドレスのセットアップ・ホールドは規定される．内部クロックもメインクロックの立ち上がりエッジから2 回作る必要があり，書き込み動作は後半の動作であるにもかかわらず書き込みアドレスはメインクロックの立ち上がりエッジでラッチする必要がある．そして2 回目の動作前に内部アドレスを書き込みアドレスに切り替える．

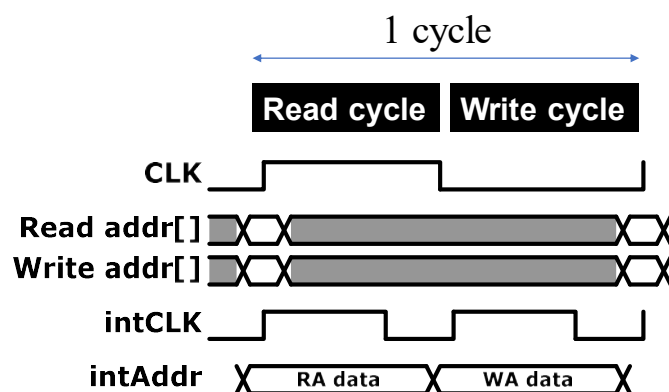


図5-2 2 内部動作タイミングチャート

図5-2 3 にダブルポンプ2 ポート SRAM マクロのブロック図を示す．クロックジェネレータ(1)から内部クロック intCLK を生成し，これでアドレスデコードを行う．また BACK 信号でセンスアンプ活性化とアドレス切り替えを行い，WCLK で書き込みドライバの活性化をする．(2)アドレスラッチは外部クロック CLK で読み出しアドレス RA と書き込みアドレス WA をラッチし，BACK 信号により RA と WA を切り替えて ALT に出力するという機能である．

図5-2 4 にダブルポンプクロック生成部の回路図を示す．まずメインクロックが立ち上がると RCLK を出力するとともにショートパルスを作って RS ラッチをセット

して RCLK=1 を保持する．これにより RS ラッチのみに比べて 2 段高速化できる．そしてビット線レプリカを通して BACK を出力する．これはセンスアンプ活性化と読み出し・書き込みアドレス切り替え信号となる．その BACK を受けて遅延させた後，書き込みドライバ活性化信号となる WCLK を出力する．BACK 信号は RS ラッチをリセットしにいきこれで RCLK がネゲートされ，そのほかのパスもリセットされる．アドレスデコードを制御する intCLK は RCLK と WCLK の OR で作る．1 回目の動作と 2 回目の動作の待ち時間は BACK から WCLK の遅延段を調整する事が出来る．また，読み出し動作は BACK の立ち上がり，書き込み動作は BACK の立ち下りで決まるため，ビット線レプリカの立ち上がり・立ち下り信号を別々に調整すると書き込み・読み出しの動作を最適化することができる．

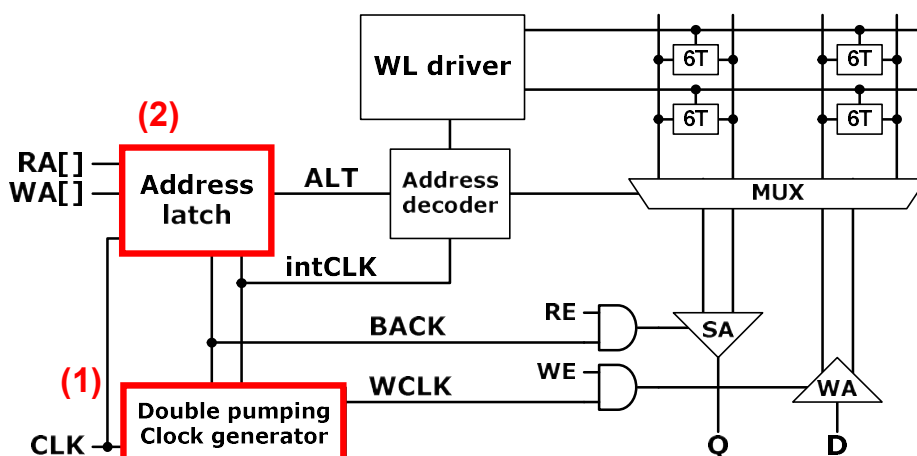


図 5-23 マクロブロック図

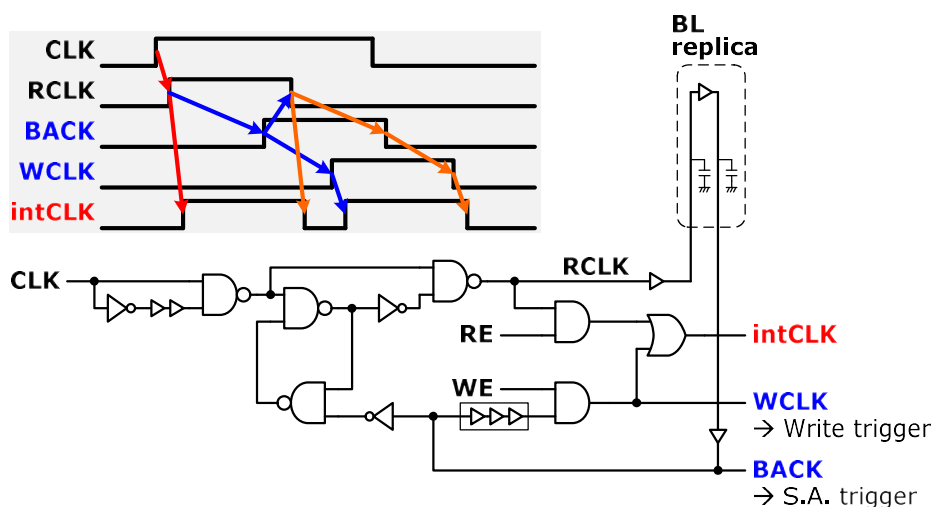


図 5-24 ダブルポンプクロック生成部

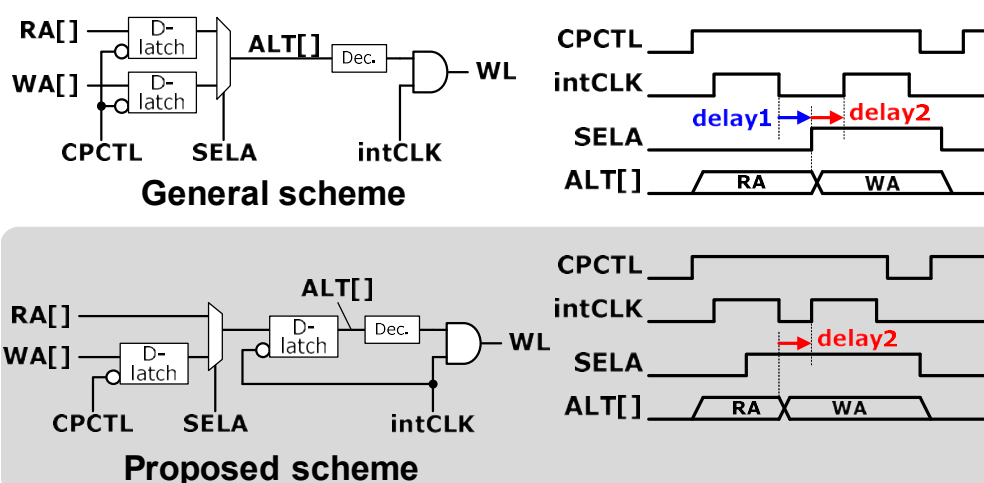


図 5-25 アドレスラッチ方式比較

次に図 5-25 でアドレスラッチ方式の検討を行う。シングルポート SRAM を使う以上、二つのアドレス(RA, WA)を 1 回目と 2 回目の動作で切り替える必要がある。General scheme はまず二つのアドレスをラッチし、それを単純に内部クロックの間で行う方法である。この方式だと intCLK が閉じた後ある程度(delay1)読み出しアドレスを維持する必要がある。なぜなら PVT ばらつきやローカルばらつきなどでアドレスが速く切り替わってしまうと、それがワード線に伝搬し、読み出し中なのに書き込みアドレスが変わってしまう可能性があるからである。そこで本研究では Proposed scheme の方式を提案した。これは 2 つのラッチをシリアルにつないでいる。まず SELA セレクタを RA 側にしておき、最初の外部クロックの立ち上がりで WA を、内部クロックで RA をラッチする。そして 1 回目の動作中に SELA を切り替えておき、WA をラッチ手前まで転送しておく。intCLK が L になると WA がスルーしてアドレスがデコードされる。この回路では、ワード線制御と同一信号である intCLK で RA と WA を切り替えるので delay1 の部分が不要になり高速化することができる。

図 5-26 に提案したアドレスラッチ方式の詳細回路図を示す。intCLK と BACK 信号はクロック生成部から入力される。CPCTL は外部クロック CLK, BACK, intCLK の OR であり、WA アドレスラッチを内部クロック 2 回目の動作の終わりまで保持する役割である。intCLK で RA をラッチしてから SELA を切り替えるため、intCLK と

SELA には遅延段を設け、タイミング保障している。これが読み出し・書き込み動作間を高速化したアドレスラッチである。図 5-27 に以上の提案回路を搭載したマクロのシミュレーション波形を示す。外部クロック CLK の 1 サイクル内に正常に読み出し・書き込みの 2 回動作が完了していることがわかる。

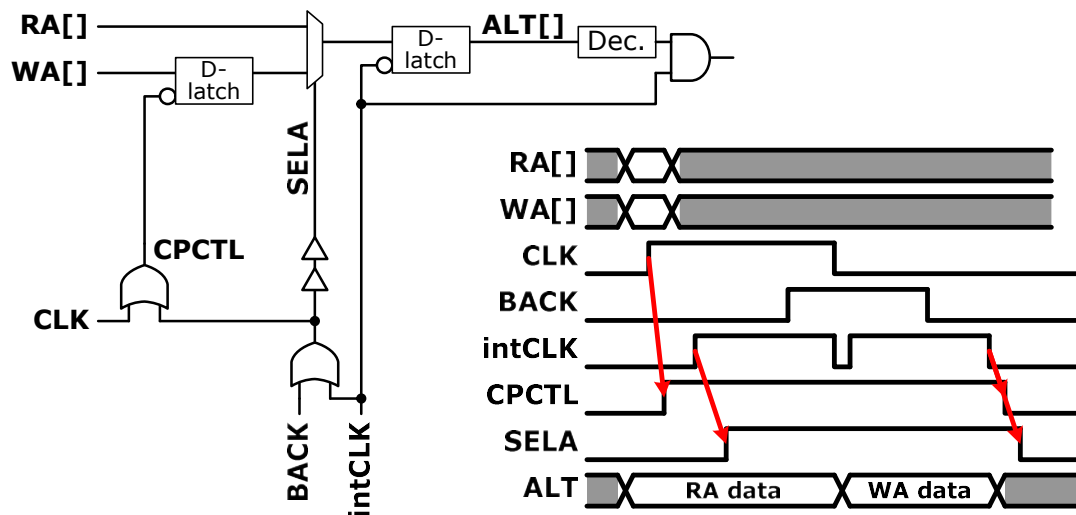


図 5-26 提案アドレスラッチ回路

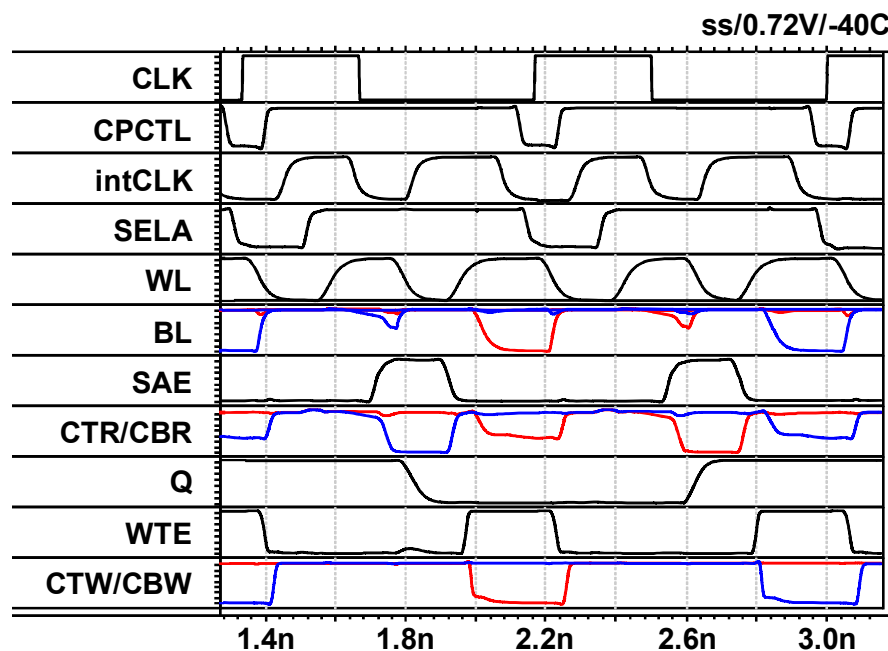


図 5-27 シミュレーション波形

5.3.2 低リークモードの検討

本項では低リークモードとして、メモリデータは保持するがアクセスはできない代わりにリーク電流を小さくする、低リークモードについての研究をまとめる。本研究は 16nm FinFET プロセスを用いたためこれまでのプレーナープロセスと大きな違いがある。図 5-28 に 28nm プレーナーと 16nm FinFET の I_d - V_g 特性を示す。FinFET の大きな特徴として、S 値が立っている、つまり同一リークでオン電流大という特性があり、これがダブルゲート構造の FinFET の特徴である。もう一つの特徴として DIBL が良いという事がある。そのため図に示すように線形領域 $V_d=0.05V$ と V_{typ} のリークの差が 16nm で大幅に改善している。DIBL が良いことはトランジスタとしては優れている点であるが、一つ問題がある。それは電源電圧を下げてでもリークが減らないという事である。本来は V_{typ} のときのリークが減ったとみるべきで、それは素晴らしいことであるが、その代わりに今まで使っていた電源電圧を下げて低リークにするという機能が失われてしまったのである。図 5-29 にメモリセルのリーク削減手法として、VDD を落とす方式と VSS を浮かす方式で比較をした。左図は VDD を落としたものである。先に述べたように、28nm に比べ 16nm は電源電圧に対する感度が鈍くリーク削減効果は小さい。一方、右図は VSS を浮かした結果であり、これは 16nm でも大きな影響がある。こうなる理由は VSS が浮くことでアクセストランジスタのソースが浮くことで $V_{gs} < 0$ になり、サブスレッショルドリークが指数的に減少するためである。

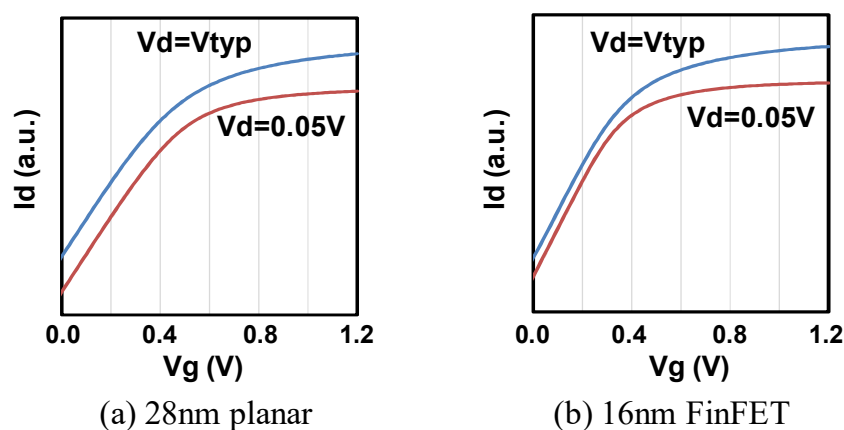


図 5-28 I_d - V_g 特性比較

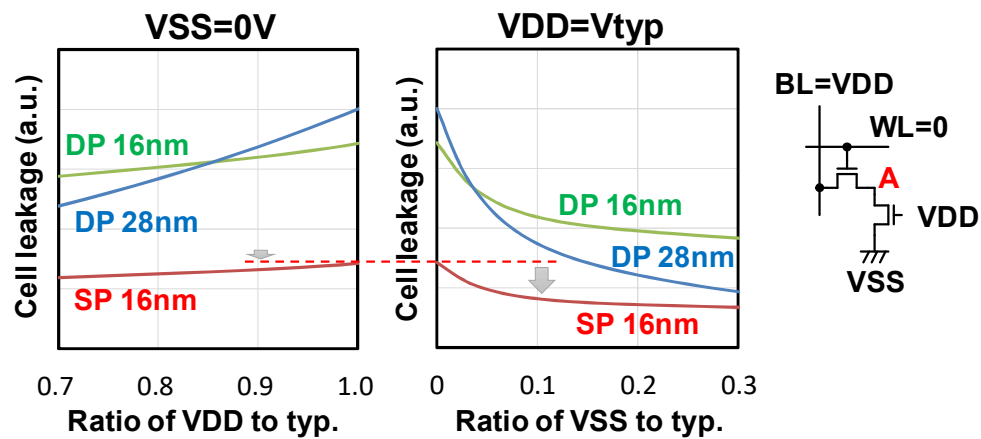


図 5-29 リーク電流削減方式の比較

次に低リークモードを実現する回路を図 5-30 に示す。低リークモード($RS=1$)になると周辺回路のグラウンド LCVSS のスイッチがオフし、リーク電流を遮断する。SRAM セルアレイはメモリデータを保持するために、そのグラウンド ARVSS をダイオード接続で VSS につなぐ。このときに NMOS ダイオードだけでは SF コーナーでセルバイアスが下がりすぎデータ破壊の危険があるため、PMOS のソースフォロアをつけてプロセスばらつきの耐性を向上させた。

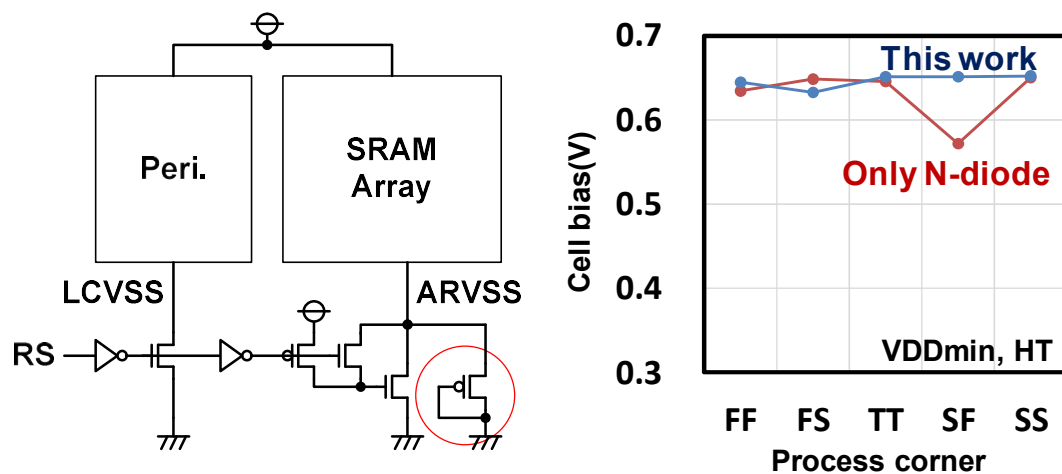


図 5-30 低リークモード回路図

5.3.3 16nm FinFET プロセスでの試作結果

これまで説明したダブルポンプ 2 ポート SRAM マクロを 16nm FinFET プロセスで試作したので本項ではその結果について示す。図 5-3 1 に試作したチップの緒言を示す。総容量は標準的なデュアルポート SRAM、本提案のダブルポンプ 2 ポート SRAM それぞれ 256kbit である。2 ポート SRAM の SRAM ビット密度は 6.05 Mb/mm^2 と高密度小面積なマクロが実現した。アクセスタイムは 202ps, 動作周波数は 1.2GHz と高速動作が可能である。また、リーク電流も低リークモードによって $384 \mu\text{A}$ で通常動作時に比べ 50%近い削減効果が得られた。図 5-3 2 に不良ビット数の電圧依存性を示す。今回開発した 2 ポートでは読み出し特性が従来デュアルポートと同等、書き込み特性は 0.1V 程度 V_{\min} が改善していることがわかる。総合的にみた動作下限電圧は 0.6V 以下であり動作マージンが十分だ 2 ポート SRAM を提供することができる。図 5-3 3 にアクセスタイムの分布を示す。66 チップ測定でのばらつき分布は良好である。アクセスタイムの電圧依存性もきれいな特性を示しており、電源電圧 1.1V では 203ps, 0.8V 時でも 313ps と高速なマクロとなっている。

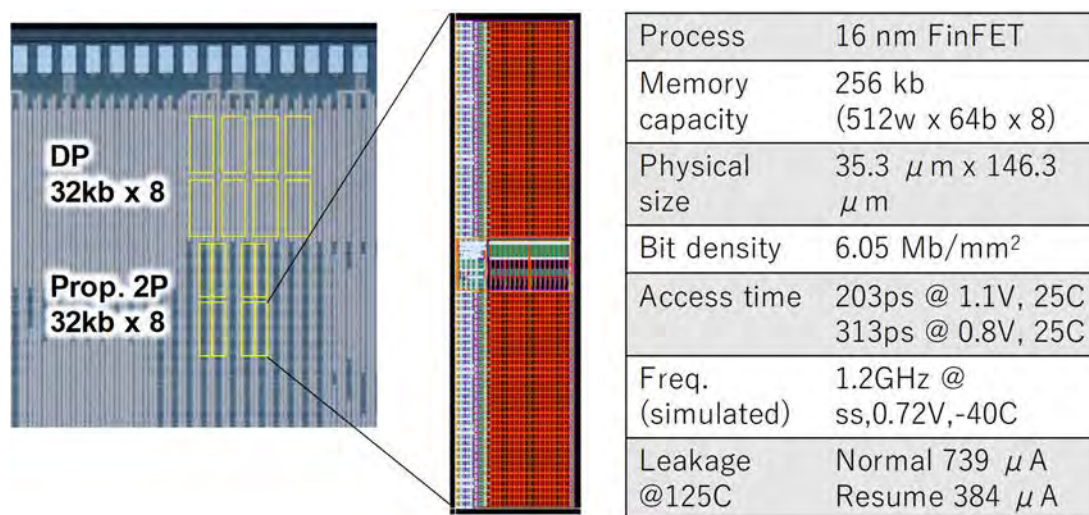


図 5-3 1 試作チップの緒言

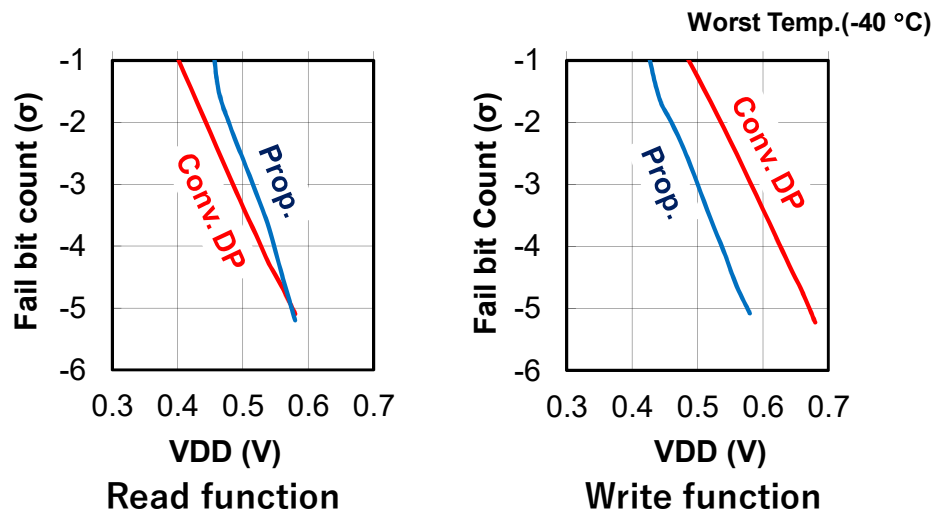


図 5-3 2 不良ビット数の電圧依存性

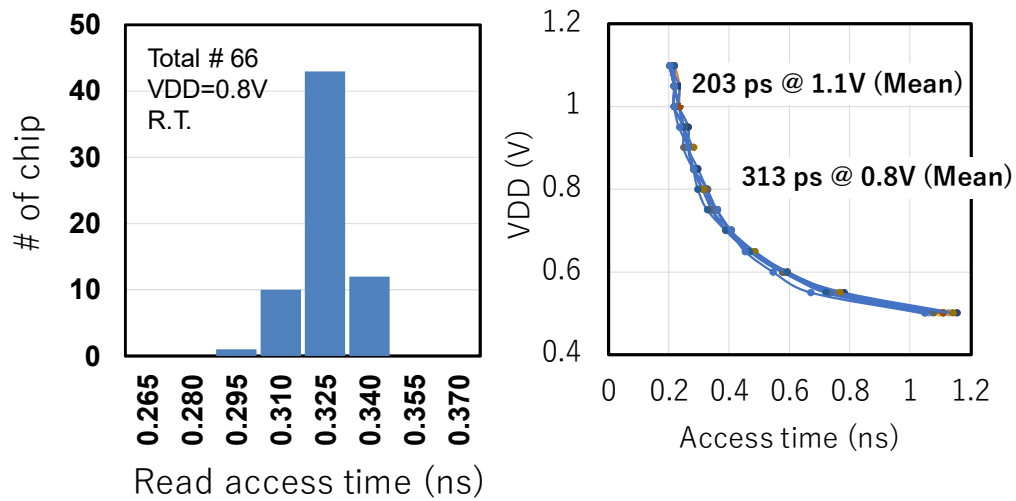


図 5-3 3 アクセスタイムの実測結果

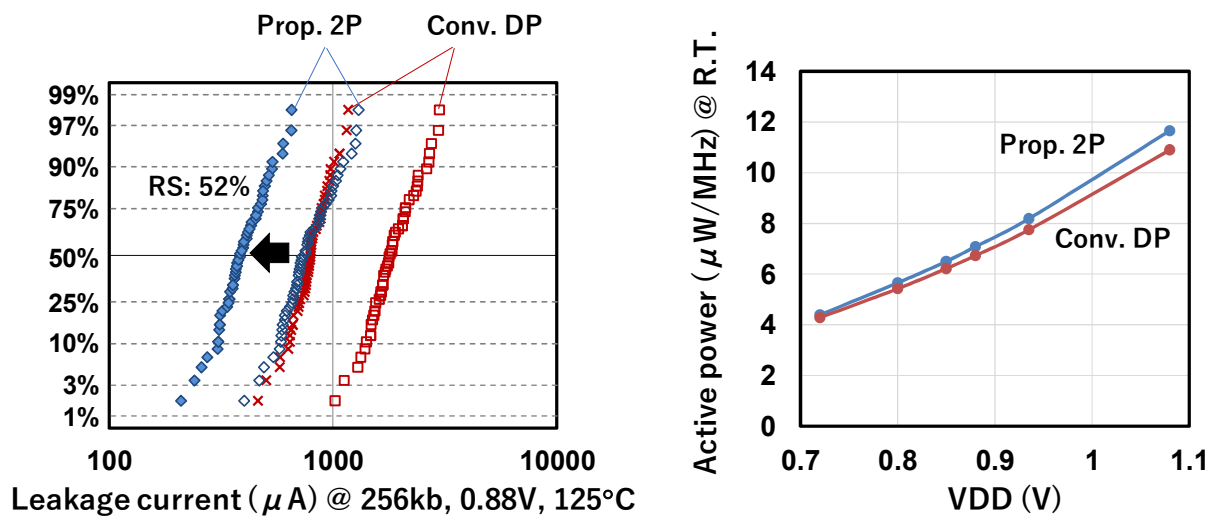


図 5-3 4 リーク電流と動作電力の実測結果

図 5-34 にはスタンバイリーク電流と動作電力を示す。リーク電流はワースト条件である $V_{DD}=0.88V$ 、高温の実測結果である。提案するダブルポンプ 2 ポート SRAM がデュアルポート SRAM の半分程度となっていることがわかる。また提案する低リークモードによりリーク電流が 52%になっており、提案手法の効果を確認できた。動作電力の電圧依存性が右図である。提案するダブルポンプ 2 ポート SRAM はデュアルポート SRAM よりも若干消費電力増加しているがほぼ同等な結果が得られた。

5.4 結言

本章では 2 ポート SRAM として、まず 2 ポート 8T-SRAM セルを使用して高信頼化のためのスクリーニングテスト手法を搭載したマクロを開発した。これはシングルエンド読み出しである 2 ポート 8T-SRAM にとって、書き込みワード線の立ち上がりタイミングでマージンが変わるが、そのワースト状態を再現する手法である。さらにワード線のカップリングノイズによるマージン劣化状態を再現するテストモードも搭載した。また高密度化のための新しい読み出し方式も検討した。

28nm バルク CMOS プロセスで SRAM 容量 512 kbit のテストチップを試作した結果、アクセスタイムは 593ps となった。スクリーニングテストモードでは正常にワースト状態を再現できている事がわかった。

次にシングルポート SRAM セルを 1 サイクル内で 2 回動作させて疑似的に 2 ポートに見せるダブルポンプ SRAM を検討した。高速化のための新しいアドレス切り替え機構を考案した。さらに 16nm FinFET に対応した低リークモードも搭載している。16nm FinFET プロセスで試作した結果、アクセスタイム 203ps と高速で、メモリ密度 $6.05Mb/mm^2$ と小面積なマクロの動作を確認した。

第6章 結論

本論文では先端プロセス技術における混載 SRAM の高信頼化，低電力化技術について詳述した．主な主張点は以下である．

1. SRAM の動作安定性をサポートするアシスト回路（第3章）
2. 低消費電力な SRAM 技術（第4章）
3. 2ポート SRAM における高信頼性を担保するためのスクリーニングテストと小面積技術（第5章）

第1章では本研究の背景と目的を述べた．先端 LSI とその展望を考えこれからも SRAM は重要な IP となる事を明らかにした．第2章ではシングルポートだけでなくマルチポート SRAM も含めて，構造とその動作を詳述し，SRAM の動作安定性の定義を行った．そして，先端プロセスで直面している問題を明らかにした．それは微細化によるトランジスタばらつきの増大と SRAM の搭載容量の増加で，これにより大きなトランジスタばらつきをもつ SRAM が製品チップ内に多く存在するようになったことである．つまり，大きなトランジスタばらつきにより SRAM の動作マージンが劣化し歩留まりを落としコストが高くなってしまう．また，SRAM 搭載容量が多くなっていることはチップの消費電力も大きくなり，さらにローカルばらつきによって減少する読み出しマージンを保障すると動作電力も多くなってしまったことを示した．それから先端 LSI においてはマルチコア，メニーコア，画像 IP など多機能 IP がオンチップで搭載されることとなり，複数ロジックから同時にアクセスできる多ポート SRAM の重要性が上がっている．この多ポート SRAM に対しても検討することが必要である．

第3章では SRAM 安定性アシスト回路についての研究結果を述べた．SNM にはワード線降圧，書き込みには負バイアスビット線方式が有効であることを示し，それらを搭載したテストチップを 45nm バルクプロセスにて試作し正常に動作することを確認した．またワード線電位をマクロ毎に切り替える手法を考案した．これによって

チップ全体でアシスト回路を使用するのではなく、 V_{min} が悪いメモリセルが存在するマクロでのみアシスト回路を使うことができ、動作電力の削減が実現できる。

第4章では動作電力削減のための手法について述べた。SRAM 特有の動作電力であるハーフセレクトセルによるセル電流を無くすため、クロスポイント SRAM セルを開発し、それを動作させるべく周辺回路方式を検討したうえでテストチップを45nm プロセスで試作した。これにより動作電力が25%削減することを実証した。またこれとは別の手法として、Y アドレス毎にワード線をもつインターリーブ SRAM を開発し、さらに低電力アーキテクチャの SRAM を開発した。20nm プロセスで試作したところ、リーク電流が53%削減し、読み出し動作電力は33%削減、書き込み電力は24%削減した。最後に65 nm SOTB プロセスを用いて混載 SRAM を開発し、室温で13.72 nW/Mbit という超低スタンバイ電力を確認した。またワード線パルス幅局所最適化手法により最大で20%の動作電力改善が見込める。

第5章では高信頼化と小面積化の2ポート SRAM について述べた。2ポート 8T-SRAM セルを使用したときの高信頼化のためのスクリーニングテスト手法を搭載した高密度2ポートマクロを開発した。28nm プロセスで試作した結果、スクリーニングテストモードでは正常にワースト状態を再現できている事がわかり、高信頼な2ポート SRAM を提供できることが分かった。次にシングルポート SRAM セルを1サイクル内で2回動作させて疑似的に2ポートに見せるダブルポンプ SRAM を開発した。16nm FinFET プロセスで試作した結果、高速かつ小面積なマクロの動作を確認した。

以上、本論文では先端プロセスでの混載 SRAM の高信頼・低電力化について、動作マージンを改善するアシスト回路とその最適な使用方法、ハーフセレクトによる消費電力を抑えた新しい SRAM セル、SOTB プロセスを用いた基板バイアス制御による低リーク電流、テストコストを抑えるスクリーニングテストを実装した2ポート高密度 SRAM、ダブルポンプ方式による小面積2ポート SRAM マクロについて詳述した。これらの技術を用いる事で、先端システム LSI、IoT 向け LSI などの要求にこたえた SRAM を提供することができ、更なる世の中の発展に貢献することができる。そして、これからのシステムやプロセスの進化・発展でも益々重要になっていくであろう SRAM に本研究成果はこれからも役立つものとなる。

参考文献

- [1] J. Bardeen and W. H. Brattain, "The Transistor, A Semi-Conductor Triode," in *Physical review*, 74, 230, Jul. 1948.
- [2] J. S. Kilby, "Miniaturized electronic circuits," U. S. Patent 3,138,743.
- [3] R. N. Noyce, "Semiconductor device-and-lead structure," U. S. Patent 2,981,877
- [4] F. Faggin, M. Shima, M. E. Hoff, H. Feeney, S. Mazor, "THE MCS-4 - An LSI micro computer system," *The Proceedings of the IEEE 1972 Region Six Conference*, pp.1-6
- [5] M. Yamashina, T. Enomoto, T. Kunio, I. Tamitani, H. Harasaki, T. Nishitani, M. Satoh, K. Kikuchi, "A micro programmable real-time video signal processor (VSP) LSI," *IEEE Journal of Solid-State Circuits*, Vol. 22, No. 6, pp. 1117-1123, Dec. 1987.
- [6] V. K. Singhal, V. Menezes, S. Chakravarthy, and M. Mehendale, "8.3 A 10.5 μ A/MHz at 16MHz single-cycle non-volatile memory access microcontroller with full state retention at 108nA in a 90nm process," *IEEE ISSCC Dig. Tech. Papers*, pp. 1-3, 2015.
- [7] T. Yamauchi, H. Kondo, and K. Nii, "Automotive low power technology for IoT society," *Symposium on VLSI Circuits*, pp. T80-T81, 2015.
- [8] M. Hayashikoshi, H. Noda, H. Kawai, and H. Kondo, "Low-power multi-sensor system with normally-off sensing technology for IoT applications," *International SoC Design Conference*, pp. 195-196, 2016.
- [9] W. Lee, P. Landman, B. Barton, S. Abiko, H. Takahashi, H. Mizuno, S. Muramatsu, K. Tashiro, M. Fusumada, P. Luat, F. Boutaud, E. Ego, G. Gallo, T. Hiep, C. Lemonds, A. Shih, M. Nandakumar, B. Eklund and Ih-Chin Chen, "A 1 V DSP for Wireless Communications," in *IEEE ISSCC Dig. Tech. Papers*, pp. 92-93, Feb. 1997.
- [10] K. Imai, K. Yamaguchi, T. Kudo, N. Kimizuka, H. Onishi, A. Ono, Y. Nakahara, Y. Goto, K. Noda, S. Masuoka, S. Ito, K. Matsui, K. Ando, E. Hasegawa, T. Ohashi, N. Oda, K. Yokoyama, T. Takewaki, S. Sone, and T. Horiuchi, "CMOS Device Optimization for System-on-a-chip Applications," in *IEDM. Tech. Dig.* 2000, pp455-458.
- [11] R. Ranica, N. Planes, O. Weber, O. Thomas, S. Haendler, D. Noblet, D. Croain, C. Gardin, and F. Arnaud, "FDSOI process/design full solutions for ultra low leakage, high speed and low voltage SRAMs," *Symposium on VLSI Circuits*, pp. T210-T211, 2013.
- [12] T. Enomoto, Y. Oka, H. Shikano, "A Self-Controllable Voltage Level (SVL) Circuit and its Low-Power High-Speed CMOS Circuit Applications," *IEEE Journal of Solid-State Circuits*, Vol. 38, no. 7, pp. 1220-1226, July 2003.
- [13] S. Mutoh, T. Douseki, Y. Matsuya, T. Aoki, S. Shigematsu and J. Yamada, "1-V Power Supply High-speed Digital Circuit Technology with Multithreshold-Voltage CMOS," *IEEE Journal of Solid-State Circuits*, Vol. 30, No. 8, pp. 847-854, August 1995.
- [14] S. Shigematsu, S. Mutoh, Y. Matsuya, Y. Tanabe, J. Yamada, "A I-V high-speed MTCMOS circuit scheme for power-down applications," *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 6, pp. 861-869, June 1997.
- [15] H. Mizuno, and T. Nagano, "Driving source-line cell architecture for sub-1-V high-speed low-power applications," *IEEE Journal of Solid-State Circuits*, Vol. 31, No. 4, pp. 552-557, 1996.
- [16] T. Kuroda, T. Fujita, S. Mita, T. Nagamatsu, S. Yoshioka, K. Suzuki, F. Sano, M. Norishima, M. Murota, M. Kako, M. Kinugawa, M. Kakumu and T. Sakurai, "A 0.9 V 150 MHz 10 mW 4 mm² 2-D Discrete Cosine Transform Core Processor with Variable-

- Threshold-Voltage Scheme,” IEEE Journal of Solid-State Circuits, Vol. 31, No. 11, pp. 1770-1779, Nov. 1996.
- [17] M. Sumita, S. Sakiyama, M. Kinoshita, Y. Araki, Y. Ikeda, K. Fukuoka, “Mixed body bias techniques with fixed V_t and I_{sub} generation circuits,” IEEE Journal of Solid-State Circuits, Vol. 40, no. 1, pp. 60-66, Jan. 2005.
- [18] T. Fujiyoshi, S. Shiratake, S. Nomura, T. Nishikawa, Y. Kitasho, H. Arakida, Y. Okuda, Y. Tsuboi, M. Hamada, H. Hara, T. Fujita, F. Hatori, T. Shimazawa, K. Yahagi, H. Takeda, M. Murakata, F. Minami, N. Kawabe, T. Kitahara, K. Seta, M. Takahashi, Y. Oowaki and T. Furuyama, “A 63-mW H.264/MPEG-4 Audio/Visual Codec LSI With Module-Wise Dynamic Voltage/Frequency Scaling,” IEEE Journal of Solid-State Circuits, Vol. 41, no. 1, pp. 54-62, Jan. 2006.
- [19] H. Sato, N. Itoh, K. Nii, K. Yoshida, Y. Nakase, H. Makino, A. Yamada, T. Arakawa, S. Iwade, Y. Hirano, T. Ipposhi, “A 400MHz 183mW microcontroller in body-tied SOI technology,” in IEEE ISSCC Dig. Tech. Papers, pp. 110-111, 481, Feb. 2003.
- [20] Toshihiro Hattori, Takahiro Irita, Masayuki Ito, Eiji Yamamoto, Hisashi Kato, Go Sado, Tetsuhiro Yamada, Kunihiro Nishiyama, Hiroshi Yagi, Takao Koike, Yoshihiko Tsuchihashi, Motoki Higashida, Hiroyuki Asano, Izumi Hayashibara, Ken Tatezawa, Yasuhisa Shimazaki, Naozumi Morino, Kenji Hirose, Saneaki Tamaki, Shinichi Yoshioka, Reiko Tsuchihashi, Nobuto Arai, Tomohiro Akiyama, and Koji Ohno, “A Power Management Scheme Controlling 20 Power Domains for a Single-Chip Mobile Processor,” in IEEE ISSCC Dig. Tech. Papers, pp. 542-543, 672, Feb. 2006.
- [21] S. Shibahara, C. Takahashi, K. Fukuoka, Y. Kitaji, T. Irita, H. Hara Y. Shimazaki and J. Matsushima, “A 16 nm FinFET Heterogeneous Nona-Core SoC Supporting ISO26262 ASIL B Standard,” IEEE Journal of Solid-State Circuits, Vol. 52, no. 1, pp. 77-88, Jan. 2017.
- [22] International Technology Roadmap for Semiconductors, 2005, by the Semiconductors Industry Association & SEMATECH.
- [23] K. Tomita, H. Hashimoto, T. Inbe, T. Oashi, K. Tsukamoto, Y. Nishioka, M. Matsuura, T. Eimori, M. Inuishi, I. Miyanaga, M. Nakamura, T. Kishimoto, T. Yamada, K. Eriguchi, H. Yuasa, T. Satake, A. Kajiya, “Sub- $1\mu\text{m}^2$ High Density Embedded SRAM Technologies for 100nm Generation SOC and Beyond,” in. Symp. VLSI Technology Dig., June 2003, pp11-12, 2002.
- [24] C. Oh, H. Ryu, H. Kang, M. Oh, J. Lee, N. Lee, H. Lee, C. Jun, Y. Kim, K. Suh, “Ultra Low Power 6T-SRAM Chip with Improved Transistor Performance and Reliability by $\text{HfO}_2\text{-Al}_2\text{O}_3$ High-k Gate Dielectric Process Optimization,” VLSI Tech. Dig. pp. 71-72, 2003.
- [25] E. Josse, S. Parihar, O. Callen, P. Ferreira, C. Monget, A. Farcy, M. Zaleski, D. Villanueva, R. Ranica, M. Bidaud, D. Barge, C. Laviro, N. Auriac, C. Le Cam, S. Harrison, S. Warrick, F. Leverd, P. Gouraud, S. Zoll, F. Guyader, E. Perrin, E. Baylac, J. Belledent, B. Icard, B. Minghetti, S. Manakli, L. Pain, V. Huard, G. Ribes, K. Rochereau, S. Bordez, C. Blanc, A. Margain, D. Delille, R. Pantel, K. Barla, N. Cave, M. Haond, “A Cost-Effective Low-Power Platform For The 45-nm Technology Node,” in IEEE IEDM Dig. Tech. Papers, pp. 1-4, Dec. 2006.
- [26] D. Hisamoto, W.-C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T.-J. King, J. Bokor and C. Hu, “FinFET-a self-aligned double-gate MOSFET scalable to 20nm,” IEEE Transactions on Electron Devices, Vol. 47, Issue 12, pp. 2320-2325, 2000.
- [27] K. R. Lakshmikumar, R. A. Hadaway and M. A. Copeland, “Characterization and

- Modeling of Mismatch in MOS Transistors for Precision Analog Design,” *IEEE Journal of Solid-State Circuits*, Vol. SC-21, No. 6, 1057-1066, 1986.
- [28] J. Chang, Y.-H. Chen, W.-M. Chan, S. P. Singh, H. Cheng, H. Fujiwara, J.-Y. Lin, K.-C. Lin, J. Hung, R. Lee, H.-J. Liao, J.-J. Liaw, Q. Li, C.-Y. Lin, M.-C. Chiang and S.-Y. Wu, “A 7nm 256Mb SRAM in High-K Metal-Gate FinFET Technology with Write-Assist Circuitry for Low-VMIN Application,” *IEEE ISSCC Dig. Tech. Papers*, pp. 206-207, Feb. 2017.
 - [29] M. Inamori, J. Naganuma, M. Endo, “A memory-based architecture for MPEG2 system protocol LSIs,” *IEEE Trans. on VLSI Systems*, Vol. 7, No. 3, pp. 339-344, Sep. 1999.
 - [30] Chi-Weon Yoon, Ramchan Woo, Jeengheon Kook, Se-Joong Lee, Kangmin Lee, Hoi-Jun Yeo, “An 80/20-MHz 160-mW multimedia processor integrated with embedded DRAM, MPEG-4 accelerator and 3-D rendering engine for mobile applications,” *IEEE Journal of Solid-State Circuits*, Vol. 36, No. 11, pp. 1758-1767, Nov. 2001.
 - [31] H. -J. Stolberg, S. Moch, L. Friebe, A. Dehnhardt, M.B. Kulaczewski, M. Berekovic, P. Pirsch, “An SoC with two multimedia DSPs and a RISC core for video compression applications,” in *IEEE ISSCC Dig. Tech. Papers*, pp. 330-531, Feb. 2004.
 - [32] M. Nakajima, T. Yamamoto, M. Yamasaki, K. Kaneko, T. Hosoki, “Homogeneous Dual-Processor core with Shared L1 Cache for Mobile Multimedia SoC,” in *VLSI Circuits, 2007. Digest of Technical Papers*, pp. 216-217, June 2007.
 - [33] Y. Yoshida, T. Kamei, K. Hayase, S. Shibaraha, O. Nishii, T. Hattori, A. Hasegawa, M. Takeda, N. Irie, K. Uchiyama, T. Odaka, K. Takada, K. Kimura and H. Kasahara, “A 4320MIPS Four-Processor Core SMP/AMP with Individually Managed Clock Frequency for Low Power Consumption,” in *IEEE ISSCC Dig. Tech. Papers*, pp. 100-101, Feb. 2007.
 - [34] J. Howard, S. Dighe, S. R. Vangal, G. Ruhl, N. Borkar, S. Jain, V. Erraguntla, M. Konow, M. Riepen, M. Gries, G. Droege, T. L.-Larsen, S. Steibl, S. Borkar, V. K. De and R. V. D. Wijngaart, “A 48-Core IA-32 Processor in 45 nm CMOS Using On-Die Message-Passing and DVFS for Performance and Power Scaling,” *IEEE Journal of Solid-State Circuits*, Vol. 46, No. 1, pp. 173-183, Jan. 2011.
 - [35] M. Fujigaya, N. Sakamoto, T. Koike, T. Irita, K. Wakahara, T. Matsuyama, K. Hasegawa, T. Saito, A. Fukuda, K. Teranishi, K. Fukuoka, N. Maeda, K. Nii, T. Kataoka, and T. Hattori, “A 28nm High-k metal-gate single-chip communications processor with 1.5GHz dual-core application processor and LTE/HSPA+-capable baseband processor,” *IEEE ISSCC Dig. Tech. Papers*, pp. 156-157, Feb. 2013.
 - [36] S. Mochizuki, K. Matsubara, K. Matumoto, C. L. P. Nguyen, T. Shibayama, K. Iwata, K. Mizumoto, T. Irita, H. Hara, and T. Hattori, “A 197mW 70ms-latency full-HD 12-channel video-processing SoC for car information systems,” *IEEE ISSCC Dig. Tech. Papers*, pp. 78-79, 2016.
 - [37] Hwang Wei, R.V. Joshi, W.H. Henkels, “A 500-MHz, 32-word×64-bit, eight-port self-resetting CMOS register file,” *IEEE Journal of Solid-State Circuits*, Vol. 37, No. 5, pp. 56-67, May 1999.
 - [38] R.K. Krishnamurthy, A. Alvandpour, G. Balamurugan, N.R. Shanbhag, K. Soumyanath, S.Y. Borkar, “A 130-nm 6-GHz 256 × 32 bit leakage-tolerant register file,” *IEEE Journal of Solid-State Circuits*, Vol. 37, No. 5, pp. 624-632, May 2002.
 - [39] M. Miyama, J. Miyakoshi, Y. Kuroda, K. Imamura, H. Hashimoto, M. Yoshimoto, “A sub-mW MPEG-4 motion estimation processor core for mobile video application,” *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 9, pp. 1562-1570, Sep. 2004.

- [40] T. Shiota, K. Kawasaki, Y. Kawabe, W. Shibamoto, A. Sato, T. Hashimoto, F. Hayakawa, S. Tago, H. Okano, Y. Nakamura, H. Miyake, A. Suga, H. Takahashi, "A 51.2 GOPS 1.0 GB/s-DMA single-chip multi-processor integrating quadruple 8-way VLIW processors," in IEEE ISSCC Dig. Tech. Papers, pp. 194-593, Feb. 2005.
- [41] D. F. Wendel, R. Kalla, J. Warnock, R. Cargnoni, S. G. Chu, J. G. Clabes, D. Dreps, D. Hrusecky, J. Friedrich, S. Islam, J. Kahle, J. Leenstra, J. Paredes, J. Pille, P. J. Restle, B. Sinharoy, G. Smith, W. J. Starke, S. Taylor, A. J. V. Norstrand, Jr., S. Weitzel, P. G. Williams and V. Zyuban, "POWER7, a Highly Parallel, Scalable Multi-Core High End Server Processor," IEEE Journal of Solid-State Circuits, Vol. 46, No. 1, pp. 145-161, Jan 2011.
- [42] Y. Ishii, H. Fujiwara, S. Tanaka, Y. Tsukamoto, K. Nii, Y. Kihara, and K. Yanagisawa, "A 28 nm Dual-Port SRAM Macro with Screening Circuitry Against Write-Read Disturb Failure Issues," IEEE Journal of Solid-State Circuits, Vol. 46, No. 11, pp. 2535-2544, 2011.
- [43] S. Ishikura, M. Kurumada, T. Terano, Y. Yamagami, N. Kotani, K. Satomi, K. Nii, M. Yabuuchi, Y. Tsukamoto, S. Ohbayashi, T. Oashi, H. Makino, H. Shinohara, H. Akamatsu, "A 45 nm 2-port 8T-SRAM Using Hierarchical Replica Bitline Technique with Immunity from Simultaneous R/W Access Issues," IEEE Journal of Solid-State Circuits, Vol. 43, No. 4, pp. 938-945, 2008.
- [44] E. Seevinck, F. J. List and J. Lohstroh, "Static Noise Margin Analysis of MOS SRAM Cells," IEEE Journal of Solid-State Circuits, Vol. SC-22, No. 5, 748-754, 1987.
- [45] A. J. Bhavnagarwala, X. Tang, D. Meindl, "The Impact of Intrinsic Device Fluctuations on CMOS SRAM Cell Stability," IEEE Journal of Solid-State Circuits, Vol. 36, No. 4, 658-665, 2001.
- [46] R. Heald, P. Wang, "Variability in sub-100nm SRAM designs," ICCAD Digest, pp. 347-352, 2004.
- [47] S. Mukhopadhyay, H. Mahmoodi-Meimand, K. Roy, "Modeling and Estimation of Failure Probability due to Parameter Variations in Nano-scale SRAMs for Yield Enhancement," Proc. of 2004 Symp. on VLSI Circ. 64-67.
- [48] M. J. M. Pelgrom, A. C. J. Duinmaijer and A. P. G. Welbers, "Matching Properties of MOS Transistors," IEEE Journal of Solid-State Circuits, Vol. 24, No. 5, 1433-1440, 1989.
- [49] X. Tang, V. K. De and D. Meindl, Intrinsic MOSFET Parameter Fluctuations Due to Random Dopant Placement, IEEE Trans. on VLSI Syst., Vol. 5, No. 4, 369-376, 1997.
- [50] T. Hayashi, M. Mizutani, M. Inoue, J. Yugami, J. Tsuchimoto, M. Anma, S. Komori, K. Tsukamoto, Y. Tsukamoto, K. Nii, Y. Nishida, H. Sayama, T. Yamashita, H. Oda, T. Eimori, Y. Ohji, "V_{th}-tunable CMIS platform with high-k gate dielectrics and variability effect for 45nm node," in IEEE IEDM Dig. Tech. Papers, pp. 906-909, Dec. 2005.
- [51] J.A. Croon, G. Storms, S. Winkelmeier, I. Pollentier, M. Ercken, S. Decoutere, W. Sansen, H.E. Maes, "Line edge roughness: characterization, modeling and impact on device behavior," in IEEE IEDM Dig. Tech. Papers, pp. 307-310, Dec. 2002.
- [52] H. Fukutome, Y. Momiyama, T. Kubo, E. Yoshida, H. Morioka, M. Tajima, T. Aoyama, "Suppression of Poly-Gate-Induced Fluctuations in Carrier Profiles of Sub-50nm MOSFETs," in IEEE IEDM Dig. Tech. Papers, pp. 1-4, Dec. 2006.
- [53] P. A. Stolk, F. P. Widdershoven and D. B. M. Klaassen, "Modeling Statistical Dopant Fluctuations in MOS Transistors," IEEE Trans. on Electron Devices, Vol. 45, No. 9, 1960-1971, 1998.

- [54] M. Yamaoka, K. Osada, R. Tsuchiya, M. Horiuchi, S. Kimura and T. Kawahara. "Low Power SRAM Menu for SOC Application Using Yin-Yang-Feedback Memory Cell," in Proc. of 2004 Symp. on VLSI Circ. 288-291.
- [55] M. Yamaoka, K. Osada, and T. Kawahara, "A cell-activation-time controlled SRAM for low-voltage operation in DVFS SoCs using dynamic stability analysis," European Solid-State Circuits Conference, pp. 286-289, 2008
- [56] Y. Tsukamoto, T. Kida, T. Yamaki, Y. Ishii, K. Nii, K. Tanaka, S. Tanaka, Y. Kihara, "Dynamic Stability in Minimum Operating Voltage V_{min} for Single-port and Dual-port SRAMs," IEEE Custom Integrated Circuits Conference, pp. 1-4, 2011.
- [57] K. Osada, J. Shin, M. Khan, Y. Liou, K. Wang, K. Shoji, K. Kuroda, S. Ikeda and K. Ishibashi, "Universal-Vdd 0.65-2.0V 32KB Cache using Voltage-Adapted Timing Generation Scheme and Lithographical Symmetric Cell," in ISSCC Dig. Tech. Papers, Feb. 2001.
- [58] K. Nii, H. Makino, Y. Tujihashi, C. Morishima, Y. Hayakawa, H. Nunogami, T. Arakawa, and H. Hamano, "A Low-Power SRAM using Auto-Backgate-Controlled MT-CMOS," in Proc. Int. Symp. Low Power Electronics and Devices, Aug. 1998, pp. 293-298.
- [59] A. Agarwal, H. Li, Kaushik Roy, "A Single-Vt Low-Leakage Gated-Ground Cache for Deep Submicron," IEEE JSSC, Vol.38, No.2, pp319-328, Feb. 2003.
- [60] A. J. Bhavnagarwala, S. V. Kosonocky, M. Immediato, D. Knebel, and A. Haen, "A Pico-Joule Class, 1 GHz, 32 KByte x 64b DSP SRAM with Self Reverse Bias," in Symp. VLSI Circuits Dig., June 2003, pp251-252, 2003.
- [61] Y. Takeyama, H. Otake, O. Hirabayashi, K. Kushida, N. Otsuka, "A low leakage SRAM macro with replica cell biasing scheme," IEEE Journal of Solid-State Circuits, Vol. 41, no. 4, pp. 815-822, April 2006.
- [62] K. Takeda, Y. Hagihara, Y. Aimoto, M. Nomura, Y. Nakazawa, T. Ishii, H. Kobatake, "A read-static-noise-margin-free SRAM cell for low-VDD and high-speed applications," IEEE Journal of Solid-State Circuits, Vol. 41, no. 1, pp. 113-121, Jan. 2006.
- [63] T. Suzuki, H. Yamauchi, Y. Yamagami, K. Satomi, H. Akamatsu, "A Stable SRAM Cell Design Against Simultaneously R/W Disturbed Accesses," in Symp. VLSI Circuits Digest of Technical Papers, pp. 11-12, June 2006.
- [64] M. R. Kakoei, V. Petrovic and L. Benini, "A Multi-banked Shared-L1 Cache Architecture for Tightly Coupled Processor Clusters," International Symposium on System on Chip, pp. 1-5, 2012.
- [65] M. Yamaoka, K. Osada, K. Ishibashi, "0.4-V logic-library-friendly SRAM array using rectangular-diffusion cell and delta-boosted-array voltage scheme," IEEE Journal of Solid-State Circuits, Vol. 39, No. 6, pp. 934-940, June 2004.
- [66] K. Zhang, U. Bhattacharya, C. Zhanping, F. Hamzaoglu, D. Murray, N. Vallepalli, Y. Wang, B. Zheng, M. Bohr, "A 3-GHz 70-mb SRAM in 65-nm CMOS technology with integrated column-based dynamic power supply," IEEE Journal of Solid-State Circuits, Vol. 41, No. 1, pp. 146-151, Jan. 2006.
- [67] M. Khellah, Y. Ye, N. Kim, D. Somasekhar, G. Pandya, A. Farhang, K. Zhang, C. Webb, V. De, "Wordline & Bitline Pulsing Schemes for Improving SRAM Cell Stability in Low-Vcc 65nm CMOS Designs," in Symp. VLSI Circuits Digest of Technical Papers, pp. 9-10, June 2006.
- [68] Harold Pilo, Charlie Barwin, Geordie Bracer, Chris Browning, Steve Lamphier, Fred Towler, "An SRAM Design in 65-nm Technology Node Featuring Read and Write-Assist Circuits to Expand Operating Voltage," IEEE Journal of Solid-State Circuits, Vol.

- 42, no. 4, pp. 813-819, April 2007.
- [69] S. Ohbayashi, M. Yabuuchi, K. Nii, Y. Tsukamoto, S. Imaoka, Y. Oda, T. Yoshihara, M. Igarashi, M. Takeuchi, H. Kawashima, Y. Yamaguchi, K. Tsukamoto, M. Inuishi, H. Makino, K. Ishibashi, H. Shinohara, "A 65-nm SoC Embedded 6T-SRAM Designed for Manufacturability with Read and Write Operation Stabilizing Circuits," *IEEE Journal of Solid-State Circuits*, Vol. 42, no. 4, pp. 820-829, April 2007.
 - [70] M. Yabuuchi, K. Nii, Y. Tsukamoto, S. Ohbayashi, S. Imaoka, H. Makino, Y. Yamagami, S. Ishikura, T. Terano, T. Oashi, K. Hashimoto, A. Sebe, G. Okazaki, K. Satomi, H. Akamatsu, H. Shinohara, "A 45nm Low-Standby-Power Embedded SRAM with Improved Immunity Against Process and Temperature Variations," in *IEEE ISSCC Dig. Tech. Papers*, pp.326-327, Feb. 2007.
 - [71] M. Yamaoka, N. Maeda, Y. Shinozaki, Y. Shimazaki, K. Nii, S. Shimada, K. Yanagisawa and T. Kawahara, "90-nm process-variation adaptive embedded SRAM modules with power-line-floating write technique," *Journal of Solid-State Circuits*, Vol. 41, No. 3, pp. 705-711, March 2006.
 - [72] N. Shibata, H. Kiya, S. Kurita, H. Okamoto, M. Tanno, T. Douseki, "A 0.5-V 25-MHz 1-mW 256-kb MTCMOS/SOI SRAM for solar-power-operated portable personal digital equipment - sure write operation by using step-down negatively overdriven bitline scheme," *IEEE Journal of Solid-State Circuits*, Vol. 41, no. 3, pp. 728-742, March 2006.
 - [73] H. Pilo, I. Arsovski, K. Batson, G. Bracer, J. Gabric, R. Houle, S. Lanphier, F. Pavlik, A. Seferagic, L.-Y. Chen, S.-B. Ko, and C. Radens, "A 64Mb SRAM in 32nm High-k metal-gate SOI technology with 0.7V operation enabled by stability, write-ability and read-ability enhancements," *IEEE ISSCC Dig. Tech. Papers*, pp. 254-256, 2011.
 - [74] E. Karl, Y. Wang, Y.-G. Ng, Z. Guo, F. Hamzaoglu, U. Bhattachara, K. Zhang, K. Mistry, and M. Bohr, "A 4.6GHz 162Mb SRAM design in 22nm tri-gate CMOS technology with integrated active VMIN-enhancing assist circuitry," *IEEE ISSCC Dig. Tech. Papers*, pp. 230-232, 2012.
 - [75] J. Chang, Y.-H. Chen, H. Cheng, W.-M. Chan, H.-J. Liao, Q. Li, S. Chang, S. Natarajan, R. Lee, P.-W. Wang, S.-S. Lin, C.-C. Wu, K.-L. Cheng, M. Cao, and G. H. Chang, "A 20nm 112Mb SRAM in High- κ metal-gate with assist circuitry for low-leakage and low-VMIN applications," *IEEE ISSCC Dig. Tech. Papers*, pp. 316-317, 2013.
 - [76] K. Nii, M. Yabuuchi, H. Fujiwara, H. Nakano, K. Ishihara, H. Kawai and K. Arimoto, "Dependable SRAM with Enhanced Read-/Write-Margins by Fine-Grained Assist Bias Control for Low-Voltage Operation," *IEEE international SOC Conference*, pp. 519-524, 2010.
 - [77] A. Carlson, Z. Guo, L.-T. Pang, T.-J. K. Liu, and B. Nikolic, "Compensation of systematic variations through optimal biasing of SRAM wordlines," *IEEE Custom Integrated Circuits Conference*, pp. 411-414, Sept. 2008.
 - [78] Y. Morita, H. Noguchi, H. Fujiwara, K. Kawakami, J. Miyakoshi, S. Mikami, K. Nii, H. Kawaguchi, M. Yoshimoto, "A V_{th} -Variation-Tolerant SRAM with 0.3-V Minimum Operation Voltage for Memory-Rich SoC Under DVS Environment," in *Symp. VLSI Circuits Digest of Technical Papers*, pp. 16-17, June 2006.
 - [79] M. Khellah, D. Somasekhar, Y. Ye, N. S. Kim, J. Howard, G. Ruhl, M. Sunna, J. Tschanz, N. Borkar, F. Hamzaoglu, G. Pandya, A. Farhang, K. Zhang, V. De, "256-Kb Dual-VCC SRAM Building Block in 65-nm CMOS Process with Actively Clamped Sleep Transistor," *IEEE Journal of Solid-State Circuits*, Vol. 42, no. 1, pp. 233-242, Jan. 2007.
 - [80] M. Ukita, S. Murakami, T. Yamagata, H. Kuriyama, Y. Nishimura, and K. Anami, "A

- single-bit-line cross-point cell activation (SCPA) architecture for ultra-low-power SRAM's," IEEE Journal of Solid-State Circuits, Vol. 28, No. 11, pp. 1114-1118, 1993.
- [81] S. Miyano, S. Moriwaki, Y. Yamamoto, A. Kawasumi, T. Suzuki, T. Sakurai, and H. Shinohara, "Highly Energy-Efficient SRAM With Hierarchical Bit Line Charge-Sharing Method Using Non-Selected Bit Line Charges," IEEE Journal of Solid-State Circuits, Vol. 48, No. 4, pp. 924-931, 2013
 - [82] Y. Morita, R. Tsuchiya, T. Ishigaki, N. Sugii, T. Iwamatsu, T. Ipposhi, H. Oda, Y. Inoue, K. Torii and S. Kimura, "Smallest V_{th} Variability Achieved by Intrinsic Silicon on Thin BOX (SOTB) CMOS with Single Metal Gate," VLSI Tech. Dig. pp. 166-167, 2008.
 - [83] Y. Yamamoto, H. Makiyama, H. Shinohara, T. Iwamatsu, H. Oda, S. Kamohara, N. Sugii, Y. Yamaguchi, T. Mizutani, and T. Hiramoto, "Ultra low-voltage operation of Silicon-on-Thin-BOX (SOTB) 2Mbit SRAM down to 0.37 V utilizing adaptive back bias," Symposium on VLSI Circuits, pp. T212-T213, 2013.
 - [84] T. Hasegawa, Y. Yamamoto, H. Makiyama, H. Shinkawata, S. Kamohara, and Y. Yamaguchi, "SOTB (Silicon on Thin Buried Oxide): More than Moore technology for IoT and Automotive," IEEE International Conference on IC Design and Technology, pp. 1-4, 2017.
 - [85] K. Nii, Y. Tsukamoto, S. Imaoka, H. Makino, "A 90 nm dual-port SRAM with $2.04 \mu\text{m}^2$ 8T-thin cell using dynamically-controlled column bias scheme," in IEEE ISSCC Dig. Tech. Papers, pp. 508-543, Feb. 2004.
 - [86] K. Nii, Y. Tsukamoto, T. Yoshizawa, S. Imaoka, Y. Yamagami, T. Suzuki, A. Shibayama, H. Makino and S. Iwade, "A 90-nm Low-Power 32-kB Embedded SRAM With Gate Leakage Suppression Circuit for Mobile Applications," IEEE Journal of Solid-State Circuits, Vol. 39, No. 4, pp. 684-693, April 2004.
 - [87] K. Nii, Y. Masuda, M. Yabuuchi, Y. Tsukamoto, S. Ohbayashi, S. Imaoka, M. Igarashi, K. Tomita, N. Tsuboi, H. Makino, K. Ishibashi, H. Shinohara, "A 65 nm Ultra-High-Density Dual-Port SRAM with $0.71 \mu\text{m}^2$ 8T-Cell for SoC," in Symposium on VLSI Circuits Digest of Technical Papers, pp. 162-163, June 2006.
 - [88] D. P. Wang, H. J. Liao, H. Yamauchi, Y. H. Chen, Y. L. Lin, S. H. Lin, D. C. Liu, H. C. Chang, and W. Hwang, "A 45nm dual-port SRAM with write and read capability enhancement at low voltage," IEEE international SOC Conference, pp. 211-214, 2007
 - [89] Y. Morita, H. Fujiwara, H. Noguchi, Y. Iguchi, K. Nii, H. Kawaguchi, and M. Yoshimoto, "An Area-Conscious Low-Voltage-Oriented 8T-SRAM Design under DVS Environment," in IEEE VLSI Circuits Symp. Dig., pp. 256-257, June 2007.
 - [90] H. Noguchi, Y. Iguchi, H. Fujiwara, Y. Morita, K. Nii, H. Kawaguchi, M. Yoshimoto, "A 10T Non-Precharge Two-Port SRAM for 74% Power Reduction in Video Processing," in Proc. IEEE Computer Society Annual Symp. VLSI (ISVLSI), pp. 107-112, March 2007.
 - [91] S. P. Park, S. Y. Kin, D. Lee, J.-J. Kin, W. P. Griffin, and K. Roy, "Column-selection-enabled 8T SRAM array with $\sim 1R/1W$ multi-port operation for DVFS-enabled processors," IEEE/ACM International Symposium on Low Power Electronics and Design, pp. 303-308, 2011.
 - [92] Y. Ishii, Y. Tsukamoto, K. Nii, H. Fujiwara, M. Yabuuchi, K. Tanaka, S. Tanaka, and Y. Shimazaki, "A 28nm 360ps-access-time two-port SRAM with a timesharing scheme to circumvent read disturbs," ISSCC Dig. Tech. Papers, pp. 236-238, 2012.
 - [93] N. Tzartzanis, W.W. Walker, "A differential current-mode sensing method for high-noise-immunity, single-ended register files," in IEEE ISSCC Dig. Tech. Papers, pp. 506-

543, Feb. 2004.

- [94] J. P. Kulkarni, J. Keane, K.-H. Koo, S. Nalam, Z. Guo, E. Kal and K. Zhang, “5.6 Mb/mm² 1R1W 8T SRAM Arrays Operating Down to 560 mV Utilizing Small-Signal Sensing With Charge Shared Bitline and Asymmetric Sense Amplifier in 14nm FinFET,” *IEEE Journal of Solid-State Circuits*, Vol. 52, No. 1, pp. 229-239, April 2017.

研究業績目録

学術論文雑誌

- 1) Makoto Yabuuchi, Yasumasa Tsukamoto, Hidehiro Fujiwara, Miki Tanaka, Shinji Tanaka, and Koji Nii, “A 28-nm 1R1W 2-port 8T SRAM Macro with Screening Circuitry against Read Disturbance and Wordline Coupling Noise Failures,” to be published IEEE Transactions on Very Large Scale Integration Systems (Accepted)
- 2) Yohei Nakata, Yuta Kimi, Shunsuke Okumura, Jinwook Jung, Takuya Sawada, Taku Toshikawa, Makoto Nagata, Hirofumi Nakano, Makoto Yabuuchi, Hidehiro Fujiwara, Koji Nii, Hiroyuki Kawai, Hiroshi Kawaguchi, and Masahiko Yoshimoto, “A 40-nm Resilient Cache Memory for Dynamic Variation Tolerance Delivering $\times 91$ Failure Rate Improvement under 35% Supply Voltage Fluctuation,” IEICE Trans. on Electronics, Vol. E97-C, No. 4, pp. 332-341, April 2014.
- 3) Yukiko Umemoto, Koji Nii, Jiro Ishikawa, Makoto Yabuuchi, Kazuyoshi Okamoto, Yasumasa Tsukamoto, Shinji Tanaka, Koji Tanaka, Tetsuya Matsumura, Kazutaka Mori, and Kazumasa Yanagisawa, "A 28 nm 50% Power Reducing Contacted Mask ROM Macro with 0.72 ns Read Access Time Using 2T Pair Bitcell and Dynamic Column Source Bias Control Technique," IEEE Trans. on VLSI Systems, Vol. 22, No. 3, pp. 574-584, April 2014.
- 4) Koji Nii, Yasumasa Tsukamoto, Makoto Yabuuchi, Yasuhiro Masuda, Susumu Imaoka, Keiichi Usui, Shigeki Ohbayashi, Hiroshi Makino, and Hirofumi Shinohara, “Synchronous Ultra-High-Density 2RW Dual-Port 8T-SRAM with Circumvention of Simultaneous Common-Row-Access,” IEEE Journal of Solid-State Circuits, Vol. 44, No. 3, pp. 977-986, Mar. 2009.
- 5) Satoshi Ishikura, M. Kurumada, T. Terano, Y. Yamagami, N. Kotani, K. Satomi, K. Nii, M. Yabuuchi, Y. Tsukamoto, S. Ohbayashi, T. Oashi, H. Makino, H. Shinohara, and H. Akamatsu, “A 45 nm 2-port 8T-SRAM Using Hierarchical Replica Bitline Technique with Immunity from Simultaneous R/W Access Issues,” IEEE Journal of Solid-State Circuits, Vol. 43, No. 4, pp. 938-945, Apr. 2008.
- 6) Koji Nii, Makoto Yabuuchi, Yasumasa Tsukamoto, Shigeki Ohbayashi, Susumu Imaoka, Hiroshi Makino, Yoshinobu Yamagami, Satoshi Ishikura, Toshio Terano, Toshiyuki Oashi, Keiji Hashimoto, Akio Sebe, Gen Okazaki, Katsuji Satomi, Hironori Akamatsu, and Hirofumi Shinohara, “A 45-nm Bulk CMOS Embedded SRAM with Improved Immunity against Process and Temperature Variations,” IEEE Journal of Solid-State Circuits, Vol. 42, No. 1, pp. 180-191, Jan. 2008.
- 7) Shigeki Ohbayashi, Makoto Yabuuchi, Kazushi Kono, Yuji Oda, Susumu Imaoka, Keiichi Usui, Toshiaki Yonezu, Takeshi Iwamoto, Koji Nii, Yasumasa Tsukamoto, Masashi Arakawa, Takahiro Uchida, Masakazu Okada, Atsushi Ishii, Tsutomu Yoshihara, Hiroshi Makino, Koichiro Ishibashi, and Hirofumi Shinohara, “A 65 nm Embedded SRAM with

Wafer Level Burn-In Mode, Leak-Bit Redundancy and Cu E-trim Fuse for Known Good Die,” IEEE Journal of Solid-State Circuits, Vol. 42, No. 1, pp. 96-108, Jan. 2008.

- 8) S. Ohbayashi, M. Yabuuchi, K. Nii, Y. Tsukamoto, S. Imaoka, Y. Oda, T. Yoshihara, M. Igarashi, M. Takeuchi, H. Kawashima, Y. Yamaguchi, K. Tsukamoto, M. Inuishi, H. Makino, K. Ishibashi, and H. Shinohara, "A 65-nm SoC Embedded 6T-SRAM Designed for Manufacturability with Read and Write Operation Stabilizing Circuits," IEEE Journal of Solid-State Circuits, Vol. 42, No. 4, pp. 820-829, April 2007.

国際学会講演

- 1) Makoto Yabuuchi, Masao Morimoto, Koji Nii, and Shinji Tanaka, “12-nm Fin-FET 3.0G-search/s 80-bit x 128-entry Dual-port Ternary CAM,” to be published IEEE VLSI Circuits Symp
- 2) Yoshiki Yamamoto, Takumi Hasegawa, Makoto Yabuuchi, Koji Nii, Yohei Sawada, Shinji Tanaka, Yoshihiro Shinozaki, Kyoji Ito, Hiroki Shinkawata, and Shiro kamohara, “An implementation of 2RW dual-port SRAM using 65 nm Silicon-on-Thin-Box (SOTB) for smart IoT,” in IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference, pp. 1-2, Oct. 2017.
- 3) Makoto Yabuuchi, Koji Nii, Shinji Tanaka, Yoshihiro Shinozaki, Yoshiki Yamamoto, Takumi Hasegawa, Hiroki Shinkawata, and Shiro Kamohara, “A 65 nm 1.0 V 1.84 ns Silicon-on-Thin-Box (SOTB) embedded SRAM with 13.72 nW/Mbit standby power for smart IoT,” in IEEE VLSI Circuits Symp. Dig., pp. C220-C221, June 2017.
- 4) Yuichiro Ishii, Makoto Yabuuchi, Yohei Sawada, Masao Morimoto, Yasumasa Tsukamoto, Yuta Yoshida, Ken Shibata, Toshiaki Sano, Shinji Tanaka, and Koji Nii, “A 5.92-Mb/mm² 28-nm pseudo 2-read/write dual-port SRAM using double pumping circuitry,” in IEEE Asian Solid-State Circuits Conference (A-SSCC), pp. 17-20, Nov. 2016.
- 5) Koji Nii, Yuichiro Ishii, Makoto Yabuuchi, Toshiaki Sano, Masao Morimoto, Yohei Sawada, Yasumasa Tsukamoto, Miki Tanaka, and Shinji Tanaka, “Embedded SRAM designs for enhancing performance, power and area (PPA) in 16 nm FinFET technology,” in IEEE international Conference on Solid-State and Integrated Circuit Technology (ICSICT), pp. 563-566, Oct. 2016.
- 6) Makoto Yabuuchi, Yohei Sawada, Toshiaki Sano, Yuichiro Ishii, Shinji Tanaka, Miki Tanaka, and Koji Nii, “A 6.05-Mb/mm² 16-nm FinFET double pumping 1W1R 2-port SRAM with 313 ps read access time,” in IEEE VLSI Circuits Symp. Dig., pp. 14-15, June 2016.
- 7) Koji Nii, Makoto Yabuuchi, Yuichiro Ishii, Miki Tanaka, Mitsuhiko Igarashi, Kazuki Fukuoka, and Shinji Tanaka, “A dynamic/static SRAM power management scheme for DVFS and AVS in advanced automotive inforainment SoCs,” in IEEE VLSI Technology Symp. Dig., pp. 104-105, June 2016.
- 8) Koji Nii, Makoto Yabuuchi, Yoshisato Yokoyama, Yuichiro Ishii, Takeshi Okagaki, Masao

- Morimoto, Yasumasa Tsukamoto, Koji Tanaka, Miki Tanaka and Shinji Tanaka, "2RW Dual-port SRAM Design Challenges in Advanced Technology Nodes," in Proc. IEEE Int. Electron Devices Meeting (IEDM), pp. 11.1.1 - 11.1.4, Dec. 2015.
- 9) Yasumasa Tsukamoto, Masao Morimoto, Makoto Yabuuchi, Miki Tanaka and Koji Nii, "1.8 Mbit/mm² Ternary-CAM macro with 484 ps Search Access Time in 16 nm Fin-FET Bulk CMOS Technology," in IEEE VLSI Circuits Symp. Dig., pp. C274-C275, June 2015.
 - 10) Koji Nii, Kenji Yamaguchi, Makoto Yabuuchi, Naoya Watanabe, Takumi Hasegawa Shoji Yoshida, Takeshi Okagaki, Miho Yokota and Kazunori Onozawa, "Silicon measurements of characteristics for passgate/pull-down/pull-up MOSs and search MOS in a 28 nm HKMG TCAM bitcell," in Proc. IEEE Int. Conf. Microelectronic Test Structures (ICMTS), pp. 200-203, March 2015.
 - 11) Makoto Yabuuchi, Masao Morimoto, Yasumasa Tsukamoto, Shinji Tanaka, Koji Tanaka, Miki Tanaka and Koji Nii, "16 nm FinFET High-k/Metal-gate 256-kbit 6T SRAM macros with Wordline Overdriven Assist," in Proc. IEEE Int. Electron Devices Meeting (IEDM), pp. 3.3.1 - 3.3.3, Dec. 2014.
 - 12) Shinji Tanaka, Yuichiro Ishii, Makoto Yabuuchi, Toshiaki Sano, Koji Tanaka, Yasumasa Tsukamoto, Koji Nii and Hirotooshi Sato, "A 512-kb 1-GHz 28-nm Partially Write-Assisted Dual-Port SRAM with Self-Adjustable Negative Bias Bitline," in IEEE VLSI Circuits Symp. Dig., pp. 113-114, June 2014.
 - 13) Y. Nakata, Y. Kimi, S. Okumura, J. Jung, T. Sawada, T. Toshikawa, M. Nagata, H. Nakano, M. Yabuuchi, H. Fujiwara, K. Nii, K. H. Kawai, H. Kawaguchi and M. Yoshimoto, "A 40-nm resilient cache memory for dynamic variation tolerance with bit-enhancing memory and on-chip diagnosis structures delivering $\times 91$ failure rate improvement," in Proc. IEEE International Symposium on Quality Electronic Design (ISQED), pp. 16-23, March 2014.
 - 14) H. Fujiwara, M. Yabuuchi and Koji Nii, "Assessing Uniqueness and Reliability of SRAM-based Physical Unclonable Functions from Silicon Measurements in 45-nm bulk CMOS", in Proc. IEEE Int. Symposium on Quality Electronic Design (ISQED), pp. 523-528, March 2014.
 - 15) Makoto Yabuuchi, Yasumasa Tsukamoto, Masao Morimoto, Miki Tanaka and Koji Nii, "20nm High-Density Single-Port and Dual-Port SRAMs with Wordline-Voltage-Adjustment System for Read/Write Assists," IEEE Int. Solid-State Circuits Conf. (ISSCC), Dig., Tech., Papers, pp. 234-235, Feb. 2014.
 - 16) Makoto Yabuuchi, Hidehiro Fujiwara, Yasumasa Tsukamoto, Miki Tanaka, Shinji Tanaka and Koji Nii, "A 28nm High Density 1R/1W 8T-SRAM Macro with Screening Circuitry against Read Disturb Failure," in Proc. IEEE Custom Integrated Circuits Conf. (CICC), Sep. 2013.
 - 17) Hidehiro Fujiwara, Makoto Yabuuchi, M. Morimoto, K. Tanaka, M. Tanaka, N. Maeda, Y. Tsukamoto and Koji Nii, "A 20nm 0.6V 2.1 μ W/MHz 128kb SRAM with No Half Select Issue by Interleave Wordline and Hierarchical Bitline Scheme," in IEEE VLSI Circuits Symp. Dig., June 2013.

- 18) Koji Nii, Makoto Yabuuchi, Hidehiro Fujiwara, Yasumasa Tsukamoto, Yuichiro Ishii, Tetsuya Matsumura, Yoshio Matsuda, "A cost-effective 45nm 6T-SRAM reducing 50mV V_{min} and 53% standby leakage with multi-V_t asymmetric halo MOS and write assist circuitry," in Proc. IEEE International Symposium on Quality Electronic Design (ISQED), March 2013.
- 19) Koji Nii, Yasumasa Tsukamoto, Yuichiro Ishii, Makoto Yabuuchi, Hidehiro Fujiwara and Kazuyoshi Okamoto, "A Test Screening Method for 28nm HK/MG Single-port and Dual-port SRAMs Considering with Dynamic Stability and Read/Write Disturb Issues," in Proc. IEEE Asia Test Symposium (ATS), Nov. 2012.
- 20) Hidehiro Fujiwara, Makoto Yabuuchi, Yasumasa Tsukamoto, Hirofumi Nakano, Hiroyuki Kawai, and Koji Nii, "A Stable Chip-ID Generating Physical Unccloneable Function Using Random Address Errors in SRAM," in Proc. IEEE International SOC Conf., Sep. 2012.
- 21) Yuichiro Ishii, Yasumasa Tsukamoto, Koji Nii, Hidehiro Fujiwara, Makoto Yabuuchi, Koji Tanaka, Shinji Tanaka, and Yasuhisa Shimazaki, "A 28nm 360ps-Access-Time Two-Port SRAM with a Time-Sharing Scheme to Circumvent Read Disturbs," IEEE International Solid-State Circuits Conf. (ISSCC), Dig., Tech., Papers, pp. 236-237, Feb. 2012.
- 22) Yasumasa Tsukamoto, Makoto Yabuuchi, Hidehiro Fujiwara, Koji Nii, Changhwan Shin and Tsu-Jae King Liu, "Quasi-Planar Tri-gate (QPT) Bulk CMOS Technology for Single-Port SRAM Application," in Proc. IEEE International Symposium on Quality Electronic Design (ISQED), March 2012.
- 23) Koji Nii, Makoto Yabuuchi, Hidehiro Fujiwara, Yasumasa Tsukamoto, Koji Maekawa and Motohige Igarashi, "Improving SRAM Read/Write margin with asymmetric halo MOSFET," in Proc. International Semiconductor Device Research Symposium (ISDRS), Dec. 2011.
- 24) Makoto Yabuuchi, Yasumasa Tsukamoto, Hidehiro Fujiwara, Shigeaki Tawa, Koji Maekawa, Motohige Igarashi and Koji Nii, "A Dynamic body-biased SRAM with Asymmetric Halo Implant MOSFETs," in Proc. Int. Symp. Low Power Electronics and Devices (ISLPED), Aug. 2011.
- 25) H. Fujiwara, M. Yabuuchi, H. Nakano, H. Kawai, K. Nii and K. Arimoto, "A Chip-ID Generating Circuit for Dependable LSI using Random Address Errors on Embedded SRAM and On-Chip Memory BIST," in IEEE VLSI Circuits Symp. Dig., June 2011.
- 26) Koji Nii, Makoto Yabuuchi, Hidehiro Fujiwara, Hirofumi Nakano, Kazuya Ishihara, Hiroyuki Kawai and Kazutami Arimoto, "Dependable SRAM with Enhanced Read-/Write-Margins by Fine-Grained Assist Bias Control for Low-Voltage Operation," in Proc. IEEE International SOC Conf., pp. 519-524, Sep. 2010.
- 27) K. Nii, Y. Tsukamoto, M. Yabuuchi, Y. Hirano, T. Iwamatsu and Y. Kihara, "A 0.5V 100MHz PD-SOI SRAM with Enhanced Read Stability and Write Ability by Asymmetric MOSFET," IEEE Int. Solid-State Circuits Conf. (ISSCC), Dig., Tech., Papers, pp. 356-357, Feb. 2010.
- 28) M. Yabuuchi, K. Nii, Y. Tsukamoto, S. Ohbayashi, Y. Nakase and H. Shinohara, "A 45nm

- 0.6V Cross-Point 8T SRAM with Negative Biased Read/Write Assist,” in IEEE VLSI Circuits Symp. Dig., pp. 158-159, June 2009.
- 29) K. Nii, M. Yabuuchi, Y. Tsukamoto, S. Ohbayashi, Y. Oda, K. Usui, T. Kawamura, N. Tsuboi, T. Iwasaki, K. Hashimoto, H. Makino, and H. Shinohara, “A 45-nm Single-port and Dual-port SRAM family with Robust Read/Write Stabilizing Circuitry under DVFS Environment,” in IEEE VLSI Circuits Symp. Dig., pp. 212-213, June 2008.
 - 30) S. Ishikura, M. Kurumada, T. Terano, Y. Yamagami, N. Kotani, K. Satomi, K. Nii, M. Yabuuchi, Y. Tsukamoto, S. Ohbayashi, T. Oashi, H. Makino, H. Shinohara, and H. Akamatsu, “A 45nm 2port 8T-SRAM using hierarchical replica bitline technique with immunity from simultaneous R/W access issues VLSI Circuits,” in IEEE VLSI Circuits Symp. Dig., pp. 254-255, June 2007.
 - 31) Y. Hirano, M. Tsujiuchi, K. Ishikawa, H. Shinohara, T. Terada, Y. Maki, T. Iwamatsu, K. Eikyu, T. Uchida, S. Obayashi, K. Nii, Y. Tsukamoto, M. Yabuuchi, T. Ipposhi, H. Oda, and Y. Inoue, “A Robust SOI SRAM Architecture by using Advanced ABC technology for 32nm node and beyond LSTP devices,” in IEEE VLSI Technology Symp. Dig., pp. 78-79, June 2007.
 - 32) M. Yabuuchi, K. Nii, Y. Tsukamoto, S. Ohbayashi, S. Imaoka, H. Makino, Y. Yamagami, S. Ishikura, T. Terano, T. Oashi, K. Hashimoto, A. Sebe, G. Okazaki, K. Satomi, H. Akamatsu, and H. Shinohara, “A 45nm Low-Standby-Power Embedded SRAM with Improved Immunity Against Process and Temperature Variations,” in IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, pp. 326-327, 606, Feb. 2007.
 - 33) S. Ohbayashi, M. Yabuuchi, K. Kono, Y. Oda, S. Imaoka, K. Usui, T. Yonezu, T. Iwamoto, K. Nii, Y. Tsukamoto, M. Arakawa, T. Uchida, M. Okada, A. Ishii, H. Makino, K. Ishibashi, H. Shinohara, “A 65nm Embedded SRAM with Wafer-Level Burn-In Mode, Leak-Bit Redundancy and E-Trim Fuse for Known Good Die,” in IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, pp. 488-489, 617, Feb. 2007.
 - 34) K. Nii, Y. Masuda, M. Yabuuchi, Y. Tsukamoto, S. Ohbayashi, S. Imaoka, M. Igarashi, K. Tomita, N. Tsuboi, H. Makino, K. Ishibashi, H. Shinohara, “A 65 nm Ultra-High-Density Dual-Port SRAM with $0.71\mu\text{m}^2$ 8T-Cell for SoC,” in Symposium on VLSI Circuits Digest of Technical Papers, pp. 130-131, June 2006.
 - 35) S. Ohbayashi, M. Yabuuchi, K. Nii, Y. Tsukamoto, S. Imaoka, Y. Oda, M. Igarashi, M. Takeuchi, H. Kawashima, H. Makino, Y. Yamaguchi, K. Tsukamoto, M. Inuishi, K. Ishibashi, and H. Shinohara, “A 65 nm SoC Embedded 6T-SRAM Design for Manufacturing with Read and Write Cell Stabilizing Circuits VLSI Circuits,” in VLSI Circuits Symp. Dig., pp. 20-21, June 2006.

特許出願

United States Patents

- 1) US7570525 Semiconductor memory device with adjustable selected work line potential under low voltage condition
- 2) US7602654 Semiconductor memory device comprising a plurality of static memory cells
- 3) US8547723 Semiconductor device
- 4) US8659969 Semiconductor device
- 5) US8908418 Semiconductor device
- 6) US9349438 Semiconductor storage device
- 7) US9443575 Semiconductor memory
- 8) US9449715 Semiconductor device having capability of generating chip identification information
- 9) US9455022 Semiconductor integrated circuit device
- 10) US9508419 Semiconductor storage device and test method thereof using a common bit line
- 11) US9685205 Semiconductor device
- 12) US9697886 Semiconductor storage device
- 13) US9812435 Semiconductor device

日本成立特許

- 1) 特開 2016-207248 半導体装置およびS R A Mモジュール
- 2) 特開 2015-172995 半導体装置
- 3) 特開 2015-072728 半導体メモリ
- 4) 特開 2015-060611 半導体記憶装置及びそのテスト方法
- 5) W O 13/018156 半導体装置およびその製造方法
- 6) 特開 2015-026408 半導体集積回路装置
- 7) 特開 2014-160536 半導体装置
- 8) 特開 2014-053064 半導体装置
- 9) 特開 2013-069372 半導体装置
- 10) 特開 2012-185882 半導体装置
- 11) 特開 2012-053981 半導体記憶装置
- 12) 特開 2012-043517 半導体装置
- 13) 特開 2008-065968 半導体記憶装置
- 14) 特開 2007-066493 半導体記憶装置

謝辞

本論文をまとめるにあたり、終始ご懇切なるご指導とご討論を賜った金沢大学大学院自然科学研究科 新居浩二教授に衷心より御礼の言葉を申し上げます。

また、本論文の作成にあたり、ご懇篤なるご指導とご高配を賜った金沢大学大学院自然科学研究科 野田英行准教授に厚く御礼申し上げます。

また、本論文の作成にあたり、数々のご鞭撻とご教示を賜った金沢大学大学院自然科学研究科 松田吉雄教授、岡山県立大学 有本和民教授に厚くお礼申し上げます。

本研究の遂行にあたり、終始ご懇切なるご教示とご鞭撻を賜り、また研究の機会を与えていただいたルネサスエレクトロニクス株式会社インダストリアルソリューション事業本部共通技術開発第一統括部長 近藤弘郁氏、同 設計基盤技術開発第一部 松嶋史博氏、同 インダストリアルソリューション事業本部共通技術開発第一統括部 シニアディレクター 島崎靖久博士、同 オートモーティブソリューション事業本部車載制御プロジェクトマネジメント統括部長 山内忠昭博士、並びに元ルネサスエレクトロニクス篠原尋史博士、同 牧野博之博士に厚くお礼申し上げます。

そして、本研究の数々の分析、解析、議論にご協力いただいたルネサスエレクトロニクス株式会社インダストリアルソリューション事業本部共通技術開発第一統括部 設計基盤技術開発第一部第三課 田中信二氏、同 石井雄一郎氏、同 森本薫夫博士、同 澤田陽平氏、同第一課 塚本康正博士、同第四課 横山佳巧氏、同 オートモーティブソリューション事業本部車載開発統括部テスト・インテグ技術部テストプラットフォーム技術第四課 田中浩司氏、同 田中美紀氏、同 インダストリアルソリューション事業本部ホームソリューション事業部エネルギーハーベストソリューション部 蒲原史朗博士、同 生産本部デバイス開発統括部先端デバイス開発部共通基盤技術課 新川田裕樹氏、同 山本芳樹氏、同 長谷川拓実氏、日本システムウェア株式会社 篠崎義弘氏、元ルネサスエレクトロニクス株式会社 大林茂樹博士、同 前田徳章氏、同 藤原英弘博士、大王電機株式会社 臼井啓一氏に心より感謝します。

末筆ながら本研究の期間中終始有益なご討論と協力を頂いたルネサスエレクトロニクス株式会社インダストリアルソリューション事業本部共通技術開発第一統括部の各位に心から感謝いたします。