

擬似的な不規則画素配置を持つCMOSイメージセンサの試作と基礎的評価

Design and Preliminary Evaluation of CMOS Image Sensor with Pseudorandom Pixel Placement

正会員 秋田 純一[†], 前田 唯[†]

Junichi Akita[†] and Yui Maeda[†]

Abstract Pixels in conventional imaging systems are located in lattice sites, and this lattice placement of pixels causes jaggy artifacts in the image, especially at the edges of slanted lines with high-intensity contrast, which often results in severe defects in the image quality. The conventional approaches to overcoming this problem of jaggedness are to increase the number of pixels and to use anti-aliasing. However, the number of pixels is limited by the physical pixel size and the quantity of image information, while anti-aliasing intrinsically causes blurred images. The authors have been researching and evaluating image systems with pseudorandom pixel placement to reduce the effects of jaggy artifacts. We describe here the design of an image sensor that contains pixels with both pseudorandom and conventional lattice placement using an identical active pixel sensor (APS) pixel circuit. We also describe the preliminary experimental results obtained by testing the fabricated image sensors.

キーワード：CMOS イメージセンサ, ジャギー, 擬似的不規則画素配置, 画像のきれいさ

1. ま え が き

カメラとディスプレイから構成される画像システムの究極の目標は、高精細な映像、すなわち「我々人間にとってきれいに見える映像」の表現ということができる。しかし通常のカメラやディスプレイの画素は、正方格子状などの規則的な形状に配置されるため、特に水平に近い斜め線などのエッジ部分において、階段状のジャギーが生じることが避けられない。このジャギーは複数の画素から構成されるため、ジャギーの段の部分はより知覚されやすく、画像の精細さを損なう要因となりうる。

著者らはこれまでに、画像システムの画素の配置を擬似的に不規則とすることで、ジャギーの目立ちやすさを低減する手法を提案し、その実装方法と光学特性の評価を行ってきた^{1)~3)}。本論文では、擬似的な不規則と正方格子状の両者の画素配置をもつ CMOS イメージセンサを設計・試作した結果と、それによる撮像特性の基礎的な評価について述べる。

2. 画素の配置の擬似的な不規則化とジャギー

映像を構成する画素の中で、撮像素子の受光領域やディスプレイの発光領域などの実質的に映像を構成する領域（以下、これらを有効領域と呼ぶ）は、回路構成上、画素全体を占めることはできない。そこで図 1(a) のように、有効領域（画素内の黒い正方形領域）の位置のみが異なり、回路特性や周辺の電極配置などが同一の 4 種類の画素を考える。このうちの 1 種類の画素のみを順に配置すると、図 1(b) のような通常の正方格子状の規則的な画素配置が得られる。一方、4 種類の画素を無作為に選んで順に配置すると、図 1(c) のように擬似的に不規則な有効領域の配置が得られるが、この擬似的な不規則画素配置では、正方格子状の画素配置において斜め線のエッジ部分に現れる階段状のジャギーが目立たなくなっていることがわかる。なお有効領域の位置が異なる 4 種類以上の画素を用いる場合でもジャギー解消効果はほぼ同一であることが示されている¹⁾ ため、以下では 4 種類の画素のみを考える。

擬似的な不規則画素配置では、画素サイズ程度の細かいエッジの凹凸が生じるが、画素サイズが視覚系の知覚限界⁴⁾ よりも小さければ、このゆらぎは知覚されずに滑らかに「見える」ことになる。一方、正方格子状の画素配置によって生じるジャギーの段差は、水平部分を構成する複数の画素と、1 個の段差を構成する画素によって生じるが、この 1 個

2009 年 11 月 30 日受付, 2010 年 1 月 27 日再受付, 2010 年 1 月 27 日採録

[†] 金沢大学 大学院 自然科学研究科

(〒 920-1192 石川県金沢市角間町, 076-234-4864)

[†] Kanazawa University

(Kakuma, Kanazawa, Ishikawa 920-1192, Japan)

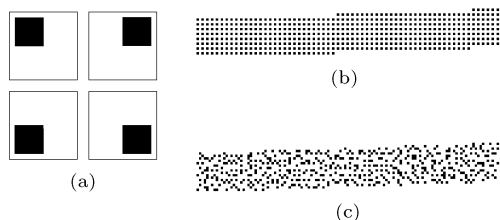


図 1 4 種類の画素 (a) と, (b) 正方格子状画素配置と (c) 擬似的な不規則画素配置の両者による斜め線表現の例
Four types of pixels(a) and the representations of a slant line using (b)the lattice and (c)the pseudorandom pixel placements, respectively.

の段差が生じる空間的な周期は、画素サイズの縮小によっても知覚系の知覚限界より小さくはなりにくく、また視覚系の知覚特性から、このように縮小された画素サイズにおいても、段差を構成する画素は「目立つ」ため、正方格子状の画素配置では、画素サイズの縮小によってもジャギーの本質的な解消は困難である。

なおこのジャギーの影響を低減する方法として、画素の輝度を段階的に変化させるアンチエイリアシングなどの手法もあるが、エッジ部分のぼけや、斜め線の方によってエッジの現れ具合が変わるなどの影響が避けられない。擬似的な不規則画素配置は、ジャギー低減の効果が斜め線の方に依存しないという特徴があり、また有効領域の位置と対象物体のエッジとの位置関係によって画素の輝度を決定することで、輝度変化を用いるアンチエイリアシング手法と併用することも可能である。

3. 擬似的な不規則画素配置をもつ CMOS イメージセンサの設計

設計した CMOS イメージセンサの全体構成を図 2(a) に示す。画素回路は一般的な 3Tr 型 APS の構成をとるが、擬似的な不規則画素配置をもつ CMOS イメージセンサには、受光領域の位置のみが異なり、電源 (VDD)、行リセット (RST)、行選択 (ROW)、列データ線 (Dcol) の接続端子の位置が同一である 4 種類の画素回路が必要となる。画素と受光領域のサイズをそれぞれ $10\mu\text{m}$ 角、 $5\mu\text{m}$ 角として設計した画素回路のレイアウトを図 2(b) に示す。なお受光素子であるフォトダイオードには Psub-Nwell 型を用いた。

これらの画素回路を用いて、 128×64 個の画素のそれぞれを、乱数によって 4 種類の画素回路から選ぶことによって作成した擬似的な不規則画素配置の画素平面と、受光素子が左上にある画素回路のみを 128×64 個配置した正方格子状画素配置の画素平面の両者を作成し、両者に対して共通の行リセット、行選択、列選択の各デコーダを接続し、全体の出力信号に対してボルテージフォロアによる出力バッファを接続して、CMOS イメージセンサを構成した。なお今回は相関二重サンプリングの回路をイメージセンサ内に設けず、出力信号の A/D 変換後にデジタル的に行う仕

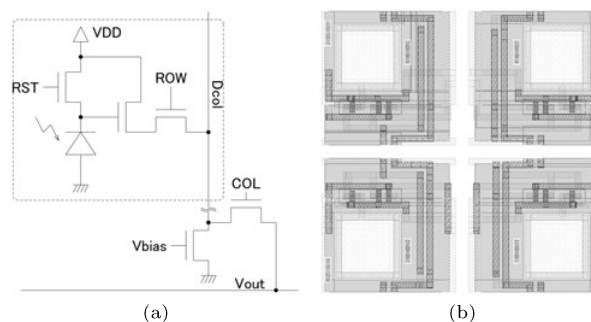


図 2 設計した CMOS イメージセンサの全体構成 (a) と、設計した受光領域の位置が異なる 4 種類の画素回路のレイアウト (b)

Circuit architecture of the designed CMOS image sensor(a) and four types of the pixel circuit layouts(b).

表 1 試作した CMOS イメージセンサの緒元
Specifications of the fabricated CMOS image sensor.

製造プロセス	標準 CMOS $0.18\mu\text{m}$, 5M1P
画素数	128×128 (128×64 : 正方格子状画素配置) (128×64 : 擬似的な不規則画素配置)
画素サイズ	$10[\mu\text{m}] \times 10[\mu\text{m}]$
開口率	25[%]
電源電圧	3.3[V]
変換効率 η	$64[\mu\text{V}/e^-]$
光感度	$6.93 [\text{V}/\text{s} \cdot \text{lx}]$

様とする。

試作したこの CMOS イメージセンサ*のチップ写真を図 3(a) に、また擬似的な不規則画素配置部分と、正方格子状画素配置部分の両者の 10×10 画素分の拡大写真をそれぞれ図 3(b)、図 3(c) に示す。

4. 擬似的な不規則画素配置をもつ CMOS イメージセンサの評価

試作した CMOS イメージセンサに 8 ビット A/D コンバータと FPGA からなる制御回路を接続し、評価システムを構築した。試作した CMOS イメージセンサの緒元を表 1 に示す。この結果では、得られた光感度が極めて低いものとなったが、これは用いたフォトダイオードの構造が Psub-Nwell 型であるために、PN 接合が非常に浅い部分に形成されていることが主な原因であると考えられる。

続いて、試作した CMOS イメージセンサを用いて、被写体として“A”の文字型に光が透過するように切り取った厚紙を蛍光灯にかぶせたものを撮影した結果を図 4 に示す。なお図 4 の取得画像では、CMOS イメージセンサ側の受光領域の配置を近似するため、 2×2 個の表示画素を単位として、その中の CMOS イメージセンサの各画素の受光領域の位置に対応する 1 個の表示画素のみを、CMOS イメージセンサから得られた各画素の輝度に応じた輝度としている。この表現方法は、試作した CMOS イメージセンサと同一の有効領域配置をもつディスプレイによる表示を模擬する

* 本チップ試作は東京大学大規模集積システム設計教育研究センターを通して ローム (株) および凸版印刷 (株) の協力で行われたものである。

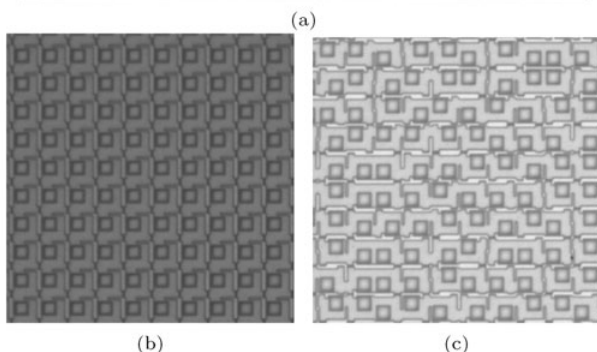
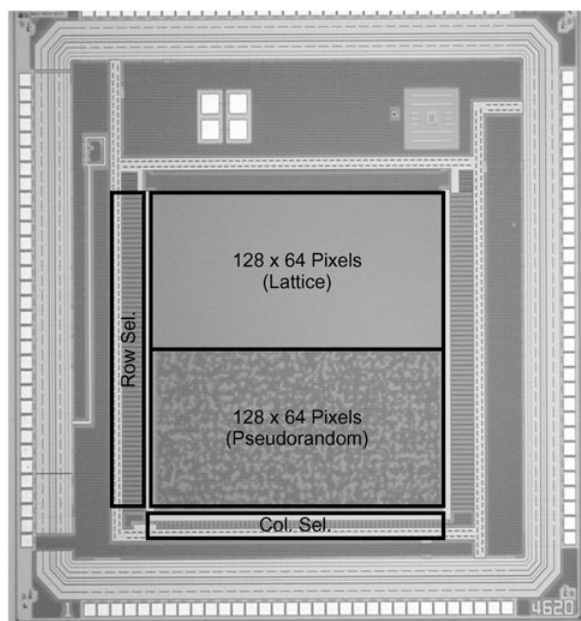


図 3 試作した CMOS イメージセンサのチップ写真 (a) と、(b) 正方格子状画素配置領域、(c) 擬似的な不規則画素配置領域のそれぞれの拡大図

Photograph of the fabricated CMOS image sensor(a) and the magnified photograph for (b)the lattice and (c)the pseudorandom pixel areas, respectively.

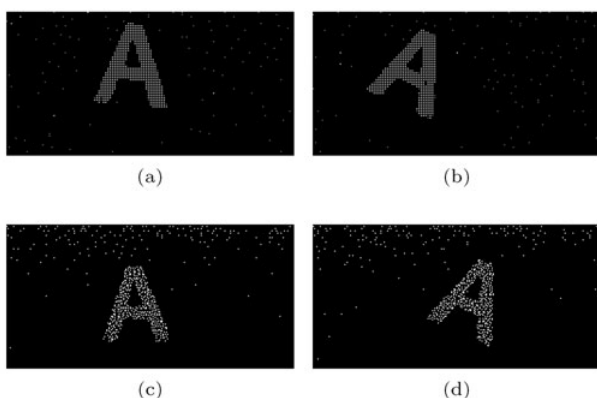


図 4 正方格子状画素配置領域 (a)(b)、擬似的な不規則画素配置領域 (c)(d) のそれぞれから取得された画像

Captured images by the lattice(a)(b) and the pseudorandom(c)(d) pixels area.

ものであるが、このようなディスプレイでは画素内の有効領域の縮小を伴うため、表現される画像の鮮やかさの観点からの検討を今後行う予定である。なお擬似的な不規則画素配置をもつ撮像素子によって得られた画像を正方格子状画素配置をもつ表示素子によって表示した場合でも、ある程度のジャギー低減効果があることが示されている³⁾。

試作した CMOS イメージセンサの光感度が極めて低いために明瞭な画像は取得できていないが、正方格子状画素配置領域から得られた画像 (図 4(a)) においては、被写体の “A” の斜め部分のエッジにおいてジャギーが発生しており、また被写体を回転させた画像 (図 4(b)) においては、そのジャギーの現れる場所・度合いが変化していることが確認できる。また擬似的な不規則画素配置領域から得られた画像 (図 4(c), (d)) においては、被写体の回転によってジャギーの現れ方に大きな差がないことが確認できる。

5. む す び

本論文では、通常の撮像素子において画質を損なう要因となりうる、斜め線のエッジ部分におけるジャギーを解消することを目的とし、擬似的な不規則画素配置を持つ CMOS イメージセンサと、その比較対象として通常の正方格子状の画素配置を持つ CMOS イメージセンサの両者の設計と試作、評価を行った結果について述べた。

試作された CMOS イメージセンサの光感度は極めて低い値となったが、これは Psub-DeepNwell 構造のフォトダイオードを用いることで、改善できることが見込まれる。また実際に得られた画像からは、正方格子状画素配置において現れるエッジ部分のジャギーと、その現れ方の被写体の傾きに対する依存性が、擬似的な不規則画素配置では低減されていることが確認された。

〔文 献〕

- 1) 秋田純一他：“擬似的な不規則画素配置をもつ方向特異性のない撮像・表示素子構成の基礎検討,” 映像学誌, **60**, 7, pp.1068-1071 (Jul. 2006)
- 2) J.Akita, “CMOS image sensor with pseudorandom pixel placement,” IEICE Electronics Express, **5**, 10, pp.388-393 (May 2008)
- 3) 米田智弘他：“擬似的な不規則画素配置をもつ撮像素子の空間的サンプリング特性,” 映像技報, **31**, 60, pp.53-56 (Jan. 2007)
- 4) 大頭仁他, “年齢による時空間周波数特性の変化,” 日本眼光学誌, **8**, 1, pp.32-41 (Jan. 1987)



あきた じゅんいち
秋田 純一 1998 年, 東京大学大学院工学系研究科電子情報工学専攻博士課程修了。1998 年, 金沢大学工学部助手。2000 年, 公立はこだて未来大学システム情報科学部講師。2004 年, 金沢大学大学院自然科学研究科講師。2007 年, 同准教授。博士 (工学)。高機能イメージセンサとその応用システム, 特にインタラクティブシステムに関する研究に従事。正会員。



まえだ ゆい
前田 唯 2009 年, 金沢大学工学部卒業。現在, 同大学院自然科学研究科電子情報工学専攻博士前期課程在学中。高精細画像システムに関する研究に従事。