

抵抗網中の電位分布の局所性を用いた高速重心検出回路

著者	渡辺 晃, 高瀬 信二, 遠山 治, 秋田 純一
雑誌名	電子情報通信学会論文誌. C, エレクトロニクス
巻	J84-C
号	1
ページ	46-50
発行年	2001-01-01
URL	http://hdl.handle.net/2297/5622

抵抗網中の電位分布の局所性を用いた高速重心検出回路

渡辺 晃[†] 高瀬 信二[†] 遠山 治[†] 秋田 純一[†]

Fast Centroid Detection Circuit using Voltage Distribution in Resistive Network

Akira WATANABE[†], Shinji TAKASE[†], Osamu TOOYAMA[†], and Junichi AKITA[†]

あらまし 二次元の画像情報をもとに物体認識を行うには、画像データを一旦メモリに格納しそれに対して逐次処理を行うのが一般的である。しかし、画素数が増加するにつれて処理時間が膨大になるために、高速な処理が要求されるアプリケーションにおいてはその処理時間がしばしば大きな問題となる。本論文では、光電流が抵抗網に流れ込むことによって現れる電位分布の極大値を検出することにより、高速に物体の重心およびおおまかな大きさを検出する機能を持つ処理回路を提案する。この方法では抵抗網中に現れる電位分布を利用した画素並列処理を用いているため、画素数が増加しても原理的には処理時間の極端な増加は起こらないと考えられる。構成した回路に対して HSPICE による回路シミュレーションを行った結果、画素数 23×23 に対して約 $50 \mu\text{sec}$ の処理時間で重心検出を行えることを確認した。

キーワード イメージセンサ, 重心検出, 抵抗網, 電位分布, 画素並列処理

1. まえがき

画像中の物体認識といった画像処理を行うシステムの流れとして、撮像素子から得られた画像情報をメモリに一旦転送しそのデータをソフトウェアあるいはハードウェアで逐次的に処理する方法が現在のところ主流となっている。画像情報をメモリに転送するための撮像素子には CCD(Charge Coupled Device) がよく用いられる。これは二次元の光信号を走査して一次元の時間軸上の電気信号に変換する素子であり、これにより画像処理システムは急速に発展してきた。ところが近年の画像の高解像度化やフレーム数の増加に伴う画像の情報量の急激な増加により、ロボットビジョンのように超高速な処理が要求されるアプリケーションにおいては、膨大な量の画像データをメモリに転送する時間およびそのデータの処理時間が大きな問題となってきている。

これらの問題を解決する一つの方法として、スマートセンサと呼ばれる回路が広く研究されている [1], [2]。これは受光回路と処理回路を同一のチップに集積した

もので、画素単位に受光素子と処理回路を配置することで画素単位の並列処理によって高速な画像処理を実現でき、またシステムの小型化などの利点もある。しかし処理回路部分が大規模になると多くの画素を集積できず、結果として解像度が上がらないため、一般にはノイズ除去など画像処理の前処理を対象としたものが広く研究されている。

本論文では、画像中の領域の重心およびおおまかな面積をアナログ抵抗網を用いた比較的簡単な回路で高速に検出するための回路構成を提案する。そして提案した回路を受光素子とともに集積しスマートセンサとして実現する。また構成したスマートセンサが高速処理を要求するアプリケーションに対して十分高速に動作することを示す。

2. アルゴリズム

2.1 電位分布の局所性

ここでは抵抗網中の電位分布の局所性について述べるが、簡単のために一次元のモデルで考えることにする。

図 1 に示すように、無限に長いはしご形に接続された垂直抵抗、水平抵抗からなる回路網において、この抵抗網の各節点に受光素子から光電流が流れ込むような回路構成を考える。ある節点に電流が流れ込む

[†] 金沢大学工学部 電気・情報工学科
Department of Electrical and Computer Engineering,
Kanazawa University, Kodatsuno 2-40-20, Kanazawa-shi,
920-8667 Japan

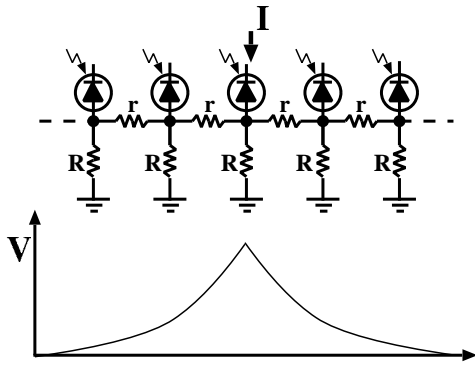


図1 抵抗網中における電位分布 (一次元モデル)
Fig.1 Voltage distribution in resistive network(1-D model).

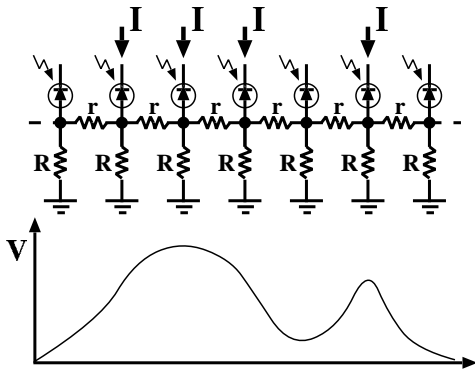


図2 領域が存在する場合の電位分布 (一次元モデル)
Fig.2 Voltage distribution which has regions(1-D model).

と、図に示すようにその節点の電位を極大点とした電位分布が得られる。この分布においては空間的に近くにある入力の影響は大きく、遠くにある入力の影響は小さい[3] ため、受光領域の重心に相当する節点の電位が極大となる。また図2に示すように、電流の重ね合わせにより領域が複数あればその数だけ極大点が存在することになる。

この極大点を検出することにより、抵抗網中の光電流に対応した領域の重心の位置を知ることができる。また、広い領域ほど極大点の電位は高いので、これに着目すれば大きさもある程度検出できると考えられる。

2.2 極大点の検出

前節では領域の重心が電位分布の極大点に対応することを示した。ここではその極大点の検出方法について述べる。

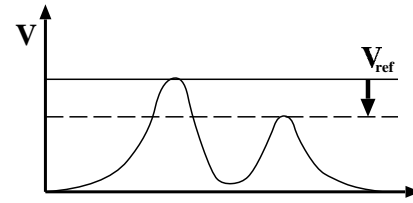


図3 参照電位
Fig.3 Reference voltage.

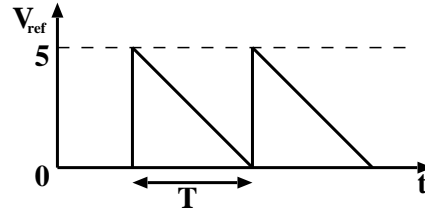


図4 参照電位の波形
Fig.4 Waveform of reference voltage.

て述べる。

二次元抵抗網中において電位の極大となる節点では、隣接する他の節点よりも電位が高くなっている。したがって i 行 j 列目の画素に対応する電位を $V_{i,j}$ とすると、4近傍法では以下の条件を満たすとき座標 (i,j) の画素は極大点であるといえる。

$$V_{i,j} > V_{i,j\pm 1}, V_{i\pm 1,j} \quad (1)$$

これを検出するために、図3に示すような参照電位 V_{ref} を用意し、次第に減少させていくことを考える。時間軸に対して表現すると、 V_{ref} は図4に示されるような周期 T をもつこぎり波となる。各節点の電位とこの参照電位とを比較器を用いて比較すれば、電位の高い節点に接続された比較器から順に出力を得ることができる。これらの出力から極大点を検出するための回路として、節点および隣接画素の比較器の出力から式(1)に基づいて極大点を判定する、つまりある節点の比較器の出力が1で近傍の4出力がいずれも0の場合のみ極大であると判定し、それ以外は極大でない判定する論理回路を設ける。これらの構成により電位分布の極大点を電位の高い順に出力することができる。

3. 回路構成

以上の原理に基づいた全体の回路構成および単位画

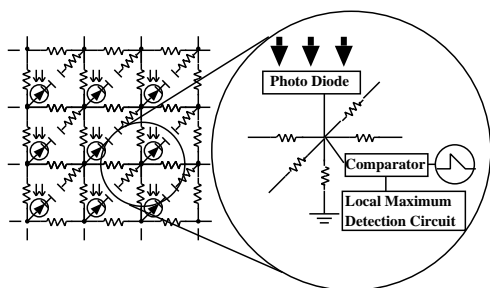


図 5 全体の構成 / 単位画素の構成
Fig. 5 Structure of whole circuit. / Structure of unit pixel.

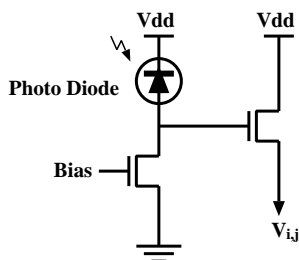


図 6 入力部の構成
Fig. 6 Structure of input unit.

素の構成を図 5 に示す。

3.1 受光部

光電流を得るための受光素子としてフォトダイオードを用いる。これは n -well に p 拡散を行うことで実現できるが、光電流は微小なためにこれをそのまま抵抗網の節点に接続して用いるのは困難である。そこで簡単な増幅回路を利用して光電流の増幅を行った。図 6 に入力部の構成を示す。スマートセンサとして構成する場合はこのような構成にするのが一般的であるが、抵抗網の並列性を活かした処理回路としてのみ用いるのであればフリップフロップを設けて CCD からのデータをシリアルに inputs してもよい。

3.2 比較器

いわゆる差動増幅回路であり、参照電位 V_{ref} と節点の電位 $V_{i,j}$ とを入力として比較し、その判定結果を出力する。

3.3 極大点判定回路

近傍の比較器の出力の組合せから極大点を判定し重心を表すフラグを出力する論理回路である。この回路はある節点の比較器の出力が 1 で近傍の 4 出力がいずれも 0 の場合のみ極大であると判定し、それ以外は極大でないと判定する。これを真理値表で表すと表

表 1 極大点判定回路の真理値表

Table 1 Truth table of local maximum detection circuit.

(i,j)	$(i-1,j)$	$(i+1,j)$	$(i,j-1)$	$(i,j+1)$	Q
1	0	0	0	0	1
1	0	0	0	1	0
1	0	0	1	0	0
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	0	1	0
1	0	1	1	0	0
1	0	1	1	1	0
1	1	0	0	0	0
1	1	0	0	1	0
1	1	0	1	0	0
1	1	0	1	1	0
1	1	1	0	0	0
1	1	1	0	1	0
1	1	1	1	0	0
1	1	1	1	1	0
0	*	*	*	*	0

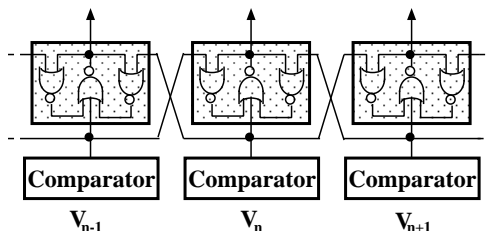


図 7 極大点判定回路の構成
Fig. 7 Structure of local maximum detection circuit.

1 のようになり、回路図の一次元モデルで表すと図 7 のようになる。

4. 回路の評価

以上の構成について、HSPICE による回路シミュレーションを行った。画素数 23×23 について、簡単なサンプル画像を用いてシミュレーションを行った結果を図 8 に示す。これは、入力として図中に黒く示した領域に光を当てたときの抵抗網の各節点の電位分布を表したものであり、それぞれの領域の重心付近の電位が極大になっていることがわかる。また、検出した重心を図中に○印で示すが、重心を表すフラグが順に正しく出力されることを確認した。

また、本回路について CAD を用いてレイアウト設計を行った。用いたテクノロジーは、ローム CMOS $0.6\mu\text{m}$ ルール、チップサイズ 4.5mm 角、3 層金属配線である。全体のレイアウトを図 9 に示す。受光部以外に光が照射されるのを防ぐために、3 層目の金属に

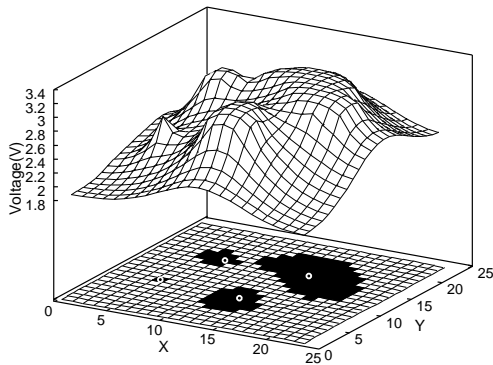


図8 シミュレーション結果
Fig.8 Results of simulation.

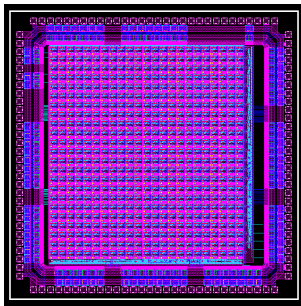


図9 チップのレイアウト
Fig.9 Chip layout.

よりシールドを施している。総画素数は 23×23 pixel, 総トランジスタ数は 69,575 個, 開口率は 5.7% であった。

本回路の動作速度は比較器の精度により決定されるが, 参照電位の周期を $50\mu\text{s}$ として動作を確認した。これは 1 秒間に約 20,000 のフレームを処理できることを示している。

5. むすび

二次元抵抗網中の電位分布の局所性を利用して領域の重心検出を高速に行う処理回路をスマートセンサとして構成し, その設計を行った。極大点の検出には参照電位を徐々に下げて比較する方法を用いた。HSPICE による回路シミュレーションを行った結果, 画素数 23×23 に対して約 $50\mu\text{sec}$ の処理時間で重心検出を行えることを確認した。また, 同時におおまかな大きさの検出も行えることを確認した。今回設計した回路の画素数は 23×23 であったが画素数を増やした場合でも, 並列に動作するため原理的には処理時間の極端な増加は起こらないと期待でき, 超高速の処理

が行える。

謝辞 本研究を行うにあたって御協力頂いた(株)ローム, VDEC および関係者の皆様に感謝致します。

文 献

- [1] J.E.Eklued et al., "Global Feature Extraction Operations for Near-Sensor Image Processing," IEEE Trans. Image Processing, Vol.5, No.1, pp.102-110, Jan. 1996.
- [2] W.Bair & C.Koch, "Real-time motion detection using an analog VLSI zero crossing chip," Proc. SPICE, Visual Information Processing: From Neurons to Chip, Vol.1473, pp.59-65, 1991.
- [3] C.Mead, "Analog VLSI and Neural Systems," 1989.
- [4] D.A.Johns and K.Martin, "Analog Integrated Circuit Design," 1997.

(平成年月日受付, 月日再受付)

渡辺 晃 (学生員)

平 11 金沢大・工・電気情報卒。現在同大学院自然科学研究科電子情報システム専攻博士前期課程在学中。視覚情報処理およびその集積回路での実現に興味を持つ。

高瀬 信二 (学生員)

平 10 金沢大・工・電気情報卒。現在同大学院自然科学研究科電子情報システム専攻博士前期課程在学中。

遠山 治

金沢大・工・電気情報工学科在学中。

秋田 純一 (正員)

平 5 東大・電子卒。平 10 同大学院工学系研究科電子情報工学専攻博士課程修了。博士(工学)。現在, 金沢大学工学部電気情報工学科助手。視覚系の機能を持つ画像処理系とその集積回路での構成, およびそのロボットへの応用に関する研究に従事。電子情報通信学会。

情報処理学会，人工知能学会，日本ロボット学会各会員.