

リーク電力を考慮した周波数-電圧協調制御型プロセッサの 消費電力最小化スケジューリング

川上健太郎[†] 金森美和子[†] 森田 泰弘[†] 竹村 淳[†] 深山 正幸^{††}
吉本 雅彦^{†††}

[†] 金沢大学大学院自然科学研究科 〒 920-8667 石川県金沢市小立野 2-40-20

^{††} 金沢大学自然計測応用研究センター 〒 920-8667 石川県金沢市小立野 2-40-20

^{†††} 神戸大学工学部 〒 657-8501 神戸市灘区六甲台町 1-1

E-mail: †{kawakami,miwako,y-morita,takemura}@mics.ee.t.kanazawa-u.ac.jp

あらまし 携帯電話などのバッテリー駆動型機器に搭載される CPU で、高いピーク処理性能と低消費電力特性を両立する方法として動的動作周波数/電圧協調制御型プロセッサが提案されている。このプロセッサは、アプリケーションソフトウェアが必要とする処理性能に応じて CPU の動作周波数を変更し、このとき動作電圧やしきい値電圧を同時に制御することでダイナミック電力やリーク電流による消費電力を効果的に削減し、低消費電力を実現する。この CPU を用いて、ある制限時間であるサイクル数の演算を実現する動作周波数スケジューリングは無数に存在するが、本稿では、これらのスケジューリング方法の中で、消費エネルギーを最小とするスケジューリング方法は一意に決定されることを証明する。

キーワード 低消費電力, 周波数スケジューリング, dynamic voltage scaling (DVS), adaptive body biasing, Vdd-hopping, Vth-hopping

Power-Minimum Frequency/Voltage Cooperative Management Method in Sub-decimicron Era

Kentaro KAWAKAMI[†], Miwako KANAMORI[†], Yasuhiro MORITA[†], Jun TAKEMURA[†],
Masayuki MIYAMA^{††}, and Masahiko MOSHIMOTO^{†††}

[†] Graduate School of Natural Science and Technology, Kanazawa University Kodatsuno, 2-40-20,
Kanazawa-shi, Ishikawa, 920-8667 Japan

^{††} Institute for Nature and Environmental Technology, Kanazawa University Kodatsuno, 2-40-20,
Kanazawa-shi, Ishikawa, 920-8667 Japan

^{†††} Faculty of Engineering, Kobe University 1-1 Rokkodai-cho, Nada-ku, Kobe, Hyogo, 657-8501 Japan
E-mail: †{kawakami,miwako,y-morita,takemura}@mics.ee.t.kanazawa-u.ac.jp

Abstract To achieve both of a high peak performance and low average power characteristics, frequency-voltage cooperative control processor has been proposed. Frequency-voltage cooperative control processor schedules its operating frequency according to the required computation power. Its operating voltage or threshold voltage is adequately modulated simultaneously to effectively cut down either switching current or leakage current, and it results in reduction of total power dissipation of the processor. Since a frequency-voltage cooperative control processor has two or more operating frequencies, there are countless scheduling methods exist to realize a certain number of cycles by deadline time. This paper proves two important theorems for frequency-voltage cooperative control processor, which give the power-minimum frequency scheduling method for any types of frequency-voltage cooperative control processor.

Key words low power, frequency scheduling, dynamic voltage scaling (DVS), adaptive body biasing, Vdd-hopping, Vth-hopping

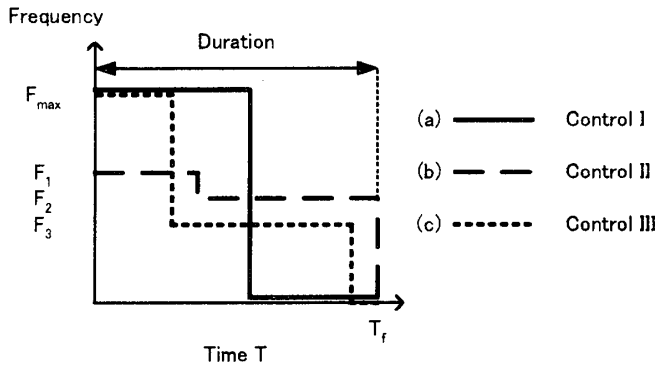


図1 一定サイクル数を実現する動作周波数スケジューリング

1. まえがき

携帯情報端末応用のプロセッサなどにおいて、高いピーク処理性能と低消費電力特性を両立する手法として、動的動作周波数/電圧協調制御型プロセッサ(以降、動的協調制御型プロセッサと略す)が提案されている。動的協調制御型プロセッサは、アプリケーションソフトウェアが必要とする処理性能に応じてCPUの動作周波数を変更し、このとき動作電圧やしきい値電圧を同時に制御することでダイナミック電力やリーク電流による消費電力を効果的に削減し、低消費電力を実現する。動的協調制御型プロセッサとして、ダイナミック電力を削減することができる動作電圧制御型[1][2]、リーク電流による電力を削減することができるしきい値電圧制御型[3]、ダイナミック電力とリーク電流による電力の両方を削減することができる動作電圧しきい値電圧制御型[4]が提案されている。

動的協調制御型プロセッサは複数の動作周波数を持つため、ハードリアルタイムシステムなどで要求される「定められた締切時刻までにあるサイクル数の演算を実現する」スケジューリング方法として図1に示すように無数の方法が存在する。図1において、Control I, II, IIIはいずれも時間 T_f の間に同じサイクル数の演算を実現するスケジューリングである。

本稿では、さまざまなリーク電流による消費電力が顕在化してくるサブデシムロン時代の動的協調制御型プロセッサにおいて、消費エネルギーを最小とする動作周波数スケジューリング方法を与える定理を証明する。

2. 動的協調制御型プロセッサ

2.1 動的協調制御型プロセッサの概念

LSIの最大動作周波数 f_{max} は式(1)によってモデル化されることが知られている[5]。

$$f_{max} = \frac{(V_{dd} - V_{th})^a}{kV_{dd}} \quad (1)$$

ここで、 k と a はプロセステクノロジーによって決定される定数であり、 a は $1 < a \leq 2$ を満たす。

一方、LSIの消費電力 P は、式(2)–(5)に示されるように3つの成分、充放電電流による電力 P_{dy} 、貫通電流による電力 P_{sc} 、リーク電流による電力 P_{leak} からなる。

$$P = P_{dy} + P_{sc} + P_{leak} \quad (2)$$

$$P_{dy} = CfV_{dd}^2 \quad (3)$$

$$P_{sc} = \frac{\beta}{12}(V_{dd} - 2V_{th})^3 \frac{\tau}{T} \quad (4)$$

$$P_{leak} = V_{dd}I_0 \exp\left(\frac{-V_t}{S}\ln(10)\right) \quad (5)$$

ここで、 C : 定数、 f : 動作周波数、 V_{dd} : 動作電圧、 V_{th} : しきい値電圧、 β : MOSトランジスタの利得係数 ($\mu\text{A}/\text{V}^2$)、 τ : 立ち上がり/立ち下がり時間、 $T: T = 1/f$ 、 S : サブスレッショルドスロープである。

式(1)は、プロセッサの動作周波数を大きくするとき、動作電圧 V_{dd} を拡大、もしくは、しきい値電圧 V_{th} を縮小しなければならないことを意味する。式(3)–(5)より、 V_{dd} の拡大や V_{th} の縮小は P_{dy} , P_{sc} , P_{leak} それぞれの増加を引き起こす。逆にプロセッサの動作周波数が小さいとき、 V_{dd} を小さく、 V_{th} を大きく設定することが可能であり、 P_{dy} , P_{sc} , P_{leak} それぞれを削減することができる。動的協調制御型プロセッサはこの性質を利用して、実行中のソフトウェアが必要とする処理性能に合わせて動作周波数を動的に変更し、このとき、動作電圧やしきい値電圧を動作周波数に対応させて変更することでプロセッサの消費電力を削減する。しきい値電圧の変更は式(6)で示される基板効果を利用して、基板バイアス電圧の制御を介して行われる。

$$V_{th} = V_{t0} + \gamma(\sqrt{2\phi_B - V_{bb}} - \sqrt{2\phi_B}) \quad (6)$$

ここで、 V_{t0} : プロセステクノロジーによって決定される定数、 γ : body factor、 ϕ_B : flatband voltage、 V_{bb} : 基板バイアス電圧である。

2.2 動的協調制御型プロセッサの消費電力特性

動作周波数を大きくするために必要な動作電圧の拡大、しきい値電圧の縮小は P_{dy} , P_{sc} , P_{leak} それぞれの増加を引き起こすため、動的協調制御型プロセッサにおいて、消費電力 P は動作周波数 f に対して単調増加の関係(式(7))を満たす。また、 P_{dy} は直接 f に比例して増加するため、 P の増加率は f の1次以上の割合、すなわち、 $\frac{dP(f)}{df} > 0$ (式(8))を満たす。

$$\frac{dP(f)}{df} > 0 \quad (7)$$

$$\frac{d^2P(f)}{df^2} > 0 \quad (8)$$

動的協調制御型プロセッサの $f-P$ 特性が式(7)、(8)を満たすことをSPICEシミュレーションにより確認した。SPICEのモデルファイルとして“Common Design Rules for 0.1 micron” recommended by Semiconductor Technology Academic Research Center (STARC)を用いた。シミュレーションフローを以下に示す。

(1) 図2に示す32bit RISCプロセッサについて、さまざまな動作電圧 V_{dd} 、nMOS基板バイアス電圧 V_{bn} の組み合わせでの最大動作周波数 f_{max} を求めた。このとき、pMOS基板バイアス電圧 V_{bp} は常に $V_{bp} = V_{dd} - V_{bn}$ と設定した。

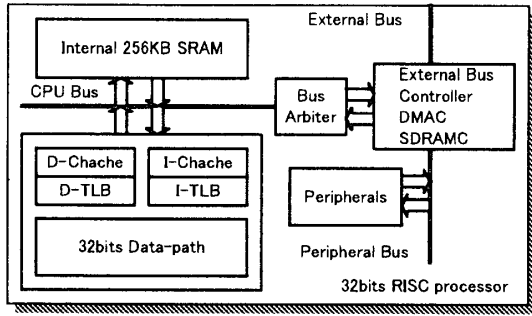


図 2 32bit RISC プロセッサのブロック図

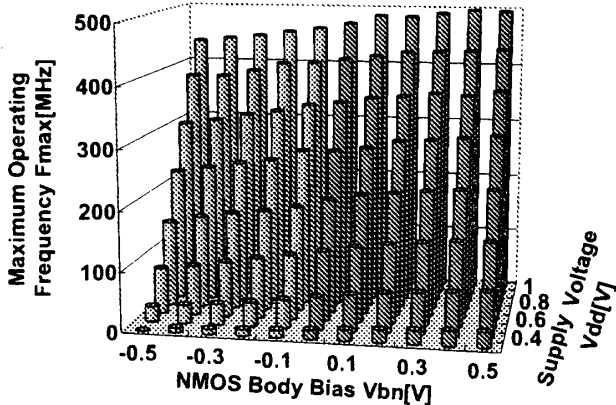


図 3 90 [nm] プロセスにおける 32bit RISC プロセッサの最大動作周波数

(2) 各 (V_{dd}, V_{bn}) の組み合わせに対して、(1) で得られた最大動作周波数以下で動作させた場合の消費電力を求めた。

(3) (2) で求められた (f, V_{dd}, V_{bn}, P) の組み合わせから、1. 動作電圧制御型、2. しきい値電圧制御型、3. 動作電圧しきい値電圧制御型、それぞれの動的協調制御型プロセッサの動作点と消費電力を決定した。

図 3 は最大動作周波数と V_{dd}, V_{bn} の関係を示す。動作電圧が大きいほど、 V_{bn} が大きいほど (式 (6) よりしきい値電圧が小さいほど) 最大動作周波数が大きくなる事が確認できる。図 4 の格子点はシミュレーションを行った V_{dd}, V_{bn} の組み合わせを示し、プロットされた点はシミュレーション結果から決定された各動的協調制御型プロセッサの動作点を表す。プロットされた点の脇の値はその動作点での動作周波数 [MHz] を表す。図 5 は各動作点での消費電力を規格化し、横軸に動作周波数をとってプロットしたグラフである。図 5 上には、測定点を式 (9) で補完した値も記した。各動的協調制御型プロセッサのフィッティングパラメータ α, β, γ の値を表 1 に示す。表 1 の値は式 (7), (8) を満たしている。

$$P = \alpha + \beta f^\gamma \quad (9)$$

3. 消費エネルギーを最小とする制御

以下に示す仮定の下、動的協調制御型プロセッサを用いて、

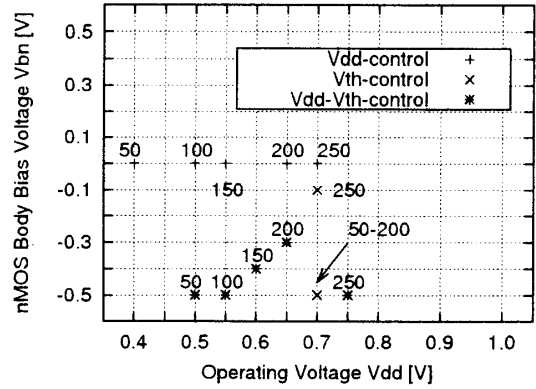


図 4 動的協調制御型プロセッサの $V_{dd}-V_{bn}$ の組み合わせ

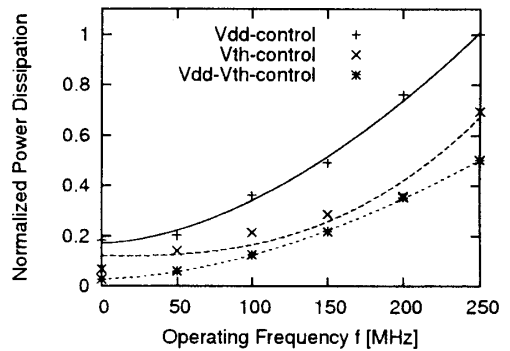


図 5 90 [nm] プロセスにおける動的協調制御型プロセッサの消費電力

表 1 フィッティングパラメータの値

CPU Type	α	β	γ
V_{dd} -control	5.82×10^{-2}	5.81×10^{-5}	1.75
V_{th} -control	1.72×10^{-2}	5.34×10^{-5}	1.74
$V_{dd}-V_{th}$ -control	2.94×10^{-2}	2.91×10^{-5}	1.76

あるサイクル数の演算をある決められた時間の間に最小の消費エネルギーで実現する周波数制御の方法は、定理 1 もしくは定理 2 によって一意に与えられることを証明する。

仮定 :

(1) 動的協調制御型プロセッサの動作周波数 f と消費電力 P は式 (7), (8) の関係を満たす。

(2) 複数の f, V_{dd}, V_{bn} を生成するための消費エネルギーは無視できる。

(3) 動作周波数とそれに対応する動作電圧、基板バイアス電圧への変更に要する時間と消費エネルギーは無視できる。

3.1 f が連続的に用意されている場合

動的協調制御型プロセッサの動作周波数が連続的に設定可能である場合、定理 1 が成立する。

定理 1 : 動作周波数が連続的に用意されている場合、定められた時間 T_f にサイクル数 H の演算を最小の消費エネルギーで実現する制御方法は、動作周波数を $f_1 = H/T_f$ で一定に制御するときである。

証明： 期間 T_f の間の動作周波数 f で動作する時間を f の関数 $t(f)$ と表す. $t(f)$ は式 (10), (11) を満たす.

$$\int_0^{f_{max}} f \cdot t(f) df = f_I \cdot T_f \quad (10)$$

$$\int_0^{f_{max}} t(f) df = T_f \quad (11)$$

消費電力 $P(f)$ を f_I を中心に 1 次までの項と剰余項でテイラー展開すると, $P(f)$ は式 (12) のように表される.

$$P(f) = P(f_I) + P'(f_I)(f - f_I) + \frac{P''(f_c)}{2}(f - f_I)^2 \quad (12)$$

ここで f_c は $f > f_c > f_I$ もしくは $f_I > f_c > f$ を満たす値である. このとき, サイクル数 H の演算を実現するときの消費エネルギー E は式 (10)-(12) より,

$$E = \int P(f) \cdot t(f) df \quad (13)$$

$$= \int \{P(f_I) + P'(f_I)(f - f_I) + \frac{P''(f_c)}{2}(f - f_I)^2\} t(f) df \quad (14)$$

$$= P(f_I) \int t(f) df + P'(f_I) \int f t(f) df - \int f_I t(f) df + \int \frac{P''(f_I)}{2}(f - f_I)^2 t(f) df \quad (15)$$

$$= P(f_I) T_f + \int \frac{P''(f_I)}{2}(f - f_I)^2 t(f) df \quad (16)$$

となる. ただし, 式 (13)-(16) において積分区間 $(0, f_{max})$ の記述は省略した. $\frac{P''(f_I)}{2}$ は式 (7) より正の数であるから, 式 (16) は f が恒常的に f_I である時 E が最小となることを表す. □

考察 1： 文献 [6] では, さらに以下の 3 つの仮定が成立する条件下で定理 1 を証明している.

- (1) 動作周波数として 0 [MHz] とそれ以外の 1 つの動作周波数のみを用いたスケジューリングを考慮する.
- (2) 動作電圧制御型のプロセッサのみを考慮する.
- (3) ダイナミック電力以外の電力は無視できる.

しかしながら本稿の証明は, (1) 任意の数の動作周波数を用いた任意の周波数スケジューリングの中で, (2) 任意の動的協調制御型プロセッサにおいて, (3) さまざまなリーク電流による消費電力が顕在化してきても, 消費エネルギーが最小となるスケジューリングは定理 1 で与えられることを示している.

3.2 f が離散的に用意されている場合

動作可能な周波数を連続的に設けるのは離散的に設ける場合と比較して実現が困難なため [7], 動的協調制御型プロセッサの動作点は離散的に用意されることが多い. 動作点が離散的に用意されている場合, 定理 2 が成立する.

定理 2： 動作周波数が離散的に用意されており, 利用できる動

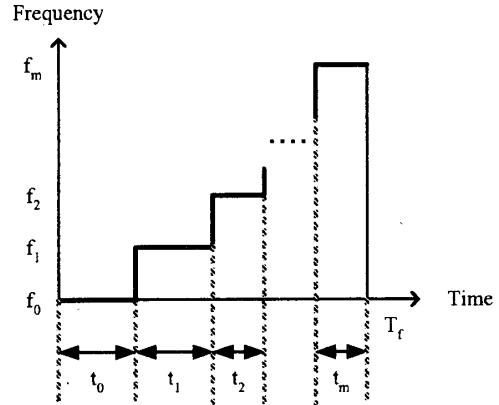


図 6 m 個の動作周波数を用いたスケジューリング例

作周波数の中に f_I が存在しない場合, 定められた時間 T_f にサイクル数 H の演算を最小の消費エネルギーで実現する制御方法は, $f_a > f_I > f_b \geq 0$ を満たす f_I 直近の 2 つの動作周波数 f_a, f_b を用い, f_a での動作時間 t_a を $t_a = T_f(f_I - f_b)/(f_a - f_b)$, f_b での動作時間 t_b を $t_b = T_f(f_a - f_I)/(f_a - f_b)$ とした制御である.

証明： m 個の動作点を持つプロセッサにおいて, 図 6 に示すように期間 T_f の間に m 個の動作周波数を用いてサイクル数 H の演算を実現する任意の制御を考える. このとき, 各動作周波数 f_j 及び, 対応する動作期間 $t_j (j = 0, 1, \dots, m-1)$ に対する条件は式 (17)-(20) に示される.

$$t_j \geq 0 \quad (17)$$

$$T_f = \sum_{j=0}^{m-1} t_j \quad (18)$$

$$H = \sum_{j=0}^{m-1} f_j t_j \quad (19)$$

$$f_{m-1} > f_{m-2} > \dots > f_i > f_I > f_{i-1} > \dots > f_0 = 0 \quad (m-1 \geq j > 0) \quad (20)$$

ここで, $f_i = f_a, f_{i-1} = f_b$ である. 図 6 のうち, f_i, f_{i-1} とその他の任意の 1 つの動作周波数 f_k の期間に着目する. この期間での消費エネルギー E は式 (21) で与えられる.

$$E = P(f_i) \cdot t_i + P(f_{i-1}) \cdot t_{i-1} + P(f_k) \cdot t_k \quad (21)$$

図 7 に示されるように, この期間に実現されているサイクル数を f_i, f_{i-1} の 2 つの動作周波数のみで置き換えた制御を考える. すなわち, 図 6 の制御において動作周波数 f_k に割り当てられたサイクル数 $f_k t_k$ を, 図 7(b) の制御では動作周波数 f_i, f_{i-1} に割り振って処理する. このときの消費エネルギー E' は式 (22) で与えられる.

$$E' = P(f_i) \cdot t'_i + P(f_{i-1}) \cdot t'_{i-1} \quad (22)$$

ここで, 両者の制御手法について, 動作期間及びサイクル数一定の条件から式 (23), (24) が成立する.

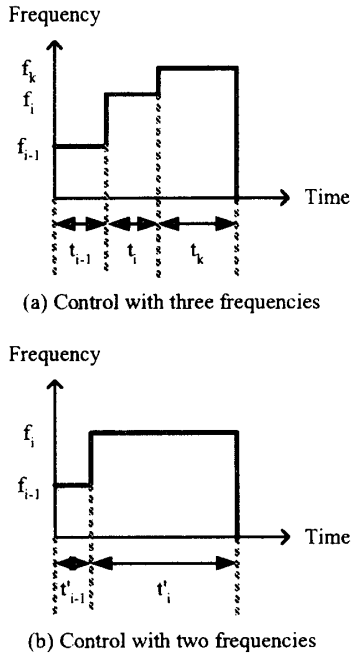


図7 2種類の動作周波数でのサイクル数の置き換え

$$t_i + t_{i-1} + t_k = t'_i + t'_{i-1} \quad (23)$$

$$f_i t_i + f_{i-1} t_{i-1} + f_k t_k = f_i t'_i + f_{i-1} t'_{i-1} \quad (24)$$

式(23), (24)から, 両者の制御手法における同一動作周波数での動作期間差は式(25), (26)で与えられる.

$$t_i - t'_i = \frac{f_{i-1} - f_k}{f_i - f_{i-1}} t_k \quad (25)$$

$$t_{i-1} - t'_{i-1} = \frac{f_k - f_i}{f_i - f_{i-1}} t_k \quad (26)$$

このとき, 両者の制御手法の消費エネルギー差 $E - E'$ は次のように計算される.

$$E - E' = P(f_i)(t_i - t'_i) + P(f_{i-1})(t_{i-1} - t'_{i-1}) + P(f_k)t_k \quad (27)$$

$$= \{P(f_i) - P(f_k)\}(t_i - t'_i) + \{P(f_{i-1}) - P(f_k)\}(t_{i-1} - t'_{i-1}) \quad (28)$$

$$= \frac{t_k}{f_i - f_{i-1}} [\{P(f_i) - P(f_k)\}(f_{i-1} - f_k) - \{P(f_{i-1}) - P(f_k)\}(f_i - f_k)] \quad (29)$$

ここで, 式(29)の[]で囲まれた項は, 補題より常に正の値である. したがって, 式(30)が成立する.

$$E - E' > 0 \quad (30)$$

すなわち, m 段階の制御よりも $(m-1)$ 段階の制御の方が消費エネルギーが小さくなる. 上記命題を $(m-2)$ 回再帰的に適用することで, f_i, f_{i-1} 以外の動作周波数の動作期間は0となる. このとき, 式(31), (32)が成立する.

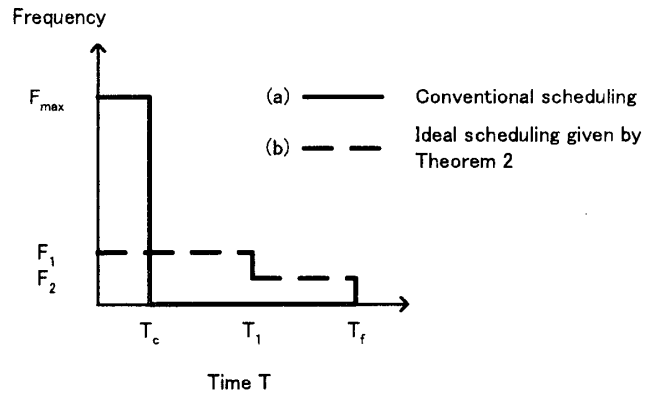


図8 従来の動作周波数制御と理想的な動作周波数制御

$$T_f = t_i + t_{i-1} \quad (31)$$

$$H = f_i t_i + f_{i-1} t_{i-1} = f_i T_f \quad (32)$$

式(31), (32)より, $t_i = (f_i - f_b)/(f_i - f_{i-1})T_f$, $t_{i-1} = (f_a - f_i)/(f_i - f_{i-1})T_f$ と一意に定まり, 定理2の成立が証明される. □

考察2: 定理2は図8(a)に示す1段階の制御よりも, f_i の直近の2つの動作周波数 f_a, f_b を用いて, 時間 T_f を使い切る(b)に示す2段階の制御の方が消費エネルギーが小さいことを示す.

4. まとめ

動的協調制御型プロセッサは, 大きなピーク処理性能と小さな平均消費電力特性を両立する優れた手法である. プロセスの微細化に伴い, 今後さまざまなリーク電流による消費電力がプロセッサの消費電力の中で大きなウェイトを占めてくると考えられ, このとき動作周波数と消費電力の関係式は変化することが予想される. しかし, 1. 消費電力が動作周波数に関して単調増加, かつ, 2. 消費電力の増加率は動作周波数に関して1次以上の関係を満たすとき, 動的協調制御型プロセッサで消費エネルギーを最小とする周波数スケジューリング方法は定理1および定理2で一意に決定される.

付 録

1. 補題の証明

補題: 式(7)を満たす関数 $P = P(f)$ 上の, $f_A > f_B > f_C$ なる3点 $(f_A, P(f_A)), (f_B, P(f_B)), (f_C, P(f_C))$ は式(A.1)を満たす.

$$(P(f_A) - P(f_B)) \cdot (f_B - f_C) > (P(f_B) - P(f_C)) \cdot (f_A - f_B) \quad (A.1)$$

証明: 2点 $(f_A, P(f_A)), (f_C, P(f_C))$ を通る直線 d_1 は式(A.2)で表される.

$$P = \frac{P(f_A) - P(f_C)}{f_A - f_C} (f - f_A) + P(f_A) \quad (A.2)$$

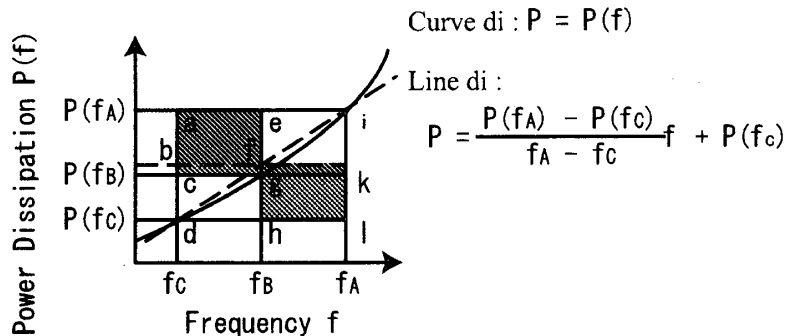


図 A.1 補助図

ここで、周波数が f であるときの直線 di 上の点と曲線 di 上の点の差 D は式 (A.3) で表される。

$$D(f) = \frac{P(f_A) - P(f_C)}{f_A - f_C} (f - f_A) + P(f_A) - P(f) \tag{A.3}$$

このとき、

$$\frac{dD(f)}{df} = \frac{P(f_A) - P(f_C)}{f_A - f_C} - \frac{dP(f)}{df} \tag{A.4}$$

$$\frac{d^2D(f)}{df^2} = -\frac{d^2P(f)}{df^2} \tag{A.5}$$

式 (A.5) より、 $\frac{dD(f)}{df}$ は単調減少であるから、方程式 $\frac{dD(f)}{df} = 0$ は多くとも 1 つの解を持つが、この解はコーシーの平均値の定理より開区間 (f_C, f_A) 上の値である。この解を f_D とおくと、 $D(f)$ の増減表は表 A.1 のようになる。

表 A.1 関数 $P(f)$ の増減表

f	f_C	...	f_D	...	f_A
$\frac{dD(f)}{df}$	+	+	0	-	-
$P(f)$	0	/	Max.	\	0

表 A.1 から $D(f)$ は開区間 (f_C, f_A) で常に正であるから、周波数が f_B であるときの直線 di 上の点 f は点 $(f_B, P(f_B))$ の上側に存在する。したがって、式 (A.6) が成立する。

$$\text{面積 } abce > \text{面積 } abfe, \quad \text{面積 } fhlj > \text{面積 } ghlk \tag{A.6}$$

面積 $abfe$ 、面積 $fhlj$ について式 (A.7) が成立するから、面積 $abce > \text{面積 } ghlk$ が成立する。 □

$$\text{面積 } abfe = \text{面積 } fhlj \tag{A.7}$$

$$= \frac{(P(f_A) - P(f_C))(f_A - f_B)(f_B - f_C)}{f_A - f_C} \tag{A.8}$$

文 献

[1] K. J. Nowka, G. D. Carpenter, E. W. MacDonald, H. C. Ngo, B. C. Brock, K. I. Ishii, T. Y. Nguyen, and J. L. Burns, "A 32-bit PowerPC system-on-a-chip with support for dynamic voltage scaling and dynamic frequency scaling", IEEE J. Solid-State Circuit, vol.37, no.11, pp.1441-1447, November 2002."

[2] S. Lee, and T. Sakurai, "Run-time Voltage Hopping for Low-power Real-time Systems", Proc. Design Automation Conference, pp.806-809, June, 2000.

[3] K. Nose, M. Hirabayashi, H. Kawaguchi, S. Lee, and T. Sakurai, "Vth-hopping scheme to reduce subthreshold leakage for low-power processors", J Solid-State Circuit, vol.37, no.3, pp.413-419, March 2002.

[4] J. Kao, M. Miyazaki, and A. P. Chandrakasan, "A 175-mV multiply-accumulate unit using an adaptive supply voltage and body bias architecture", IEEE J. Solid-State Circuit, vol.37, no.11, pp.1545-1554, November 2002.

[5] T. Sakurai, and A. R. Newton, "Alpha-power law MOS-FET model and its applications to CMOS inverter delay and other formulas", IEEE J. Solid-State Circuit, vol.25, no.2, pp.584-594, April 1990.

[6] T. Ishihara, and H. Yasuura, "Voltage scheduling problem for dynamically variable voltage processors", Proc International Symposium on Low Power Electronics and Design, pp.197-202, August 1998.

[7] A. P. Chandrakasan, and R. W. Brodersen, Low power digital CMOS design, Kluwer Academic Publishers, 1995.