

携帯動画像端末応用サブ mW・MPEG4 動き検出プロセッサコア IP

宮越純一[†] 黒田雄樹[†] 深山正幸[†] 今村幸祐[†] 橋本秀雄[†] 吉本雅彦[†][†]金沢大学工学部 〒920-8667 石川県金沢市小立野 2-40-20E-mail: [†]mjun1@mics.ee.t.kanazawa-u.ac.jp

あらまし 携帯情報端末応用のシステム LSI への搭載を目的として、超低消費電力サブ mW・MPEG4 動き検出プロセッサコア IP を開発した。本 LSI の特徴は 2 点ある。1) アルゴリズムに勾配法アルゴリズムを採用し、LSI 向きに最適化することで演算量を劇的に削減し、かつ高画質を実現した。またさらに高画質を実現するサブブロック探索法を導入した。2) アーキテクチャの特徴は、16 個の演算回路の並列配置による SIMD データパス、勾配法に専用化された演算回路、並列性を考慮したメモリデータマッピングである。0.18 μ m CMOS 5 層メタルプロセスで試作し、1st シリコン動作を確認した。1:4 サブサンプリング法よりも高画質かつ 0.4mW(@QCIF15)の超低消費電力を達成できた。

キーワード MPEG4, 動き検出, 勾配法アルゴリズム

A Sub-mW MPEG-4 Motion Estimation Processor Core for
Mobile Video ApplicationsJunichi MIYAKOSHI[†] Yuki KURODA[†] Masayuki MIYAMA[†] Kosuke IMAMURA[†]
Hideo HASHIMOTO[†] and Masahiko YOSHIMOTO[†][†] Faculty of Engineering, Kanazawa University 2-40-20 Kodatsuno, Kanazawa, Ishikawa, 920-8667 JapanE-mail: [†]mjun1@mics.ee.t.kanazawa-u.ac.jp

Abstract This paper describes a sub-mW motion estimation processor core for MPEG-4 video encoding. It features a Gradient Descent Search algorithm whose consumption power is only 6.8% of the 1:4-subsampling search, producing higher picture quality. Another feature is an optimized SIMD datapath architecture to decrease a decrease a clock frequency and an operating voltage. It has been fabricated with CMOS 5-metal 0.18 μ m technology. The measured power consumption to process a QCIF 15 fps video is 0.4mW under 0.85MHz, 1.0V.

Keyword MPEG4, Motion Estimation, Gradient Descent Search algorithm

1. はじめに

1.1. 本研究の背景

携帯動画像端末機器の著しい普及に伴い、限られた電池容量で携帯動画像端末機器を長時間動作させることの需要が拡大しており、画像圧縮などを行う MPEG4 コーデック LSI の低消費電力化が必要不可欠となっている。そこで本研究では、MPEG4 エンコーダ LSI の中でも最も消費電力の大きい動き検出部(以下 ME)に着目し、その ME を超低消費電力で動作させ、かつ高画質で実現することを目標とした。

1.2. 本研究の目標

動画像圧縮等を行う MPEG4 コーデックシステムの一般的なブロック図を図 1 に示す。このブロック図において動き補償予測器の演算量はエンコード全体に対し、全探索法を用いた場合で約 70%、1/4 サブサンプリング法(従来法)を用いた場合は約 50%占める。従来法ではこの動き検出に約 200MOPS も必要となり、携帯端末機器への搭載を考慮した場合、この演算量が消費電力に大きくかかわってくる。

動き補償予測器の消費電力の現在のトレンドと、設

計した動き検出を 0.18um5 層メタルプロセスを用いて見積もった消費電力を図 2 に示す。図 2 から QCIF15 処理時の場合の約 10mW 程度となっている。一方、提案する動き検出 LSI では MPEG4LSI に最適化された勾配法アルゴリズム, 16SIMD アーキテクチャ, 専用演算素子, 勾配法に最適化されたメモリデータマッピングにより 1mW 以下を実現する。

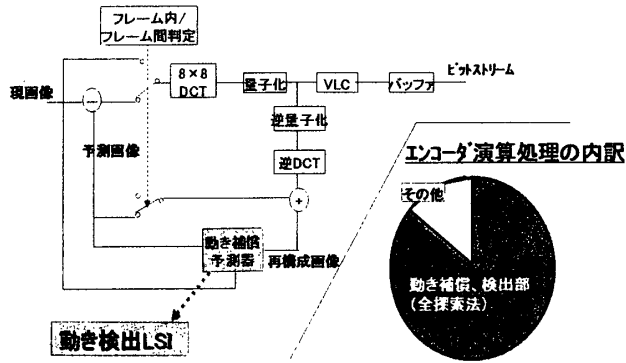


図 1 一般的な MPEG4 コーデックブロック図

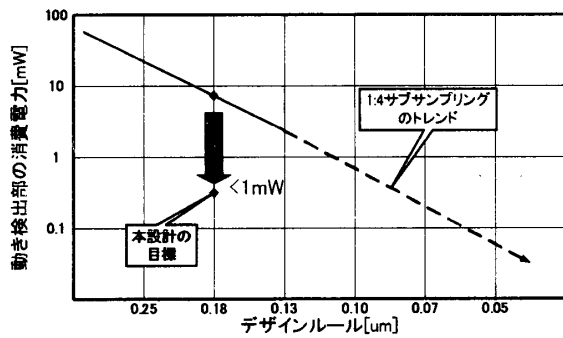


図 2 消費電力のトレンド

2. 動き検出アルゴリズム

2.1. 勾配法アルゴリズム

本研究では動き検出アルゴリズムとして勾配法アルゴリズムを採用した。勾配法アルゴリズムとは、最急降下法の一つであり、評価関数 E(差分二乗和)の曲面(図 3)において、ある探索点における評価関数の微係数(勾配)を計算し、探索方向を決定する。そして探索方向に一次元探索を行い、最小値を求める方法である。この方法では微係数を計算し、その方向の評価値のみを計算するので、ブロックマッチング回数が劇的に低減し、全探索法と比較し著しく演算量を削減することができる。図 4 に勾配法探索の概念図を示す。

2.2. 勾配法アルゴリズムの最適化

動き検出 LSI の超低消費電力を実現するためには、勾配法アルゴリズムをハードウェア向きに最適化し、より低演算量化、低回路規模にする必要がある。以下に最適化手法を示す。

評価関数 E と微係数の計算式

$$E = \sum_i \sum_j (TB_{i,j} - SW_{i+Vx,j+Vy})^2$$

$$\frac{\partial E}{\partial x} = \sum_i \sum_j (TB_{i,j} - SW_{i+Vx,j+Vy})(SW_{i+Vx+1,j+Vy} - SW_{i+Vx-1,j+Vy})$$

$$\frac{\partial E}{\partial y} = \sum_i \sum_j (TB_{i,j} - SW_{i+Vx,j+Vy})(SW_{i+Vx,j+Vy+1} - SW_{i+Vx,j+Vy-1})$$

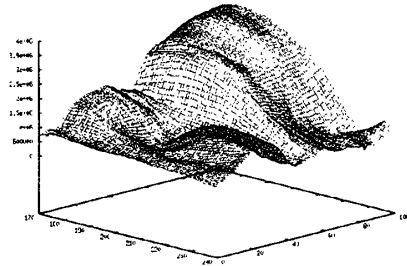


図 3 評価関数の曲面

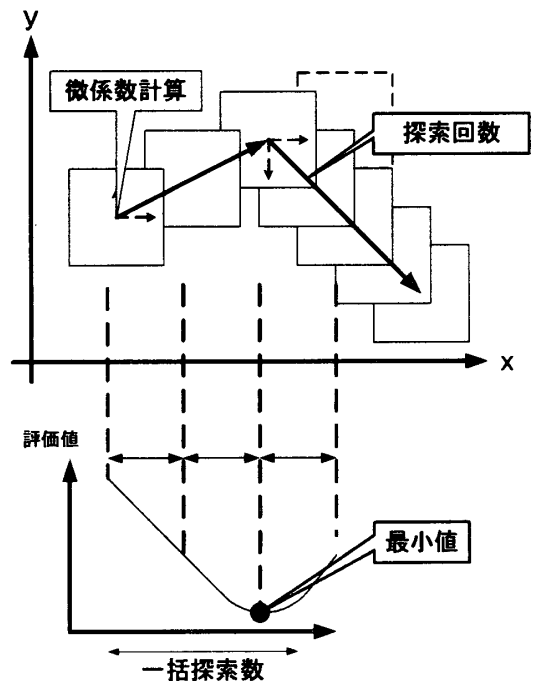


図 4 勾配法の概念図

(1) 探索方向の丸め

勾配法アルゴリズムをハードウェアで実現しやすいように、探索方向を 8 方向に丸める。それにより方向決定は、乗算を行わずに計算可能である。

(2) 探索範囲の最小化

動きベクトルを探索する範囲(探索範囲)を最小化させることにより、サーチウィンドウバッファ容量を最小化することで、低消費電力化、低回路規模を実現できる。図 5 に探索範囲を変化させたときのサーチウィンドウ RAM サイズと画質を示す。図 5 から高画質を維持したまま最小のメモリサイズを選択すると探索

範囲は±16x±16 が最適であることがわかる。

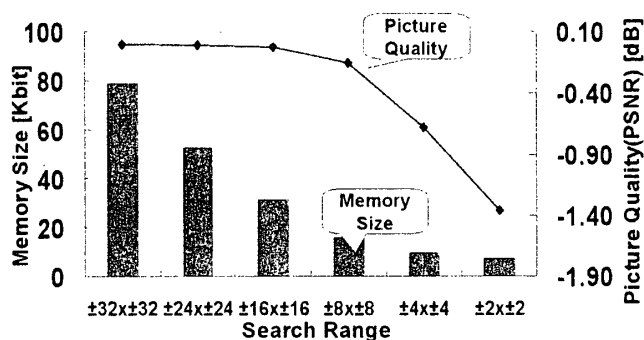


図5 メモリサイズ, 画質と探索範囲

(3) 探索回数, 一括探索数の最小化

ここで, 探索回数と一括探索数は図4の図中に示しているものであり, 一回の探索(次元探索)で行うブロックマッチングの回数が一括探索回数, また, その次元探索を行う回数が探索回数となる. これらブロックマッチング回数は勾配法アルゴリズムの演算量に対し大きな割合を占めている. そのため, 探索回数を最小化することで演算量, 動作周波数を低減でき低消費電力化につながる. シミュレーションを行った結果, 探索回数は2回, 次元探索中の評価点の数(一括探索数)は3回以下の場合, サブmWを実現できる演算量を実現できる見通しがたった. また, この時の画質劣化は0.01-0.02dB程度で無視できる劣化である.

2.3. 探索モード

2.1節で行ったハードウェア向きへの勾配法アルゴリズムの最適化は, 画質よりも超低消費電力を重視して行った. しかし, 電池容量に余裕があるときなどは, 消費電力は大きくても, より高画質に対する需要が大きくなる. そこで, 2.1節で行った”最適化された勾配法”を低演算量モードとし, 同一ハードウェアでより高画質を実現できるモードとして高画質モードを開発する.

高画質モードは従来の16x16マクロブロック(MB)探索に8x8サブブロック(SB)探索法を追加することで画質の改善を図った. 高画質モードの動作フローを図7に示す. 従来の16x16マクロブロック(MB)探索(①, ②, ③)に加え, MBを4つのSBに分割(⑤), それぞれのSBに対しMBと同様に探索を行い(⑥, ⑦, ⑧), その後, それぞれのSBをMBサイズに拡張する(⑨). そして, 5種類のベクトルから, 最も評価値の低いベクトルを算出し動きベクトルとする探索法である.

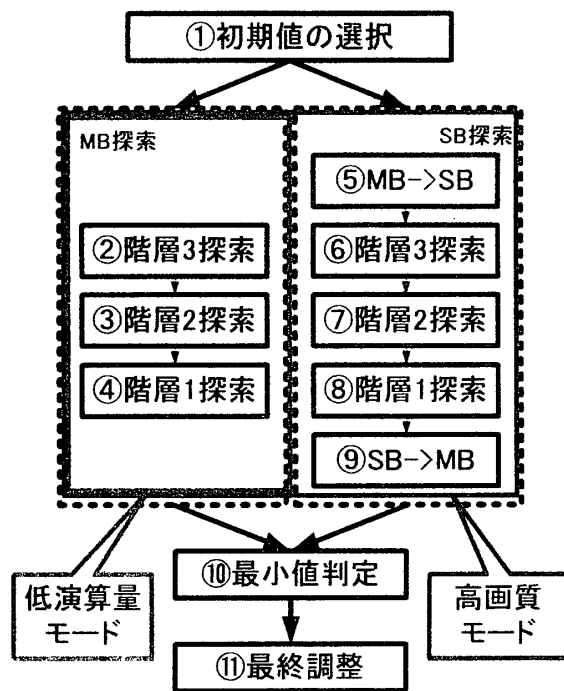


図6 高画質モードの動作フロー

2.4. 最適化された勾配法アルゴリズムの評価

最適化された勾配法アルゴリズムの効果を図8に示す. 図8から高画質モードでは, 画質は従来法(1:4サブサンプリング法), スリーステップサーチ(TSS)と比較すると向上, また全探索法と比較しても約0.1dB程度の劣化である. また演算量は従来法(1:4サブサンプリング法)の約13.6%程度に削減できている.

一方低演算量モードでは, 演算量は1:4サブサンプリングの約3.4%, 追跡法(GRS)[2]と同等までと劇的に削減でき, 画質は1:4サブサンプリング, GRSよりも良く, 全探索法と比較すると約0.2dB程度の劣化である.

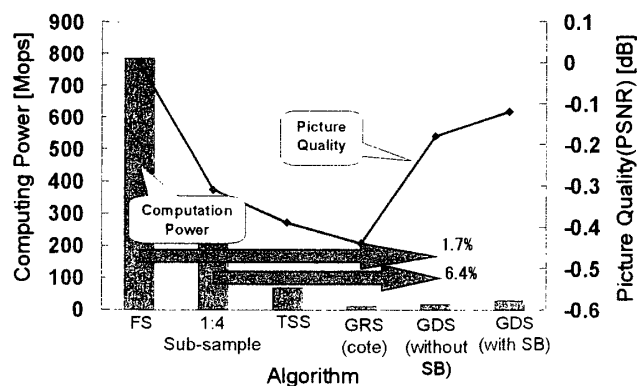


図7 最適化勾配法アルゴリズムの効果

3. アーキテクチャ

3.1. 提案するアーキテクチャの特徴

提案する動き検出 LSI のアーキテクチャの特徴を以下に示す。

- ① 16PE:Processor Element(演算器)の並列配置により構成される SIMD データバス
- ② 勾配法に専用化された PE 構成
- ③ 並列性と低面積を考慮したメモリデータマッピング

2 章で最適化された勾配法アルゴリズムを効率よく処理するために、①、②により並列処理、パイプライン演算により動作周波数、電源電圧の低減、また、③によりサーチウィンドウバッファ容量が最小化され回路規模の低減によって低消費電力化を図っている。

3.2. 提案するアーキテクチャの全体構成

図 9 動き検出 LSI の全体構成を示す。提案する動き検出 LSI コア IP は 32bit 幅の CPU_BUS と 32bit 幅の MEM_BUS の 2 つ BUS に接続することを想定して設計を行った。

動き検出 LSI は演算部である PU:Processor Unit(16 個の PE, Adder Tree, 累算器により構成される), また、画像データキャッシュとしてサーチウィンドウバッファ SW:Search Window Buffer(4kbitx8 個, 8bit/word, 2 リード/1 ライト 3port-SRAM), テンプレートバッファ TB:Template Buffer(4kbitx2 個, 64bit/word, 2 リード/1 ライト 3port-SRAM)を搭載し、PU とキャッシュを結ぶ CrossPath。そして、制御部は AG:Address Generator(アドレス生成回路), VG:Vector Generator(探索方向決定回路), SEQ:Sequencer により構成される。

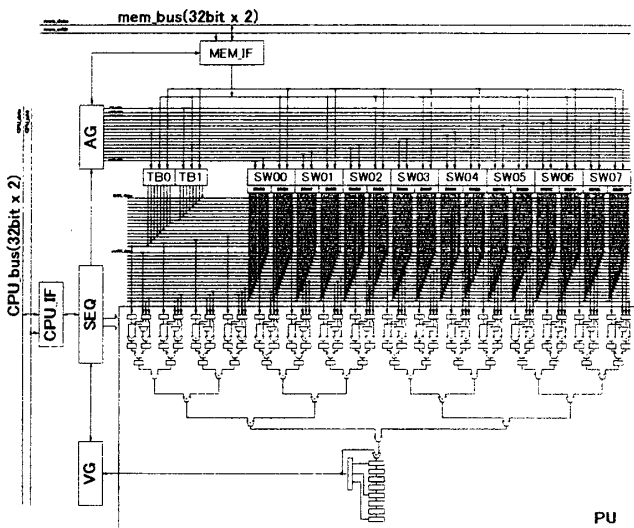


図 8 動き検出 LSI の全体ブロック図

3.3. PE(演算器)の構成

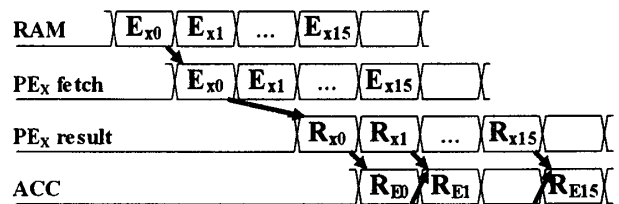
PE は LSI 向きに最適化された勾配法アルゴリズムを効率よく処理するため、今回新たに開発した演算器である。この PE では、評価関数、 x , y 微係数を同一の回路構成で計算することが可能である、またさらにハーフペルブレング(HPB)を搭載することで半画素精度の 4,8 近傍ブロックマッチングも計算が可能となる。

例として図 10(a)に評価値計算、図 10(b)に x 微係数計算、図 10(c)に y 微係数計算、図 10(d)に半画素精度の 4,8 近傍ブロックマッチングのデータの流れを示す。

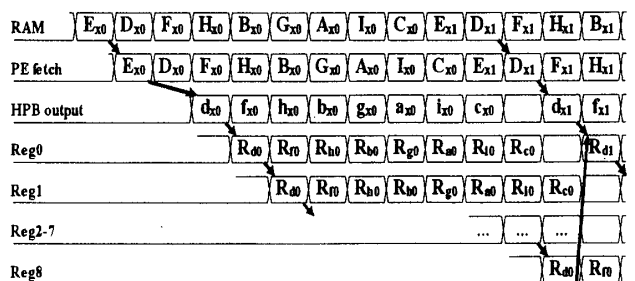
図 10(a)では TB, SW から 1 つの画素データを受け取り差分二乗和(評価関数)を計算する。図 10(b)では TB より 1 つ, SW より中心とその隣接画素の 3 つ画素データを受け取ることで x 微係数を計算することができる。図 10(c)では、1 行上の画素をレジスタに格納することで y 微係数を計算する。図 10(d)は HPB を通すことで半画素精度 4,8 近傍ブロックマッチングを同一のデータの流いで計算が可能となっている。ここで、図中の SPP は MUX と DEMUX で構成されており、入力された画素データを各演算素子(減算器, 乗算器)に転送している。また、入力段にある AND ゲートはオペランドアイソレーション(3.5 参照)のために挿入してある。

3.4. 演算部のタイミング図

図 9 にタイミング図を示し、図 9(a)は評価値計算(差分二乗和), 図 9(b)は最終半画素 8 近傍ブロックマッチングをそれぞれ表している。また図中の文字はそれぞれ図 10 に示している画素を表しており(大文字は全画素, 小文字は半画素), 数字はその画素の座標(x, y)を表す。



(a) MSE 計算時のタイミング図



(b)最終半画素 8 近傍計算時のタイミング図

図 10 タイミング図

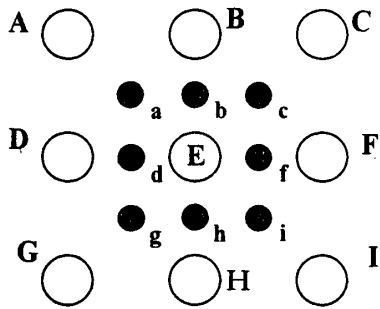


図 11 タイミング図内の画素番号

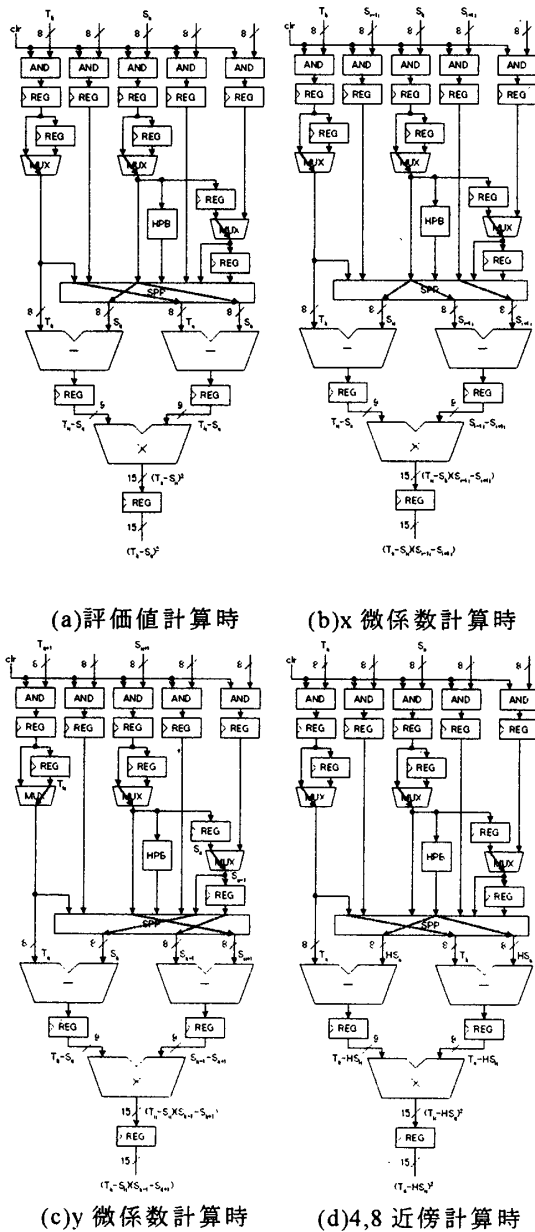


図 9 各演算別のデータの流れ

図 10(a)に示しているようにパイプラインを組むことで1画素あたり1サイクルで計算が可能である。これにより、1MBを16サイクルで演算する。一方、図 10(b)は周囲の8画素(全画素)を連続的にPEに入力することで、PE内のハーフペルブレンドが計算に必要な半画素を生成する。またパイプライン構造によりMB1列における半画素8近傍を9サイクルで計算できる。これによりサイクル数を低減できる。

3.5. ゲーテッドクロックとオペランドアイソレーション

本 LSI ではより低消費電力を目指すためゲーテッドクロックとオペランドアイソレーション技術を導入した。ゲーテッドクロックでは本 LSI が動き検出を終了した場合、PU および RAM のリードポート用クロックをゲーティングする。また演算器が動作していないときは、演算器に入るすべてのデータを0でマスクをかけた(オペランドアイソレーション)。

4. 試作と評価

低消費電力 ME コアを実現するために、配線容量が最小となるチップレベルのフロアプランを考え、また、低消費電力 3-port SRAM をフルカスタムで設計した。そして、フルカスタム設計の RAM 部と、スタンダードセルを用いた論理部で自動配置配線を行い、ME コアを設計した。

4.1. チップ概要

本 LSI は 0.18um CMOS 5層メタルプロセスで試作した。ME コアのチップ写真を図 12 示す。本チップのトランジスタ数は、約 100 万トランジスタであり、2つの Template Buffer と 8つの Search Window Buffer (いずれも 4kbit 3-port SRAM) を搭載している。

4.2. 性能評価

実際の画像を本 LSI に入力した時の周波数-電源電圧の Shmoo Plot を図 13 示す。この図から 10MH 以下では 1.0V の低電原電圧動作が可能であることがわかる。

4.3. 消費電力

性能評価と同様に実際の画像を入力した時の本 LSI の消費電力のグラフを図 14 に示す。この図から QCIF15 動作時ではサブ mW を達成していることがわかった。また、QCIF15 低演算量モードでは 0.4mW(0.85MHz, 1.0)という超低消費電力を実現している。

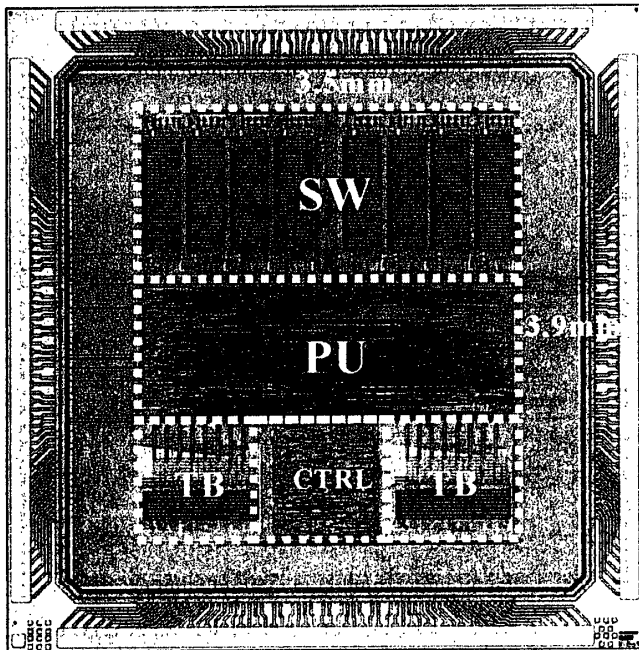


図 12 チップ写真

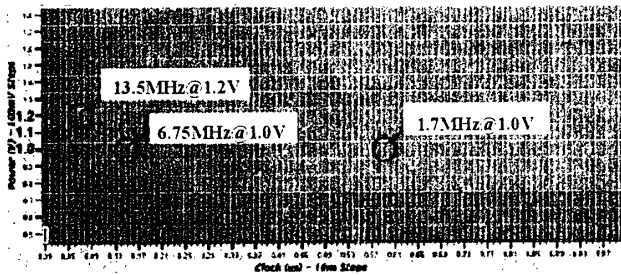


図 13 性能評価

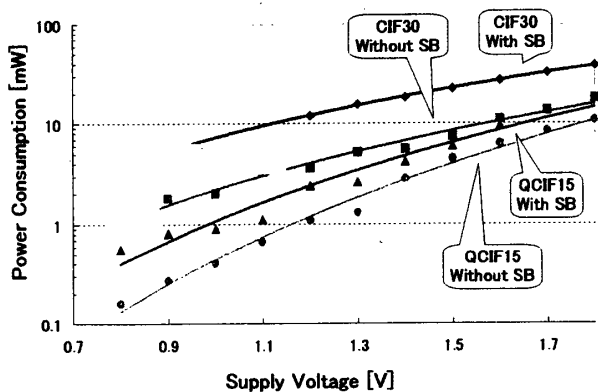


図 14 消費電力評価

5. まとめ

5.1. 本研究の特徴

①MPEG4 画像処理 LSI 向きに勾配法アルゴリズムの最適化を行い、演算量を従来法(1:4 サブサンプリング型ブロックマッチング法)の約 6%に削減できた。

②勾配法に特化した並列アーキテクチャとして、16SIMD 構成データバス、画像データキャッシュとして 3ポート SRAMを導入することで動作周波数、電源電圧を低減できた。

③勾配法に特化したメモリマップを行うことで、高い画素並列計算を可能にし、かつサーチウィンドウバッファ容量を最小限に抑えた。

④低演算量モードと高画質モードを任意に選択できる構成を持つことで、幅広い需要に対しフレキシブルに対応が可能である。

⑤QCIF15(L1):176x144 15fps から、CIF30(L3): 352 x 288 30fps までの解像度に対応することで高解像度の動き検出も可能である。

現状の課題点を以上のように解決することで、目標である超低消費電力(QCIF15 動作時でサブ mW)を実現できた。

本チップの諸元を以下に示す。

- ・チップサイズ:5.9mmx5.9mm
- ・コアサイズ:3.9mmx3.5mm
- ・使用プロセス:0.18um5 層メタル
- ・トランジスタ数:約 100 万 Tr
- ・4kbit(8bit)の 3ポート RAM を 8 個、4k(64bit)の 3ポート RAM を 2 個内蔵
- ・消費電力
 - 低消費電力モード
 - : 0.4mW,0.85MHz,1.0V@QCIF15
 - : 2.0mW,6.75MHz,1.0V@CIF30
 - 高画質モード
 - : 0.9mW,1.70MHz,1.0V@QCIF15
 - : 12mW,13.5MHz,1.2V@CIF30

6. 謝辞

本研究は STARC(Semiconductor Technology Academic Research Center)との共同研究の成果の一部である。また、試作には東京大学大規模集積システム設計教育研究センターを通し、ケイデンス株式会社およびシス株式会社の協力で行われたものである。

7. 参考文献

[1] M.Takabayashi, et al, "A Fast Motion Vector Detection based on Gradient Method." Technical Report of IEICE, IE2001-74, Sep.2001

[2] Y. Watanabe, et al., " A Low Power MPEG-4 CODEC Co Core for various Mobile Applications." Technical Report of IEICE, ICD2002-23