

Analyses of Stress and Strain in IC Board and Prevention techniques of Board Fracture

メタデータ	言語: jpn 出版者: 公開日: 2017-10-05 キーワード (Ja): キーワード (En): 作成者: Oda, Juhachi メールアドレス: 所属:
URL	http://hdl.handle.net/2297/46887

This work is licensed under a Creative Commons Attribution-NonCommercial-ShareAlike 3.0 International License.



I C基板の応力・ひずみ解析法と その回路破損防止に関する研究

(研究課題番号 63460077)

平成元年度科学研究費補助金〔一般研究(B)〕研究成果報告書

平成2年3月

研究代表者 尾 田 十 八
(金沢大学 工学部 教授)

IC基板の応力・ひずみ解析法と その回路破損防止に関する研究

(研究課題番号 63460077)

平成元年度科学研究費補助金〔一般研究(B)〕研究成果報告書

平成2年 3月

研究代表者 尾田十八
(金沢大学工学部 教授)

はしがき

IC, LSIに代表される各種電子回路基板の工業製品への普及度は近年めざましいものがある。ところがこのような状況と対応して、これら電子部品が受ける力学的環境はきわめて劣悪で、過酷なものとなりつつある。そのためのトラブルは、これら部品が機器や装置の動力制御系と関連していることもあり、それらの設計・生産上きわめて重大な問題となって来ている。

我々は以上の観点を考慮して、昭和63年、平成元年度にわたって、次のような項目に関連した研究を実施して来た。

- (1) 実用されているICやプリント基板に置ける強度的問題点の把握
- (2) IC基板の応力・ひずみ分布を解析する理論モデルの提案と、その実用的手法の開発
- (3) IC基板の応力・ひずみ分布の測定とその強度評価の研究

本報告書は、以上(1)～(3)に関して具体的に試みた研究内容をまとめたものである。特に(2)の分野において開発された多層構造体のための有限要素法と、それを利用して解析されたレジンモールドされたIC基板の3次元応力分布の結果は、IC基板設計上の新しい多くの知見を我々に与えてくれている。

平成2年3月

研究代表者 尾田十八

研究組織

研究代表者 : 尾田十八 (金沢大学工学部 教授)
研究分担者 : 北川和夫 (金沢大学工学部 助教授)
研究分担者 : 門前亮一 (金沢大学工学部 助教授)
研究分担者 : 山崎光悦 (金沢大学工学部 助教授)
研究分担者 : 坂本二郎 (金沢大学工学部 助手)
研究分担者 : 木田外明 (金沢工業大学 助教授)

研究経費

昭和63年度	4000千円
平成元年(昭和64年度)	2100千円
計	6100千円

研究発表

(1) 学会誌等

- 1) 尾田十八, 木元信余: 接着構造の熱応力問題解析の有限要素法とその応用, 日本機械学会論文集 (A編), 54巻497号, 昭和63年1月.
- 2) 尾田十八: 機械構造設計の最適化手法とその応用 (10), 連続体の最適化問題-その1-, 機械の研究, 41巻2号, 平成元年2月.
- 3) 尾田十八: 機械構造設計の最適化手法とその応用 (11), 連続体の最適化問題-その2-, 機械の研究, 41巻3号, 平成元年3月.
- 4) 尾田十八: 機械構造設計の最適化手法とその応用 (12), 応力集中部の形状最適化, 機械の研究, 41巻4号, 平成元年4月.
- 5) K.Kitagawa: Texture Development of Aluminium and Brass Leaves Fabricated by Traditional Hammering Method, Z.Metallkde.Bd.80,1989.
- 6) R.Monzen, M.Kato and T.Mori: Diffusional Relaxation Around Martensitically Transformed Fe-Co Particles in a Cu Matrix, Acta metal.Vol.37, No.12, 1989.

(2) 口頭発表

- 1) 尾田十八, 坂本二郎: 電子回路基板モデルの熱応力・ひずみ解析, 日本機械学会第2回計算力学講演会, 平成元年11月28日.
- 2) 尾田十八, 坂本二郎, 山田耕二, 久保田隆司: プリント基板の熱応力分布におよぼす回路形状の影響, 日本機械学会北陸信越支部講演会, 平成2年9月発表予定.

(3) 出版物

尾田十八, 山崎光悦, 坂本二郎 他4名: 構造・材料の最適設計, 技報堂 (日本機械学会編), 平成元年9月25日.

研究成果目次

1. IC基板の強度的問題点	1
2. IC基板の応力・ひずみ解析用有限要素法とその応用	12
2.1 接着構造解析のFEM理論	12
2.2 熱負荷条件下における2層構造体のFEM理論とその応用	19
2.2.1 理論	19
2.2.2 応用例	28
2.3 熱負荷条件下における多層構造体のFEM理論とその応用	35
2.3.1 理論	35
2.3.2 応用例	37
3. IC基板モデルの応力・ひずみ測定法とその応用	54
3.1 基板用薄膜の機械的特性の推定法とその実験	54
3.1.1 推定法	54
3.1.2 測定実験	57
3.2 IC基板モデルの熱応力・ひずみ測定実験と評価	65
資料 発表論文等	71

1. IC基板の強度的問題点

IC, LSIに代表される半導体素子やそれらを含む各種エレクトロニクス部品の進歩は目ざましく、今日そのような電子部品はあらゆる機器に利用され、これら無しで機器の設計は考えられない時代に来ている。たとえば図1は自動車におけるエレクトロニクス利用状況を示したものであるが、このように従来機械工学の代表品とみられて来た自動車においてすらその電装品の多いこと、しかもそれらの利用形態は単なる運転者の補助機能的なもののみでなく、エンジン制御集中システムにみられる主要機能部にまでおよんでいる。

このような電子部品の利用範囲が拡大化するに伴って、それらが利用される環境もきわめて過酷なものとなって来ている。表1は自動車に利用されるエレクトロニクス部品の環境仕様項目を示したものであるが、これらの中で特に温度、湿度、振動という問題はこれまでの電子部品設計上はほとんど考慮する必要のない問題であったとも言える。しかしこれらは自動車についてみると、表2に示すようにそれぞれかなり厳しい条件である。このように電子部品はまず第1に、それらに与えられた過酷な環境の下でも所定の期間その機能を十分に発揮するものでなければならない。つまり部品としての信頼性の確保が今日その利用範囲の拡大とともにきわめて重要になって来ているのである。

一方、与えられる環境のみでなく電子部品自身の側からくる強度的問題点も多い。たとえばICは本来その機能設計上より、図2にみられるように多くの異種材料から構成されている。このことはそれらの材料間にヤング率、線膨張係数等の相違を生じ、これがわずかの温度変化や変形に対しても大きな熱応力や組合せ応力を発生させることになる。図3はSiチップとCu基板からなるごく一般的な半導体素子の熱変形、熱応力の変化を模式的に示すものである。このように異種材料から成る素子の熱応力の時間的履歴は複雑で、かつこれがその使用期間中繰り返し応力となって各部に作用することは強度上きわめて重大な問題である。また今日IC, LSIはその高機能化と高集積化(図4, 5参照)が進んでおり、このことは必然的に大チップ化と多端子化につながり、これは素子自身の発熱傾

向を高めている。しかも今日ほとんどのICは図6に示すようにチップ、基板、リードフレーム等の保護目的からレジンモールドされ、このことは発生熱の他部への流動を悪くし、素子自身の熱応力破壊をまねくもとになっている。図7はレジンモールドされたLSIにおけるき裂発生部分を示したものであるが、このようなき裂のどれか1つが生じても、もはやそのLSIの機能は失われる。この他、高集積化は必然的に電子回路部等の薄膜化、微細化を伴いこのことはそれら材料構成が結晶粒オーダに近づき、その異方性と共に単にバルク材から予測される特性をもたないことを予測させる。このことはこの分野の設計をますます難しくしている。

以上述べて来たようにIC、LSIやその関連部品の信頼性向上をめざした設計には強度的な多くの解決すべき問題のあることがわかる。本研究ではこの内、特に次の点について絞って研究を進めてきた。

- (1) IC基板の応力・ひずみ分布を解析する理論モデルの提案とその実用的手法の開発
 - (2) IC基板の応力・ひずみ分布の測定とその強度評価の研究
- これらについて次章以降で詳細に述べることにしたい。

参考文献

- (1) 吉川, 自動車エレクトロニクスの現状と将来, 精密工学会誌, 55巻5号(平1-5), 791.
- (2) 保川, 坂本, 半導体製品への材料力学の貢献, 機械学会誌, 90巻822号(昭62-5), 562.
- (3) 三浦, 他3名, ICプラスチックパッケージ内応力測定素子の開発とその応用, 機械学会論文集, 53巻, 493号(昭62-9), 1826.

- (4) 三浦, 他3名, ICプラスチックパッケージ内シリコンチップ残留応力の検討, 機械学会材料力学講演会講演集(昭63-10), 33.

- (5) 鶴島, 大規模集積化を中心とした最新の半導体デバイス技術の動向, 機械学会第670回講習会教材(昭63-6), 1.

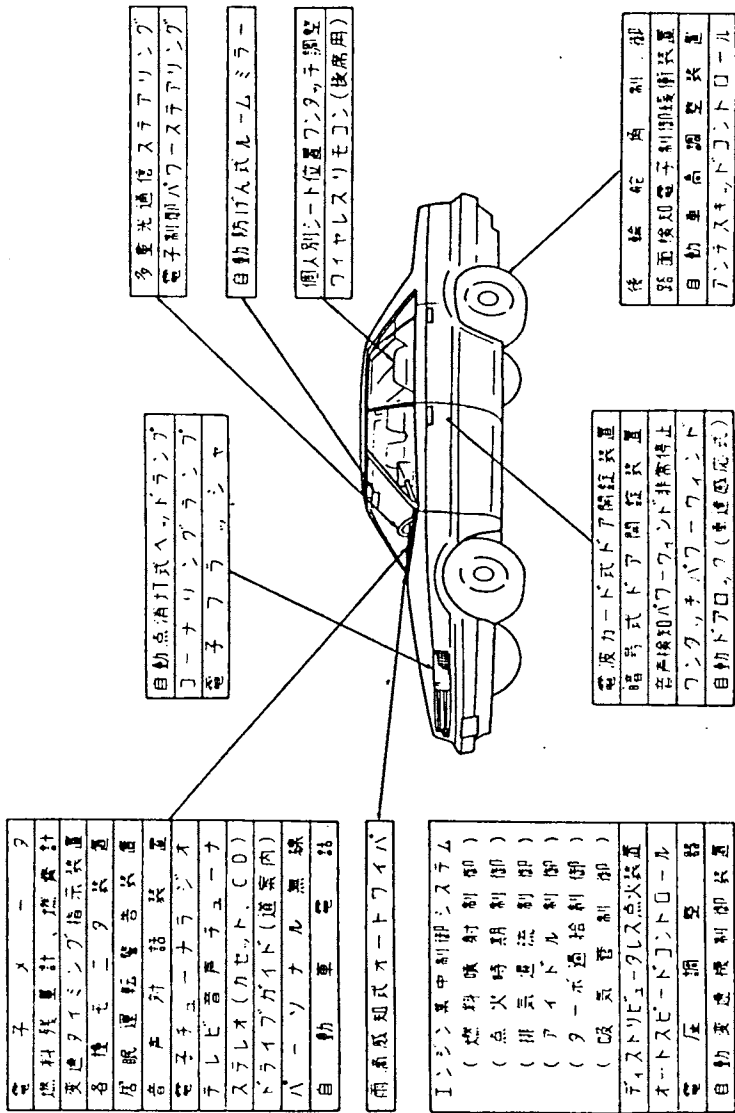
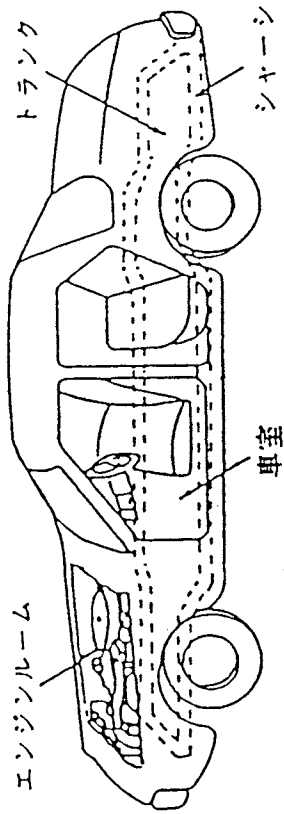


図1 自動車におけるエレクトロニクス利用状況

表 1 自動車エレクトロニクス の 環境仕様項目⁽¹⁾

大項目	中項目	小項目
温度環境	保証温度	性能保証範囲 機能保証範囲 保存保証範囲
	耐熱性	温度サイクル 熱衝撃
電気的環境	電源仕様	性能保証範囲 機能保証範囲
	電源異常	ジャンパ・スタート 逆極性接続 瞬断
	ライン異常電圧	ロード・ダンプ・サージ イグニッションスイッチ・ オブ・サージ 高周波サージ
	電磁波干渉	電波障害
雰囲氣的環境	耐湿性, 他	湿度サイクル 油・塩・ガス・泥など
機械的環境	耐振性, 他	振動 引張り 衝撃など

表2. 自動車の温度、湿度、振動条件



位置	温度	湿度 (R.H)	振動
エンジンルーム	-40~125°C	85°C 85~95%	50G 50~500Hz
シャーシ	-40~100°C	85°C 85~95%	7G 20~200Hz
車室	-40~85°C	85°C 85~95%	5G 20~200Hz
トランク	-40~85°C	85°C 85~95%	5G 20~200Hz

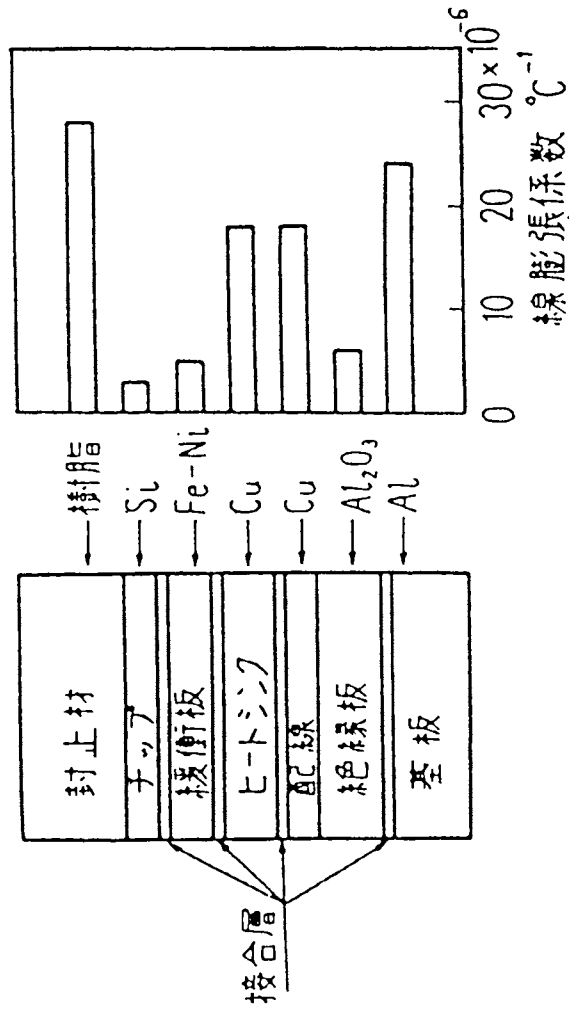
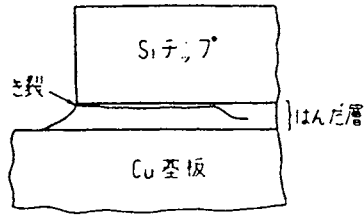


図2 半導体製品の中に見られる異種材料積層構造の一例



熱サイクルによりチップ接合はんだ層に生じた疲労き裂

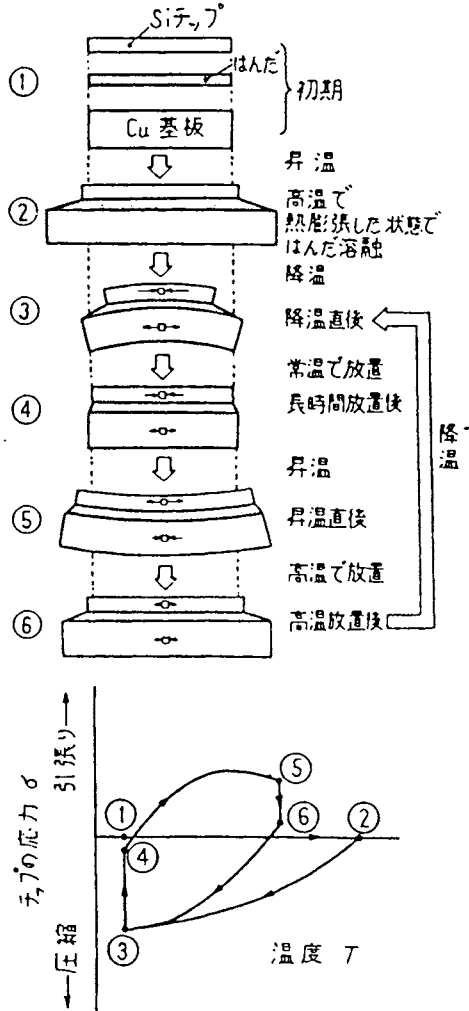


図 3 チップと基板の接合構造に生じる熱変形と熱応力の変化（温度変化や時間経過とともに複雑に変化する応力が、チップのき裂や電気特性のドリフトなどの原因となる）

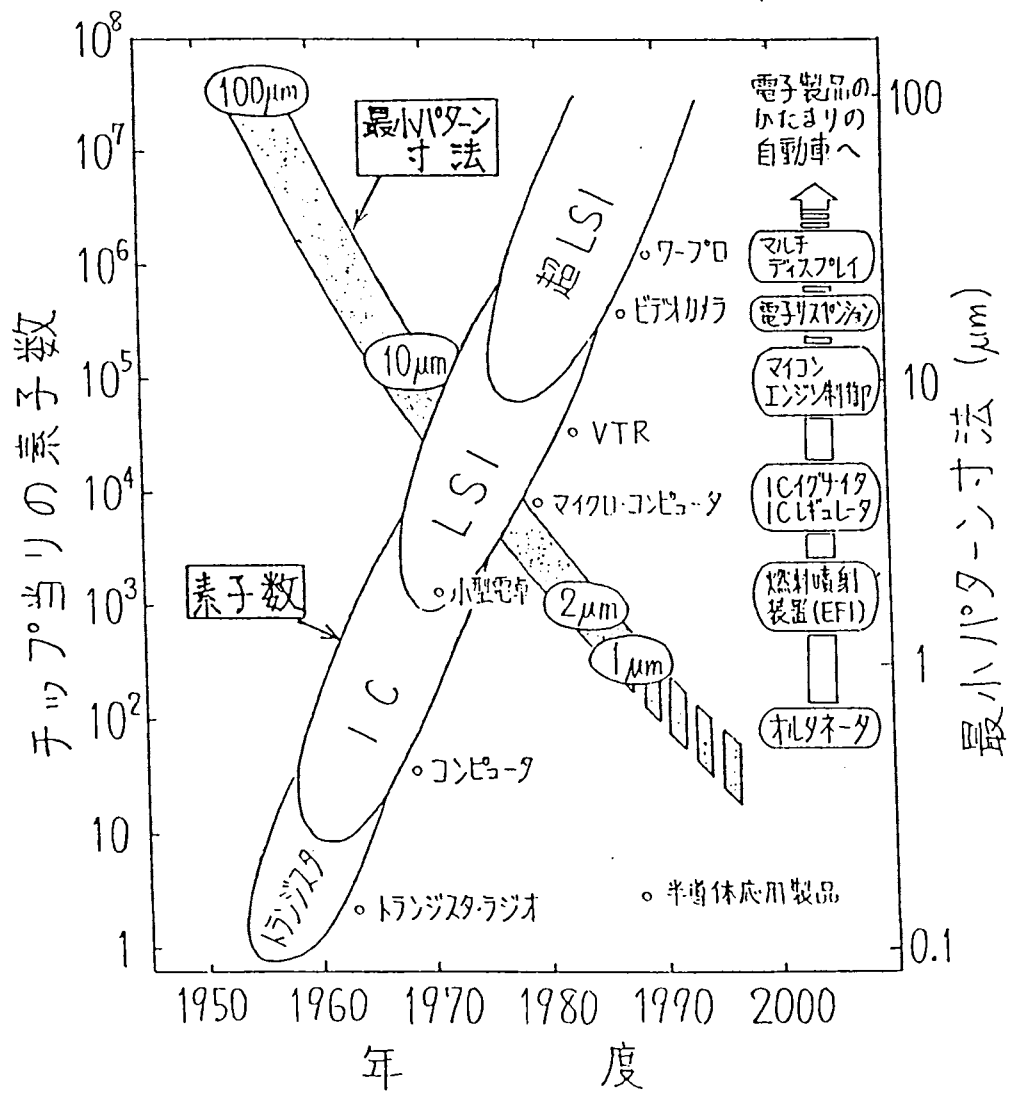
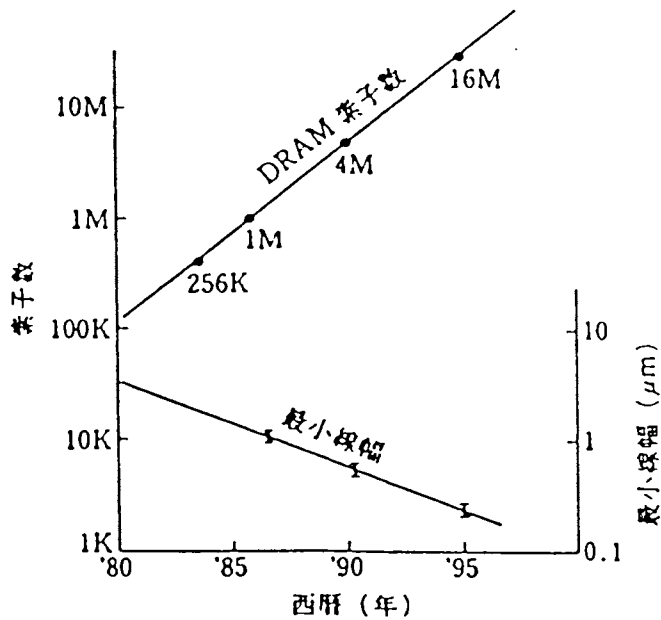


図4. IC, LSIの進歩



プロセス	N-MOS, C-MOS, Bi-C-MOS
セル構造	プレーナ型, トレンチおよびスタック型
セル面積 (μm^2)	40~70, 20~35, 8~15, 4~10, 1~2
リソグラフィ	g線, i線ステップ, エキシマレーザ, X線, SOR
ゲート配線材料	ポリシリコン, シリサイド, 高融点金属

図5 DRAMの技術動向

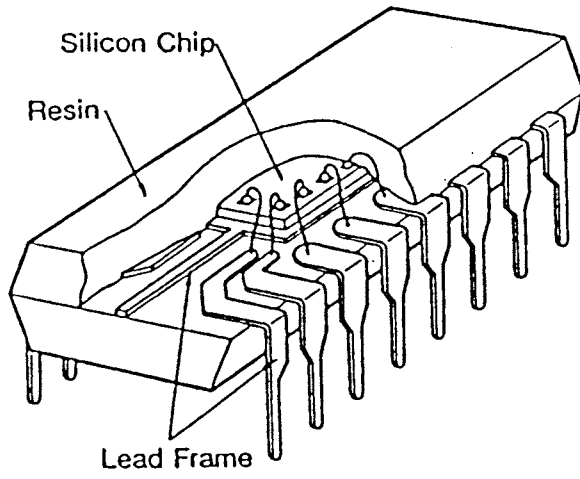


図6 ICプラスチックパッケージ

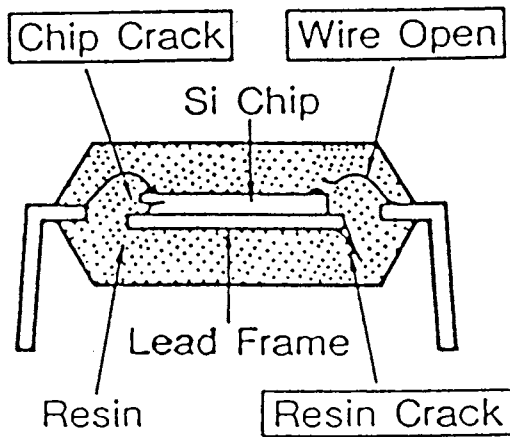


図7 LSIプラスチックパッケージ断面構造例

2. IC基板の応力・ひずみ解析用 有限要素法とその応用

2.1 接着構造解析のFEM理論

各種プリント基板やIC, LSIは結局の所異種材料同士の接着構造とみることができ、ただそれは3次的に数多くの材料要素がそれぞれ特異な形状をして組み合わされた接着構造である。このような接着構造が外部負荷や種々の熱的負荷を受けた場合の応力・ひずみ分布を正確に把握することはそれらの強度評価を行う上で必要不可欠で重要な課題である。しかし純粋な理論的手法を用いてこのような応力・ひずみ場を解析することはその対象モデルがあまりに複雑であることから不可能であり、どうしても数値的解析手法にたよるざるをえない。したがって現在、3次元の有限要素法(FEM)を利用すれば以上述べた複雑な接着構造の解析も一応可能である。ところがスーパーコンピュータの利用を前提としても、3次元FEMを用いてICやLSIを解析することはその要素分割の繁雑さや、計算費用等の点からまだまだ容易なことではなく、したがってこれまでのこの種の解析はほとんど2次元FEMの利用に限定されて来ている。

我々はこのような現状に対して、ICやLSIの接着構造がいわゆる完全な3次元構造ではなく、種々の形状をした2次元物体の層構造である点に注目した。そしてこのような構造特徴を生かして、2次元FEMを巧みに利用し実質的には3次元の応力・ひずみ分布を容易に求める方法論を開発した。本節ではその理論の最も基礎となる部分とその応用例について記述する。

2・2 熱負荷条件下における2層構造体のFEM理論とその応用

ICやLSIなどの電子部品の適用範囲の拡大に伴い、それがさらされる環境も一段と厳しいものとなっていることは1章に述べたとおりである。電子部品に影響を及ぼす環境的要因としては、温度、湿度、過電圧、静電気など様々なものが考えられるが、その内で最も重大な影響を及ぼすものが温度である。電子部品は過酷な熱環境にさらされるだけでなく、自らが発熱するために非常に大きな熱負荷を受けることとなる。さらに、電子部品は互いに熱膨張係数の異なる材料の積層構造であることから、作用した熱負荷は各層に大きな熱応力を発生させ、こうして生じた熱応力は電子部品の各部で故障の原因となっている。例えば、IC基板においては、基板からの回路のはがれや回路自身の破断、絶縁膜の破壊や封止パッケージの割れなどが熱応力により発生し、極端な場合にはICチップそのものを破壊してしまうことさえある。これらの原因を解明し故障を回避するためには、電子部品の熱応力状態を正確に把握することが必要である。

著者らは、このような電子部品に発生する熱応力解析を目的として、前節で説明した接着構造解析のFEM理論を拡張し、多層構造体における熱応力解析用FEMの開発を行った。本節では、説明を明快なものとするために、最も基本的な2層構造体を対象とし、その熱応力解析用FEMの理論と応用例について述べる。実際には、IC基板は回路が幾層にも積層されており多層構造体として取り扱う必要があるが、これに対しての解析は2層構造体の理論を拡張することにより比較的容易に可能である。これについては次節で説明する。

2・2・1 理論

前節で説明した接着構造物のFEMでは、被接着層を平面応力状態の二次元有限要素からなるものとし、接着層をせん断力もしくは垂直力のみを伝達するばね要素で置換するというモデル化を行った。熱応力解析のFEMにおいても同じ力学モデルを使用する。ただし、接着層はせん断力のみを伝達するものとする。

熱応力解析においては、力学的なひずみ場が決定される前に、その温度場が決定されなければならない。そこで、この理論では接着層のばね要素を、要素上で温度勾配が一定の熱伝導管と考えてモデル化を行い、これを通常知られる二次元

熱伝導解析の F E M と組み合わせることにより温度場の解析を行っている。

以下では、本理論の詳細を示すとともに、大きさの異なる長方形板からなる 2 層構造において熱応力解析を行い、理論の有効性について検討する。

2・2・2 応用例

以上に説明した熱負荷条件下における2層構造体のFEMの有効性については、先の項で述べたとおりであり、また実験との比較においてもその有効性の確認を行っている。これについては、3・2節で説明する。以下では、電子部品における実用的な問題に上記の手法を適用した例として、2層からなるプリント回路基板の熱応力解析を行った結果について説明する。ICやLSIなどの電子デバイスと同様に、廉価で最も普及しているプリント基板においても、回路の高密度化が進められており、それに伴い細線化された回路が熱応力により断線するといった故障が起き易い状態となっている。ここでは、最も高い熱応力が発生すると考えられる電極と配線の接合境界部に注目し、そこにおける回路の形状が熱応力に与える影響について詳細に検討を行う。ここで論じるプリント基板の回路形状に見られる基本的な特徴は、IC基板などの電子デバイスにおける回路でも同様に見られることから、以下に示される結果は電子部品の広い分野にわたり有効なものと考えることができよう。

2. 3 熱負荷条件下における多層構造体のFEM理論とその応用

2. 3. 1 理論

ここでは、前述の3次元構造を有する2層平板に対してのFEM理論を、多層平板によって形成される3次元構造体の解析に適用するため、以下の様な拡張を行う。

前述同様に、多層体を構成する各物体内での応力は板厚方向に一定で、面内変形のみをするものとし、各層は図1の様に薄い接合層を介して接着されているとする。この接合層はせん断力のみを伝達するものとし、その伝達力と変位の関係は以下の式で示される。

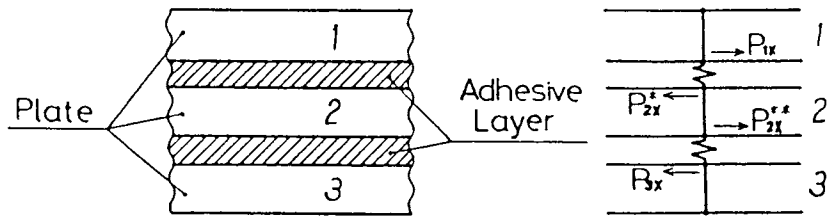


図1 多層構造体のモデル化

$$\begin{Bmatrix} p_{1x} \\ p_{1y} \\ p_{2x}^* \\ p_{2y}^* \end{Bmatrix} = \frac{G_{12}A}{t_{12}} \begin{bmatrix} 1 & 0 & -1 & 0 \\ 0 & 1 & 0 & -1 \\ -1 & 0 & 1 & 0 \\ 0 & -1 & 0 & 1 \end{bmatrix} \begin{Bmatrix} u_{1x} \\ u_{1y} \\ u_{2x} \\ u_{2y} \end{Bmatrix} \quad \dots (1)$$

$$\begin{Bmatrix} p_{2x}^{**} \\ p_{2y}^{**} \\ p_{3x} \\ p_{3y} \end{Bmatrix} = \frac{G_{23}A}{t_{23}} \begin{bmatrix} 1 & 0 & -1 & 0 \\ 0 & 1 & 0 & -1 \\ -1 & 0 & 1 & 0 \\ 0 & -1 & 0 & 1 \end{bmatrix} \begin{Bmatrix} u_{2x} \\ u_{2y} \\ u_{3x} \\ u_{3y} \end{Bmatrix} \quad \dots (2)$$

ここで、 $\{p\}^T$ 、 $\{u\}^T$ は各物体の分割要素の節点力、節点変位に相当し、 G_{ij} 、 t_{ij} 、 A はそれぞれ接合層のせん断弾性係数、層厚さ、接合面積である。ただし上下に接合層を持つ物体については、上式より得られるそれぞれの接合層からの伝達力を加え合わせたものを節点力とする。つまり、図中の第2層について次式が成立する。

$$\left. \begin{aligned} p_{2x} &= p_{2x}^* + p_{2x}^{**} \\ p_{2y} &= p_{2y}^* + p_{2y}^{**} \end{aligned} \right\} \dots (3)$$

よって、式(1)～(3)を用い、かつ $G = G_{12} = G_{23}$, $t_{ad} = t_{12} = t_{23}$ とすると次式が得られる。

$$\begin{Bmatrix} p_{1x} \\ p_{1y} \\ p_{2x} \\ p_{2y} \\ p_{3x} \\ p_{3y} \end{Bmatrix} = \frac{GA}{t_{ad}} \begin{bmatrix} 1 & 0 & -1 & 0 & 0 & 0 \\ 0 & 1 & 0 & -1 & 0 & 0 \\ -1 & 0 & 2 & 0 & -1 & 0 \\ 0 & -1 & 0 & 2 & 0 & -1 \\ 0 & 0 & -1 & 0 & 1 & 0 \\ 0 & 0 & 0 & -1 & 0 & 1 \end{bmatrix} \begin{Bmatrix} u_{1x} \\ u_{1y} \\ u_{2x} \\ u_{2y} \\ u_{3x} \\ u_{3y} \end{Bmatrix} \quad \dots (4)$$

以上の様に得られた節点力，節点変位関係を，すでに述べたように通常の2次元FEMに適用することで，3次元多層構造体の応力，ひずみ解析が可能となる。

2.3.2 応用例

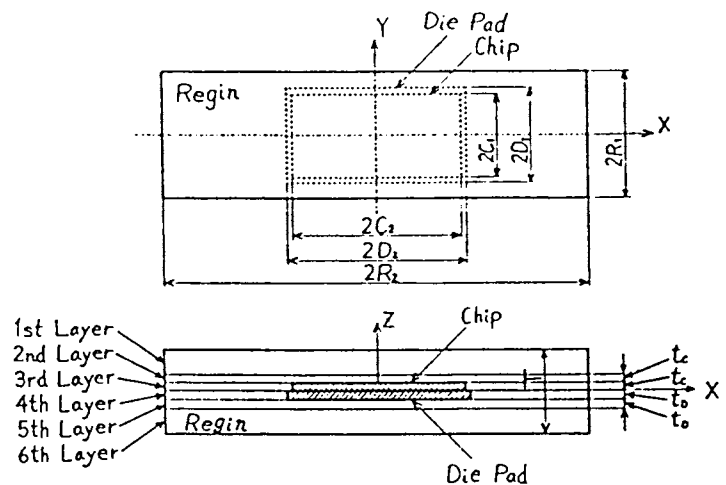
熱負荷条件下におかれる3次元構造を有する多層構造体として、近年、回路の高密度化と、高温環境下での使用にともなう破損が大きな問題とされている大規模集積回路(LSI)を応用例に取り上げ、その熱応力解析を行った。

(1) 解析モデル

LSIとして最も多く使用されているD.I.P型ICをベースとして設定した解析モデルを図2に示す。これはLSI内部中央に方形のChipと、それよりやや大きめのDie Padの接着構造体が位置し、それらがReginによってモールドされていることを表しており、解析モデルはこれらChip, Die Pad, Reginの3物体より構成されているとした。

そして図2の断面図に示す様にモデルの上下の表層のReginは板厚を考慮してそれぞれ2層に分割し、Chip, Die Padを含む中間層はそれぞれ1層として考え、解析モデルを合計6層よりなる多層構造体とみなして解析した。ここで各層の応力場を、第1, 第2, 第5, 第6層、すなわち表面のRegin層については平面応力場に、そして第3, 第4層、すなわち内部の層で同一層が2部材で構成されているとしたChip, Die Padを含む層については平面ひずみ場に、それぞれ仮定した。

なお各構成材には実際に用いられている材質としてChipにはSilicon, Die PadにはFe-Ni, そしてReginにはEpoxyを設定し、それらの物性値は表1に示す値を用いた。また熱環境として与える温度変化 ΔT_{emp} はReginのパッケージ温度(約170



$$\begin{aligned}
 C_1 &= 2.0 \text{ mm} & D_1 &= 2.2 \text{ mm} & R_1 &= 3.0 \text{ mm} \\
 C_p &= 4.0 \text{ mm} & D_p &= 4.2 \text{ mm} & R_p &= 10.0 \text{ mm} \\
 t_c &= 0.2 \text{ mm} & t_s &= 0.25 \text{ mm} & T &= \begin{cases} 2.0 \text{ mm} \\ 4.0 \text{ mm} \end{cases} \\
 \Delta T_{emp} &= -150^\circ\text{C}
 \end{aligned}$$

図2 LSIの解析モデル

～180°C, 熱応力ゼロ状態) から常温(約20°C)への温度降下を考慮して, $\Delta T_{temp} = -150^\circ\text{C}$ とした。

以上の設定のもと熱応力解析を行い, 各構成部材に生ずる応力分布よりその挙動を考察した。また, ChipとDie Padの寸法はそのままとして, パッケージ全体の厚さTを変化させた $T = 2\text{mm}$, および $T = 4\text{mm}$ のモデルの解析より, パッケージ厚さTが応力分布に及ぼす影響についても考察した。

図3はモデルの1/4領域についてのZ方向からみた要素分割図であり, この要素分割を全層について行い, 各層ごとにその層を構成するChip, Die Pad, Reginをそれぞれの部材に対応させて分割要素の材料特性を設定した。

(2) 解析結果と考察

熱応力解析により得られた各層ごとの最大主応力 σ_1 , 最小主応力 σ_2 の分布および各層間の接合層に生ずる最大せん断応力の分布図を以下に示す。なおChip, Die Pad, Reginのそれぞれに生ずる応力は, 次の応力値 σ_c^* , σ_d^* , σ_r^* によって標準化して示した。

$$\sigma_c^* = -347.2 \text{ (MPa)}$$

$$\sigma_d^* = -159.5 \text{ (MPa)}$$

$$\sigma_r^* = 54.03 \text{ (MPa)}$$

表1 ICの構成材

Material	Young's modulus (Gpa)	Poisson's rasio	Thermal expansion coefficient ($1/^\circ\text{C}$)
Silicon	180	0.3	3×10^{-6}
Fe-Ni	150	0.3	6×10^{-6}
Epoxy	15	0.3	25×10^{-6}

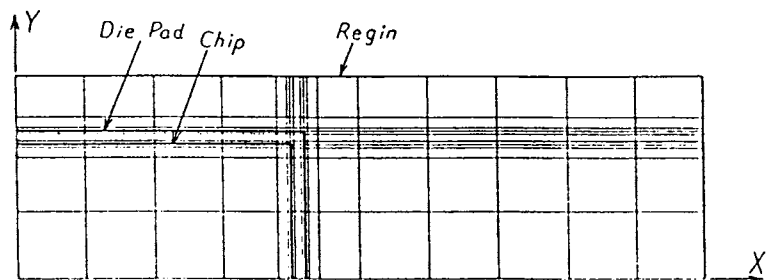


図3 要素分割図

ここで σ_c^* , σ_D^* , σ_R^* はそれぞれパッケージ厚さ $T = 2\text{ mm}$ のモデルの第3層 (Chip), 第4層 (Die Pad), 第1層 (Regin) のZ軸上 (物体中央部) の主応力 (最大または最小主応力の絶対値が大である方) である。以降, 添字のC, D, RはそれぞれChip, Die Pad, Reginに関する諸量を表すものとして用いる。

まずパッケージ厚さ $T = 2\text{ mm}$ の場合の各層の応力分布を示す。

図4はChipの最小主応力 σ_2 の分布図であり, これよりChipは全域圧縮状態($\sigma_2/\sigma_c^* > 0$)にあり, そのコーナ部において応力集中が生じていることが分かる。これは各構成材の線膨張

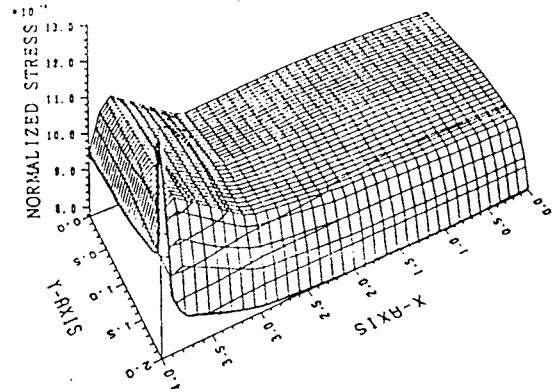


図4 Chip (第3層) の最小主応力 σ_2 ($T = 2\text{ mm}$)

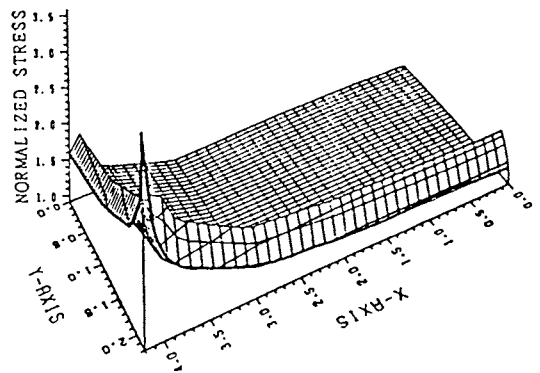


図5 Die Pad (第4層) の最小主応力 σ_2 ($T = 2\text{ mm}$)

係数 α の差($\alpha_c < \alpha_D < \alpha_R$)と熱環境($\Delta\text{Temp} < 0$)により, ChipはDie PadとReginから共に収縮力を受けることによるものであり, その結果, コーナ部には圧縮応力の集中が生じたと考える。ここで最大主応力 σ_1 の図示は省略したが, σ_1 も σ_2 同様にChip全域において圧縮であり, すなわち $|\sigma_1| < |\sigma_2|$ である。これらよりICとして最も重要であるChipに生ずる応力は圧縮応力が支配的であり, そのコーナ部において応力集中を起こす。ここで, Chipへの作用応力が圧縮であることは, 脆性材であるSiliconの圧縮破壊強度が, その引張強度より一般にかなり大きいことから, 各構成材の選択が妥当であることを意味している。

次に, 図5はDie Padの最小主応力 σ_2 の分布図である。これより, Die PadもChip同様に全域圧縮状態($\sigma_2/\sigma_D^* > 0$)にあり, そのコー

ナ部で圧縮の応力集中が生じている。これを前述の各部材の線膨張係数と熱環境の関係から考察すれば、Die Padに作用する力はおもに、線膨張係数差および体積量が大きなRegionからの収縮力であることが分かる。なお最大主応力 σ_1 は σ_2 同様に全域において圧縮である。

そして図6～図9に第1、第2、第5、第6層のRegion, すなわちRegionだけで構成される層の応力分布を示す。これより、これらのRegion層はその内層に位置するChipまたはDie Padの影響を受けて、それらとの界面付近においてほぼ一様な引張応力($\sigma_1, \sigma_2 / \sigma_R^* > 0$)が生じるものの、それらの界面から離れた部分では急激に応力が低下していることが分かる。また、

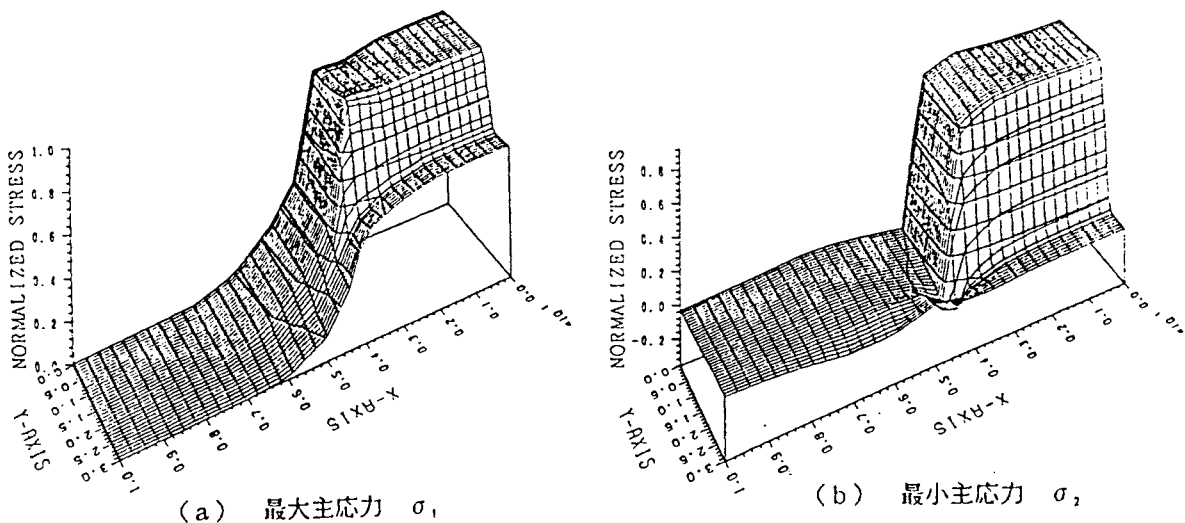


図6 Region (第1層)の主応力 ($T=2\text{mm}$)

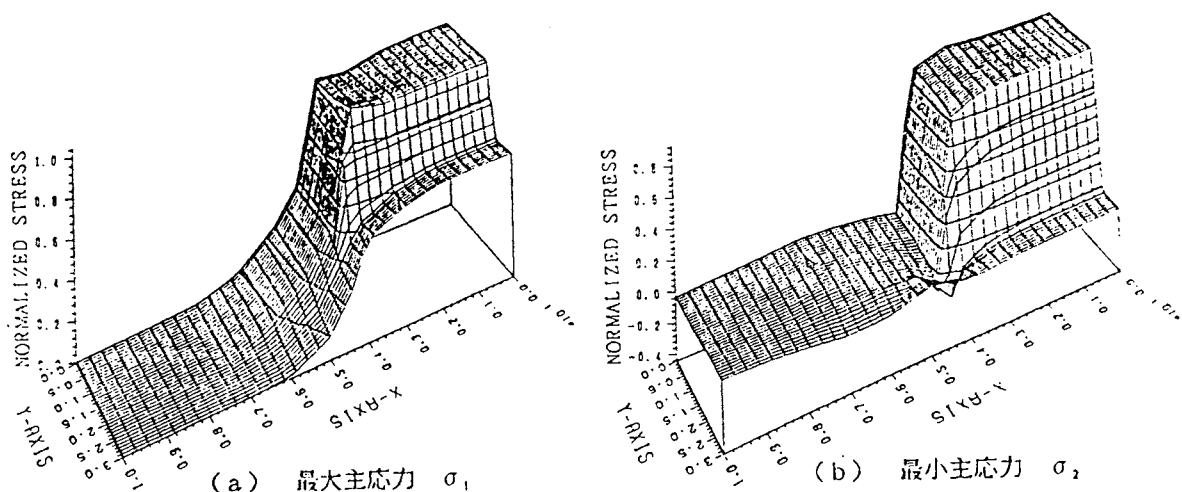


図7 Region (第2層)の主応力 ($T=2\text{mm}$)

これらの応力分布は第1, 第2, 第5, 第6層においてほとんど変化せず, すなわち同一層内に異材を含まない表面近傍の R e g i n 層の応力は板厚方向にはほぼ一定であることも分かる。

一方, 図10の第3層の R e g i n, すなわち同一層内に C h i p を含む層の R e g i n の主応力分布の最大主応力図(a) から, この層の引張応力には C h i p との境界でなく, むしろそのやや外側で下層に D i e P a d の境界線がある部分で応力集中がみられ, 特に D i e P a d のコーナ部近傍でその特異性が増している。また, 最小主応力図10(b) に示す様に圧縮応力に関しては, C h i p に生ずるコーナ部での圧縮の応力集中に対応して, R e g i n にもそのコーナ部での応力の集中が起きていることが分かる。

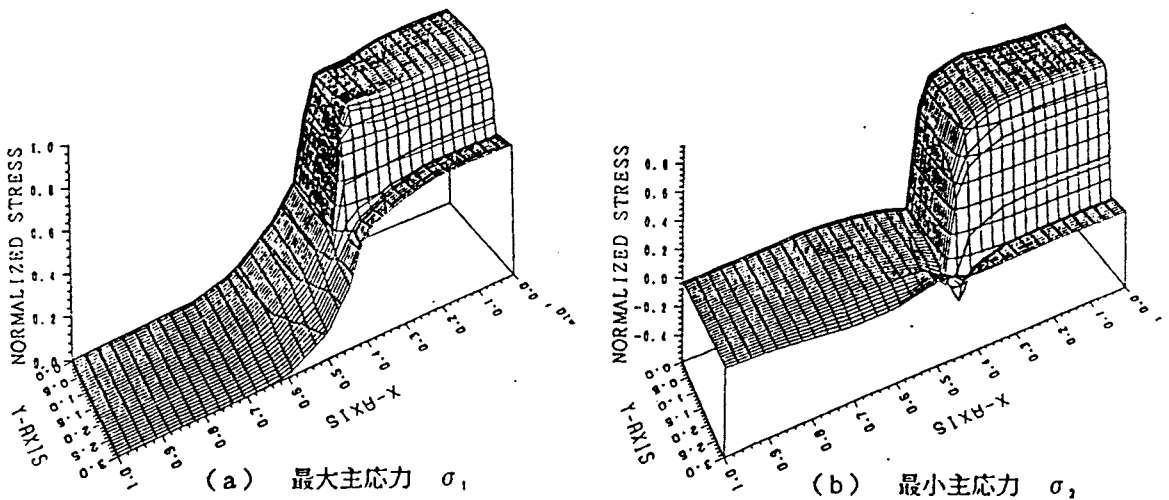


図8 R e g i n (第5層)の主応力 (T=2mm)

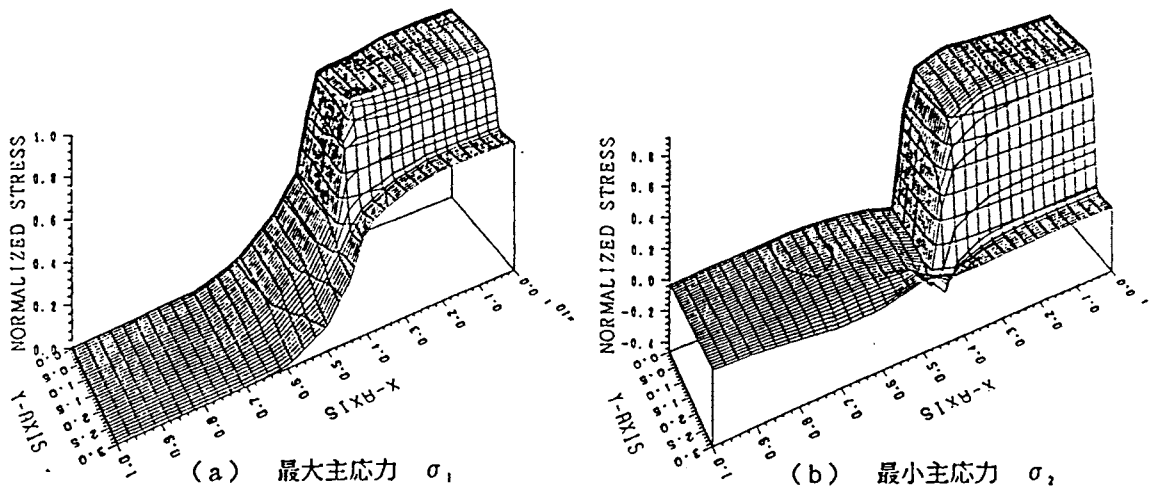


図9 R e g i n (第6層)の主応力 (T=2mm)

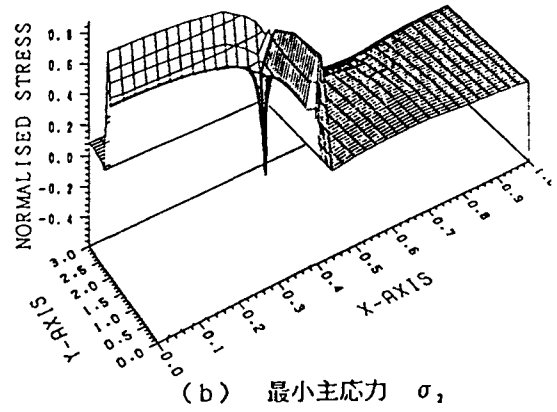
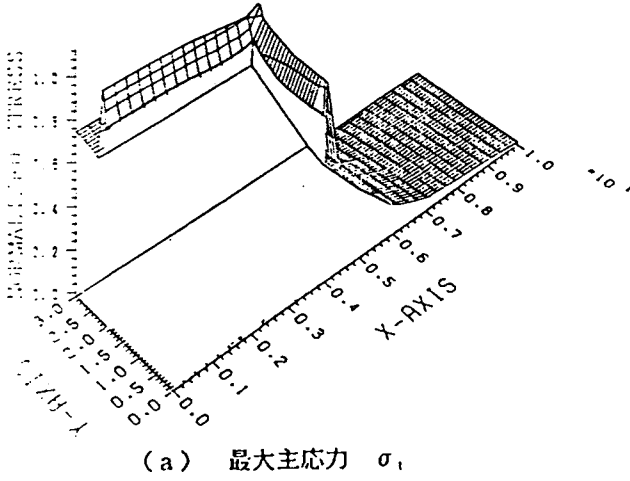
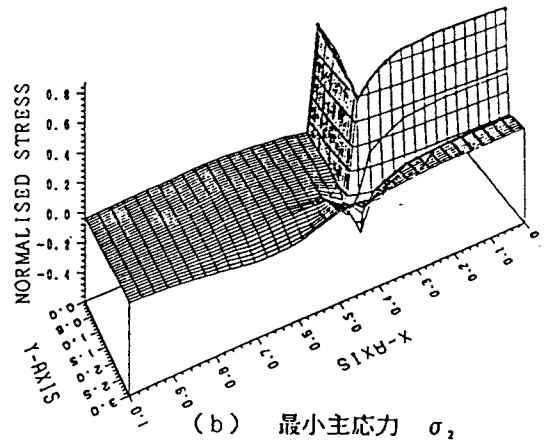
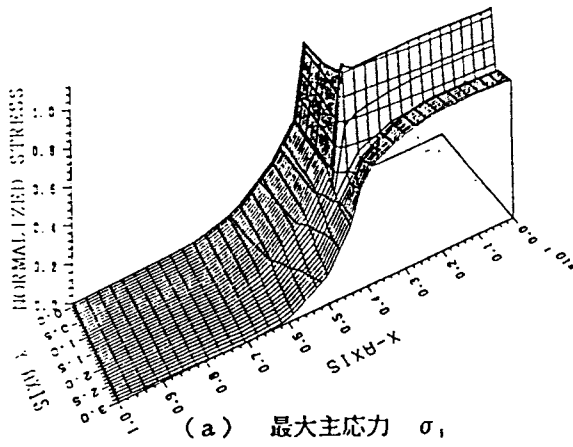


図10 Regin (第3層) の主応力 ($T=2\text{mm}$)

図11は、第4層の R e g i n，すなわち同一層内に D i e P a d を含む層の R e g i n の主応力分布である。同図(a)より、D i e P a d との境界を含めて、この層の引張応力の値はそれほど大きな値でなく ($\sigma_1 / \sigma_R^* < 1$)，また、応力の集中もみられない。一方、圧縮応力に注目すると、図11(b)に示すように、D i e P a d のコーナ部に生ずる圧縮応力の集中に対応して、そのコーナ部で高い応力集中が発生していることが分かる。

以上の R e g i n の応力分布より、R e g i n に生ずる応力の集中点は C h i p と D i e P a d のコーナ部近傍および D i e P a d の境界線近傍であり、

その境界線のコーナ部では応力の集中度が増すことが分かった。よって、R e g i n の破壊はこれらの応力集中部から発生すると考えられ、特に引張応力の集中点である D i e P a d のコーナ上部近傍からの破壊が予想される。

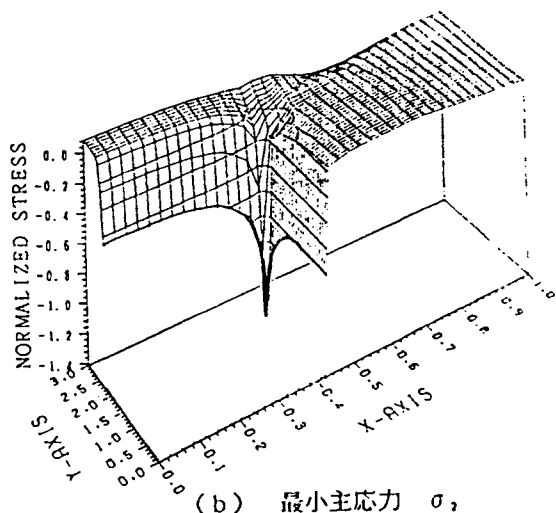
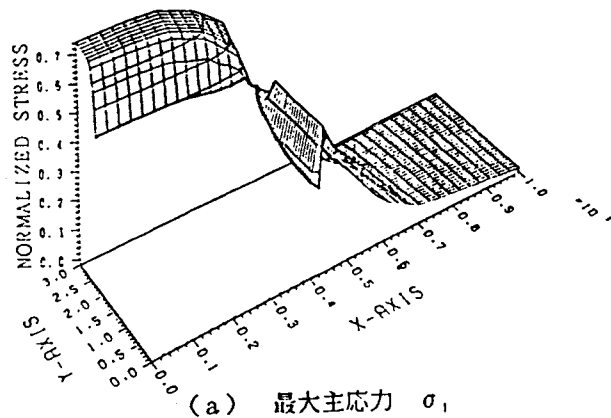
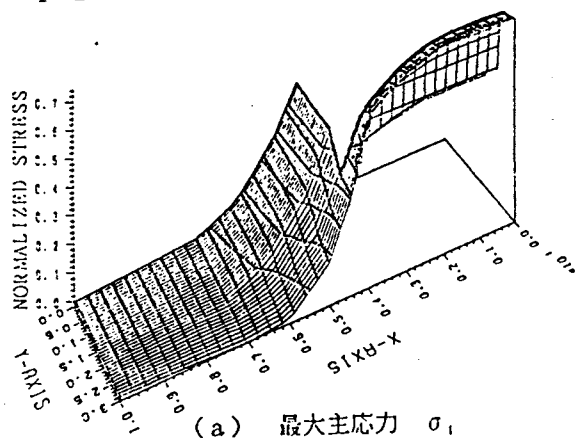


図11 R e g i n (第4層) の主応力 ($T = 2\text{mm}$)

次にパッケージ厚さ $T = 4\text{mm}$ のモデルの解析による応力分布図を図12～図19に示す。前述の $T = 2\text{mm}$ のモデルの結果と比較すると、それらはほぼ同様の傾向を示す応力分布であるが、 T の増加は R e g i n の応力低下と、C h i p および D i e P a d の応力増加をもたらしていることが分かる。これは、パッケージ厚さの増加、すなわち R e g i n の体積増加によって、R e g i n に及ぼされる C h i p と D i e P a d の影響は小さくなる反面、R e g i n の内部に含ま

れるChipとDie Padは、より大きな収縮力によってReginに拘束されるためである。

以上、3次元応力分布の定性的な考察により、重要となる応力集中点は各構成材ともにChipまたはDie Padのコーナー部近傍であり、ChipとDie Padには圧縮の、Reginには圧縮および引張の応力集中の生じていることが分かった。

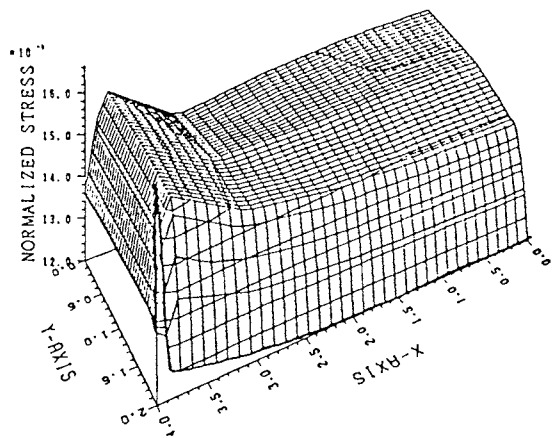


図12 Chip (第3層)の最小主応力 σ_1 (T=4 mm)

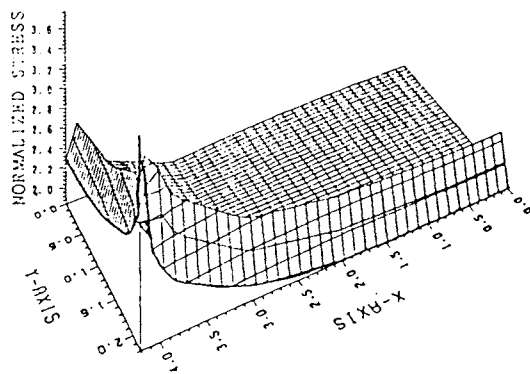
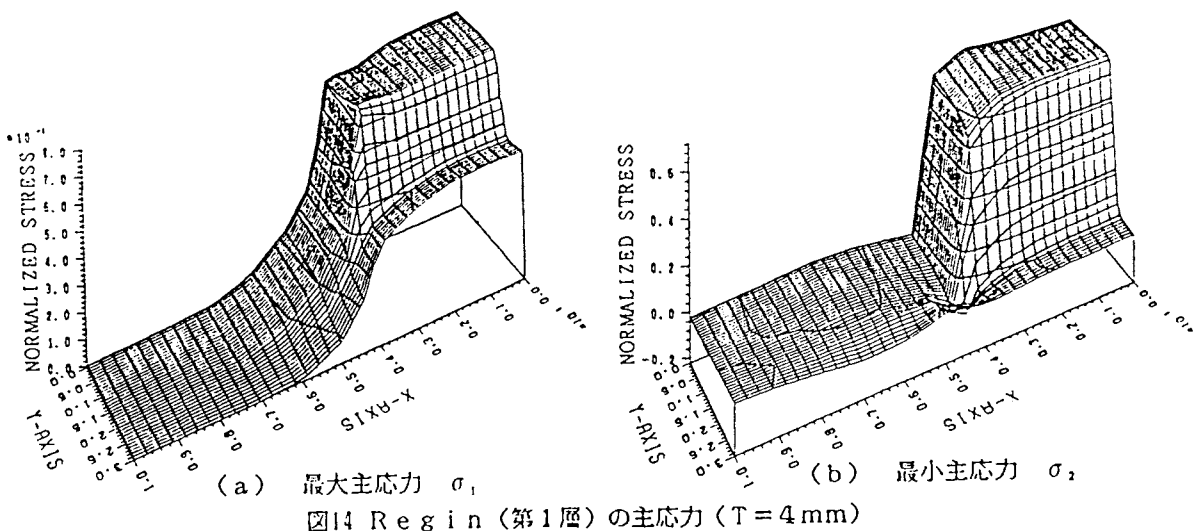


図13 Die Pad (第4層)の最小主応力 σ_1 (T=4 mm)



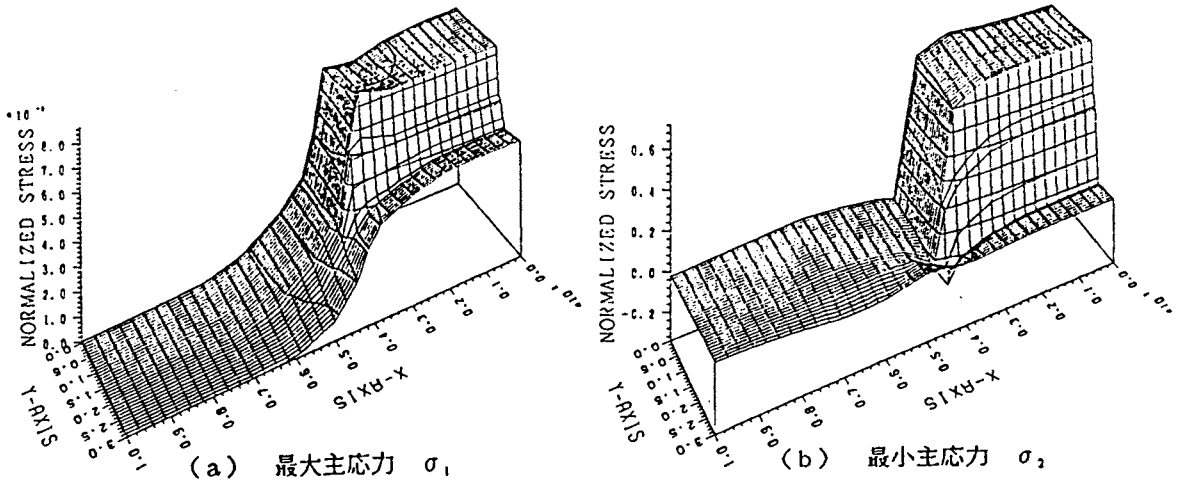


図15 Regin (第2層)の主応力 ($T=4\text{ mm}$)

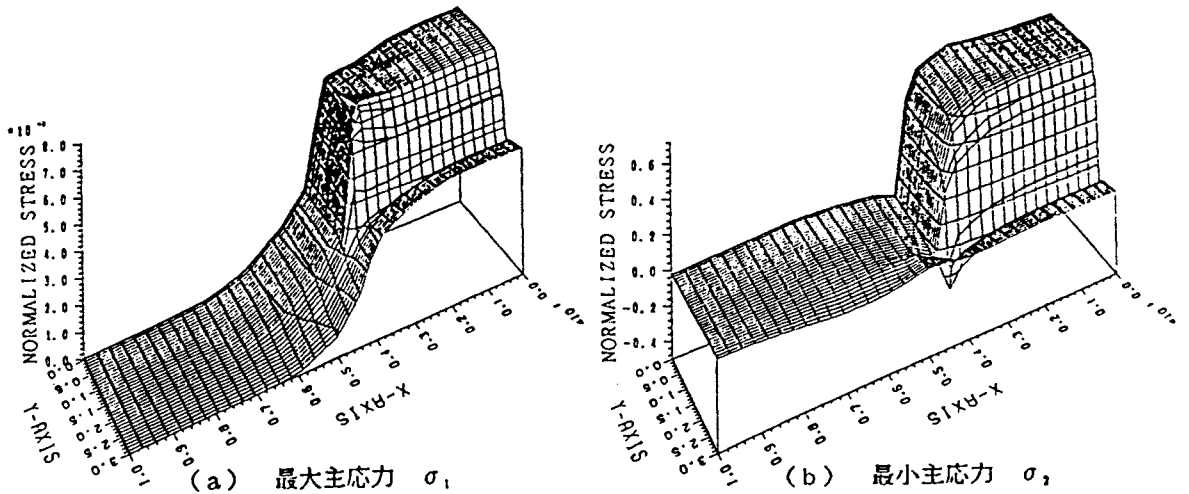


図16 Regin (第5層)の主応力 ($T=4\text{ mm}$)

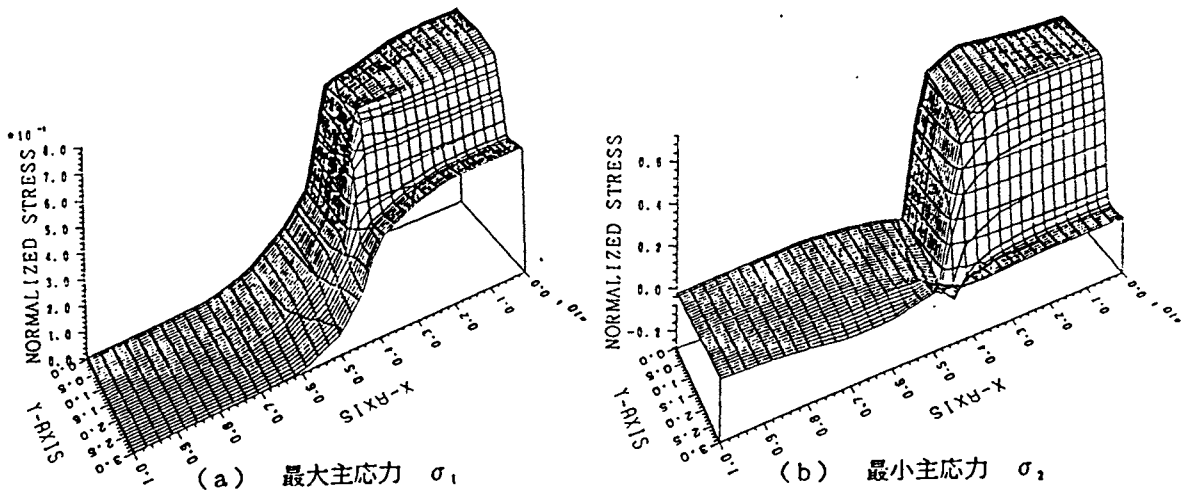


図17 Regin (第6層)の主応力 ($T=4\text{ mm}$)

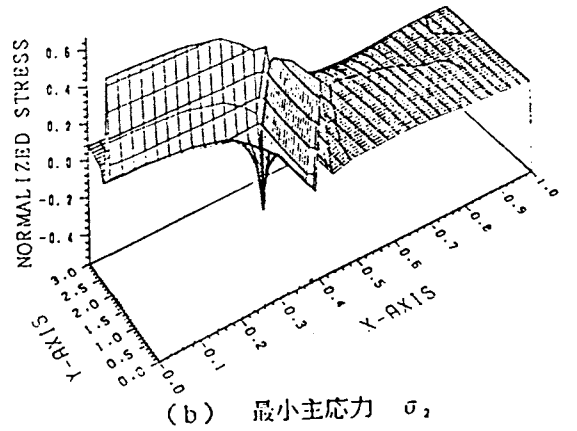
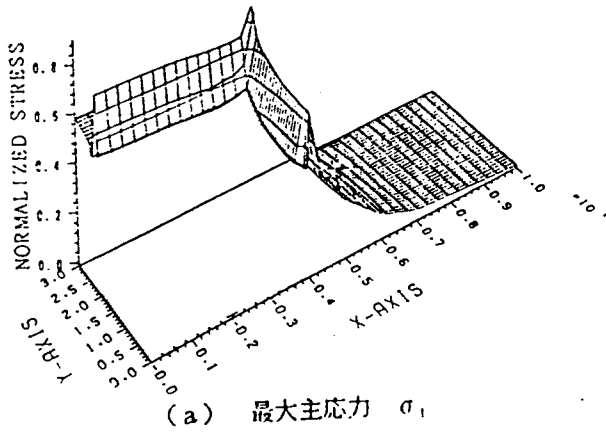
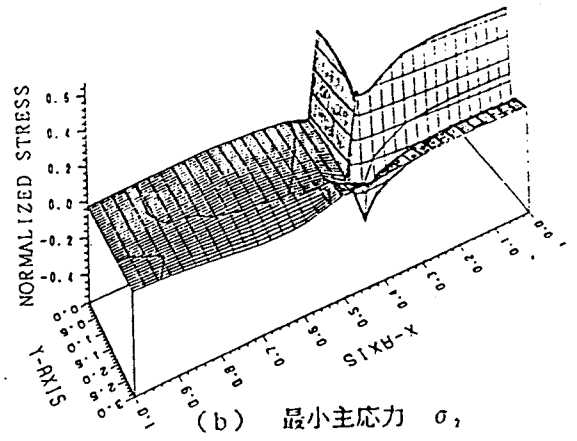
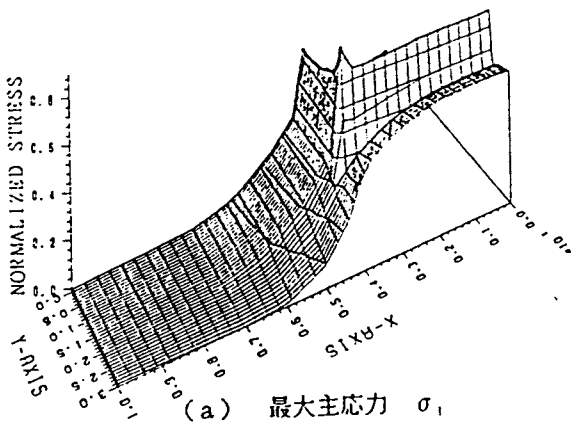


図18 Reg in (第3層)の主応力 ($T=4\text{ mm}$)

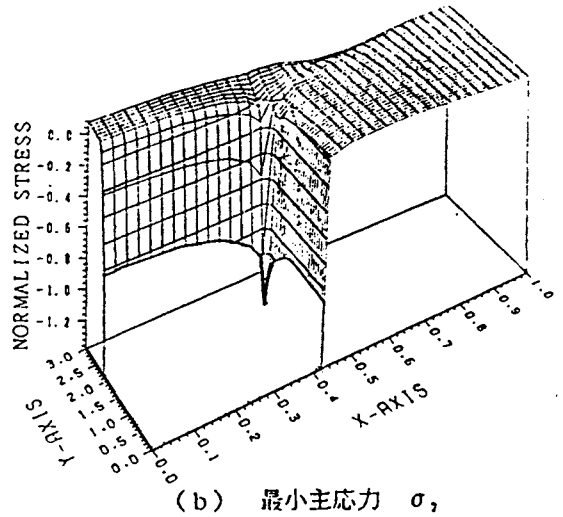
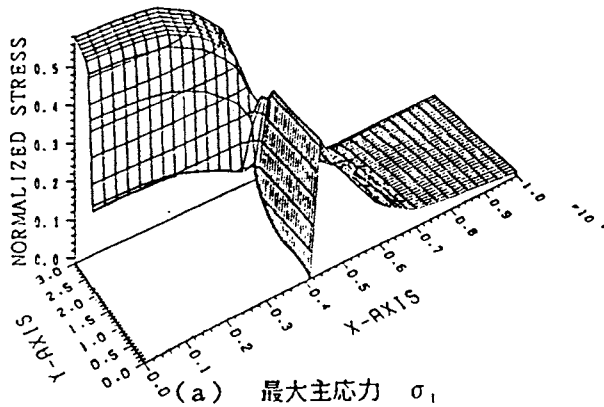
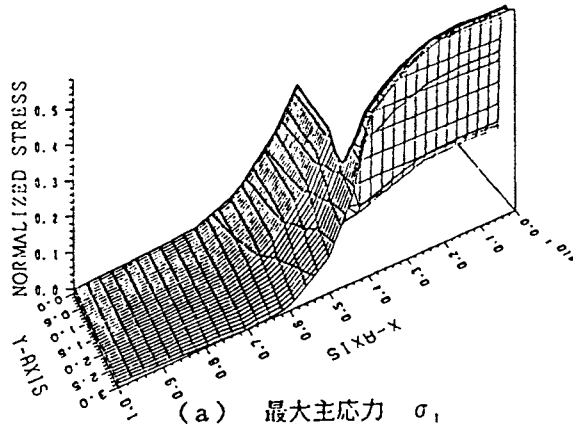


図19 Reg in (第4層)の主応力 (T=4mm)

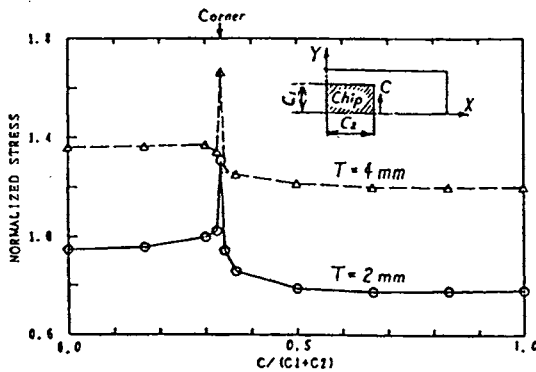


図20 境界上のChipの最小主応力 σ_2

よって以下では、重要となるコーナ部を含むChipおよびDie Padの境界上の応力分布を図示し、考察する。

まず、図20にChipの境界上での応力分布を示す。ここで座標CはChipの境界に沿った座標である。

これより、コーナ部での応力集中と、Tの増加による応力値の増加傾向が明確に分かる。

図21にはDie Padの境界上での応力分布を示す。ここで座標DはDie Padの境界に沿った座標である。Chip同様にコーナ部での応力集中と、Tの増加にともなう応力の増加が認められる。

図22に第3, 第4層のRegionのChipまたはDie Padとの境界での応力分布を示す。これより, この境界上では引張応力($\sigma_1/\sigma_R^* > 0$)の集中は少なく, T の増加によってその応力は低下している。一方, 圧縮応力($\sigma_2/\sigma_R^* < 0$)については応力集中がコーナ部において生じており, 特にDie Padとの境界で大きな応力が発生していることが分かる。ここで, Die Padとの境界での応力値と比較して, Chipとの境界でのその値が小さなものであることは注目すべき点である。これは, Chipに比較してDie Padの寸法が大きいことが原因となって, Die Padのコーナ部近傍でのRegionに生ずる高い応力集中が, Chipのコーナ部近傍でのRegionへの作用応力を緩和していることによるものであると考えられるが, それは逆に, IC本体であるChipへの作用応力の低下をも意味するものである。すなわちDie PadがChipより大きいことは回路の破損防止上重要なこととなり, またその寸法比の設定にも注意が必要となるであろう。

次に, 図23, 図24は $T = 2\text{ mm}$ と 4 mm の場合のRegionに生ずる主応力の板厚方向(Z 軸方向)の分布で, 同図中に示す様に点a, b, c, d, e, fの計6点の応力値を, 各層のRegionについて求めたものである。なお, 本FEM解析は2次元解析であり, 各層内での応力は板厚方向には変化しないと仮定し

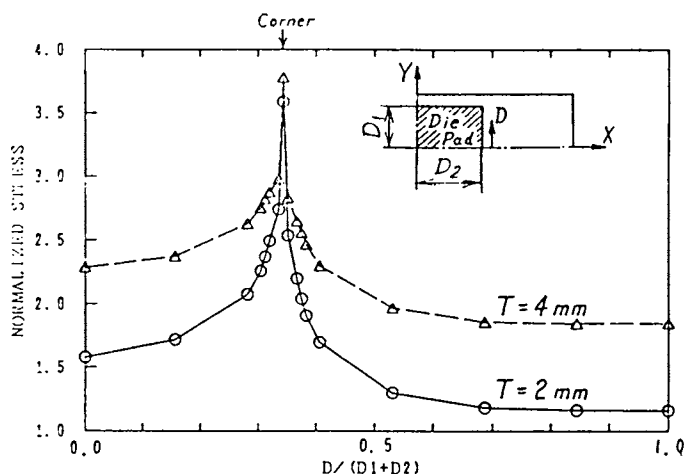


図21 境界上のDie Padの最小主応力 σ_1

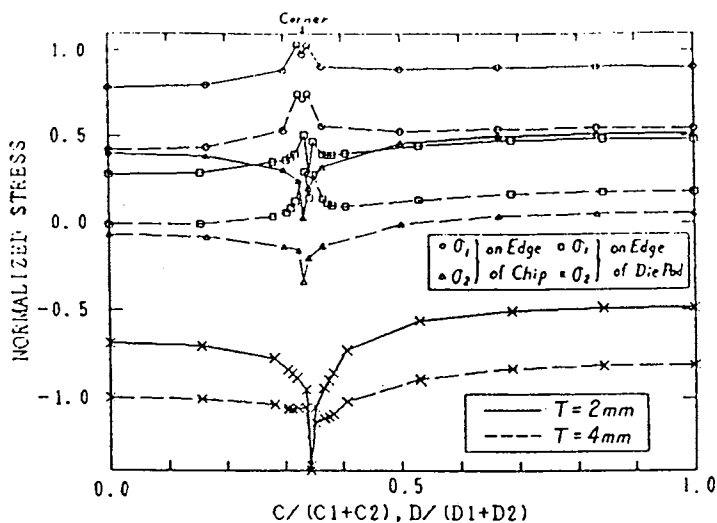


図22 境界上のRegionの主応力

ているので、各層での応力値は、その層の中央に生ずる応力であるとして、ここでは図示している。これより、いままでの結果から分かっている応力集中部であるDie Padの境界近傍 (Point a, b, c) での応力は、ChipおよびDie Padを含む層付近で板厚方向に大きく変化しているものの、応力集中のないその境界より離れた点 (Point d, e, f) では板厚方向の応力変化はほとんどなく、また応力値も小さいことが分かる。これらの結果より、Reginの板厚方向の応力分布が大きく変化するのは、ChipおよびDie Padの近傍であり、この部分の応力解析が重要であることが、より明らかとなった。またこのことは、本FEMを用いての3次元多層構造体の3次元的な応

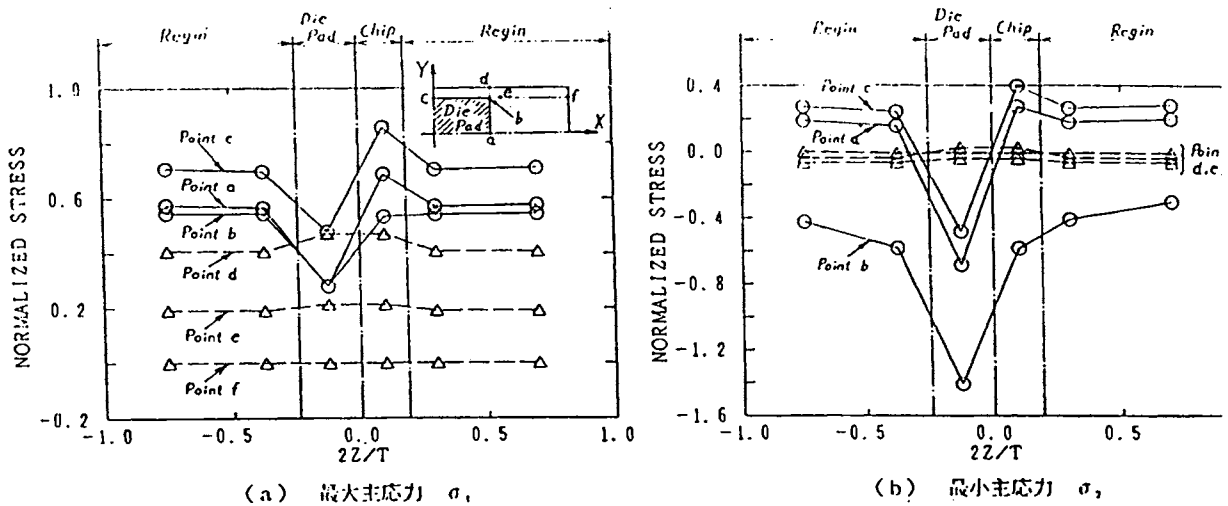


図23 Reg inの主応力の板厚方向 (Z軸方向) の分布 (T=2mm)

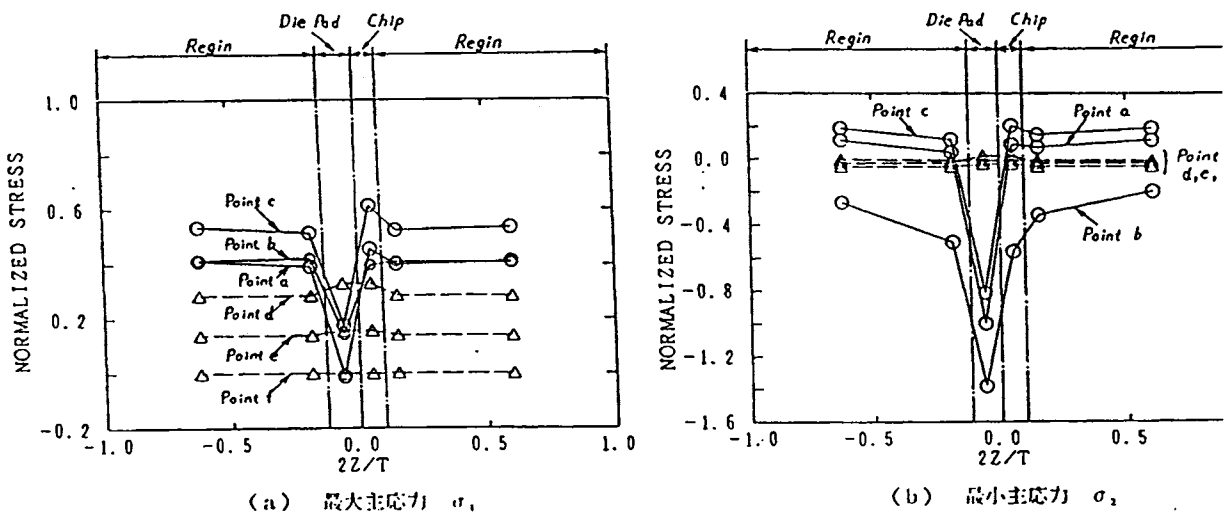


図24 Reg inの主応力の板厚方向 (Z軸方向) の分布 (T=4mm)

力分布の解析が、十分有用であることをも明らかにするものである。

最後に、各層間の接合層に生ずるせん断応力、すなわち各部材界面に発生するせん断応力について考察する。まず、パッケージ厚さ $T = 2 \text{ mm}$ のモデルの解析結果を示す。

図25は第2，第3層間，すなわち R e g i n と C h i p 上面との界面に生ずる最大せん断応力を示したものである。これより，C h i p 端近傍で応力集中が生じており，そのコーナ部においてはさらに特異性が増していることが分かる。

次に，図26は第3，第4層間，すなわち C h i p 下面および R e g i n と D i e P a d 上面との界面に生ずる最大せん断応力を示したものである。前述同様に，応力集中部は C h i p 端と D i e P a d 端の近傍であり，また C h i p, D i e P a d それぞれのコーナ部では，より高い応力集中度を示すことが分かる。

そして，図27は第4，第5層間，すなわち D i e P a d 下面と R e g i n の界面に生ずる最大せん断応力を示したものである。ここ

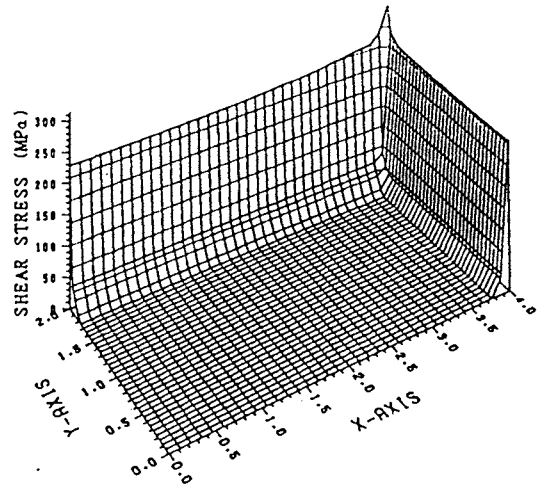


図25 R e g i n と C h i p の界面（第2，第3層間）の接合層のせん断応力（ $T = 2 \text{ mm}$ ）

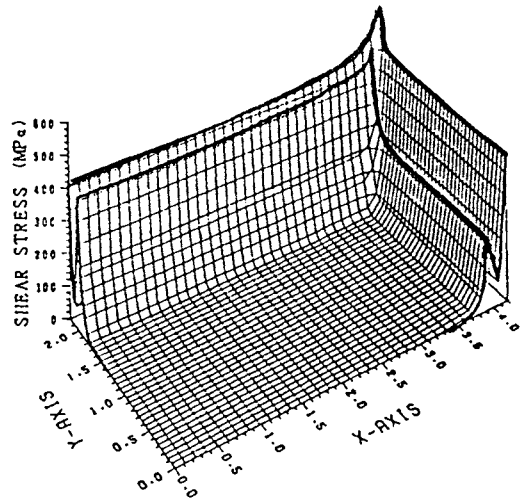


図26 C h i p と D i e P a d の界面（第3，第4層間）の接合層のせん断応力（ $T = 2 \text{ mm}$ ）

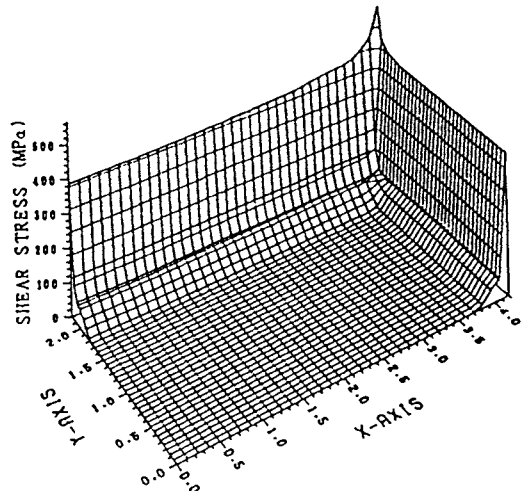


図27 D i e P a d と R e g i n の界面（第4，第5層間）の接合層のせん断応力（ $T = 2 \text{ mm}$ ）

でも、これまでのせん断応力分布同様にDie Pad端での応力集中と、コーナ部でのその特異性の増加が認められる。

一方、Tを変化させた結果は、図28～図30に示すように以上の結果とほぼ同様な傾向を持つものであるが、Tの増加によって応力値は増加していることが分かる。

これらの結果より、異材間の界面に生ずるせん断応力の応力集中部は、各部材の端部すべてであり、そのコーナ部ではさらに特異性が増加している。また、パッケージ厚さの増加により、その応力は増大されることが分かった。

さらに、この界面でのせん断応力を詳しく解析するために、その応力の集中部である、Chip端、Die Pad端、それぞれの境界上での応力分布を示し、考察をする。

図31、図32にT = 2 mm, 4 mmの場合のChip端およびDie Pad端の上下の境界線上の接合層の最大せん断応力の分布を示す。これより、全境界線上のコーナ部で応力集中があり、特にChip端上面の境界を除いた境界線 (Line b, c, d) で高

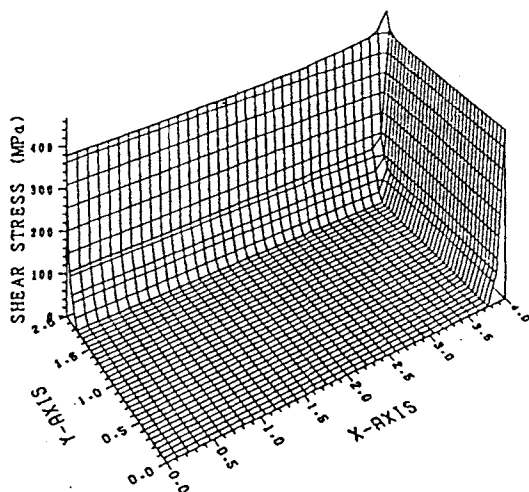


図28 ResinとChipの界面 (第2, 第3層間) の接合層のせん断応力 (T = 4 mm)

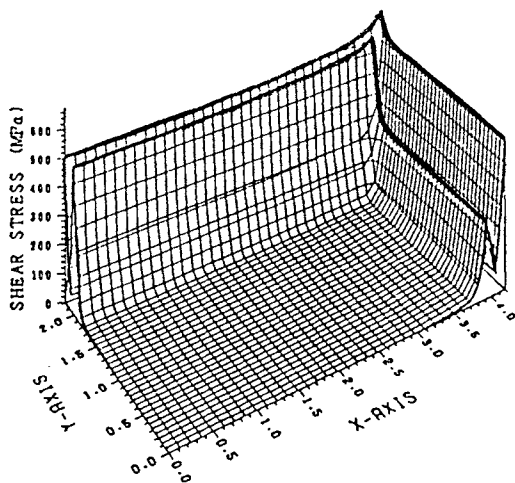


図29 ChipとDie Padの界面 (第3, 第4層間) の接合層のせん断応力 (T = 4 mm)

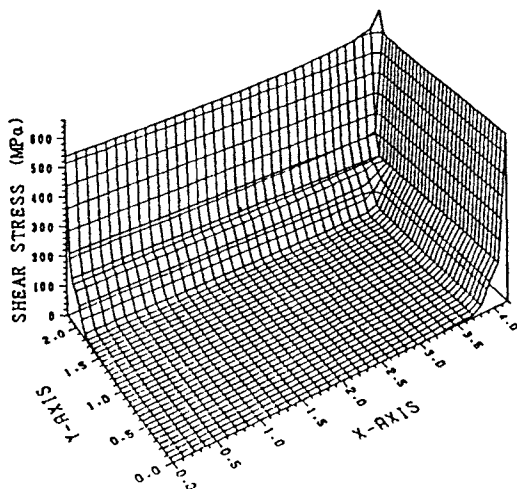


図30 Die PadとResinの界面 (第4, 第5層間) の接合層のせん断応力 (T = 4 mm)

い応力集中がみられる。これは前述したように、Die PadがChipより大きな寸法で設定されていることに起因してのことと考えられ、Chip自体に生じる応力の緩和とともに、Chip上面の回路に直接生ずる応力の低減化の観点からも、このDie PadとChipの寸法比、およびそれらの形状について吟味することは重要なこととなるであろう。一方、 T の増加により、応力値は全体的に増加される傾向にあり、Region形状についても同様にその設計には注意が必要である。

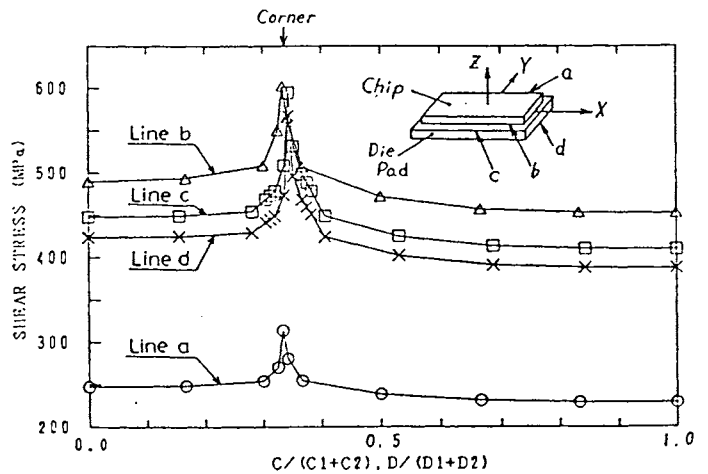


図31 境界上の接合層のせん断応力 ($T = 2 \text{ mm}$)

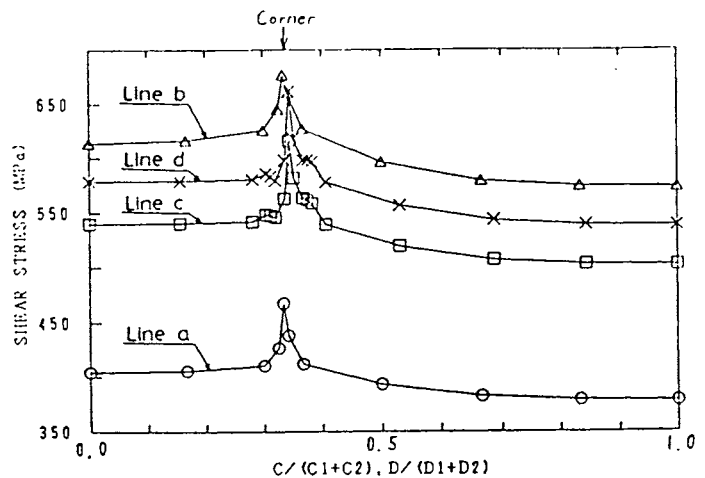


図32 境界上の接合層のせん断応力 ($T = 4 \text{ mm}$)

(3) 結言

3次元構造を有するD.I.P型ICをモデル化し、本報提案のFEMを用いて温度降下を負荷条件としての熱応力解析を行い、得られた3次元応力分布の考察により、次の結論を得た。

- (i) 3次元構造を有する多層構造体の応力ひずみ解析が本報提案のFEM手法により、有効に行われることが明かとなった
- (ii) 各構成材に生ずる応力集中点は、ChipおよびDie Padのコーナー部近傍であり、ChipとDie Padには圧縮の、Regionには圧縮および引張の応力集中が生じる。

- (iii) パッケージ厚さの増加は、一般に R e g i n の応力の低下になるが、逆に、C h i p および D i e P a d の応力を増加させる。
- (iv) R e g i n の応力は C h i p または D i e P a d の近傍で 3 次元的に大きく変化する。
- (v) C h i p, D i e P a d, R e g i n, それぞれの異材間の界面に生ずるせん断応力の応力集中点は、各部材の端部近傍であり、そのコーナ部ではその特異性が増加される。また、パッケージ厚さの増加は、このせん断応力をさらに増加させる。
- (vi) C h i p に比較して寸法の大きな D i e P a d は、C h i p の面内応力を緩和させ、また C h i p 上面への作用応力も低下させる。

3. IC基板モデルの応力・ひずみ測定法とその応用

3.1 基板用薄膜の機械的特性の推定法とその実験

集積回路（IC）は、チップとその上に形成した薄膜（膜厚約 $1\mu\text{m}$ ）の微細加工によって形成されるが、その薄膜の組織構造は膜の形成過程に起因して、バルク状態での構造とは異なるため、その機械的特性も異なるものとなる。よって、近年のICの高密度化にともなう微細加工により、膜とバルク材の材料特性の差異が原因となつての回路の破損が、大きな問題とされるようになってきた。

しかし、薄膜の機械的特性の測定手法は複雑かつ経験を要するものが多く、また薄膜の取扱いも困難であるため、いまだ十分な結果を得るには至っていない。

そこで、ここでは、薄膜のヤング率を簡便に評価する手法として、三点引張試験法を考案し、実験を行いその有効性について検討した。また、以前より提案されている三点曲げ試験法についても、実験を行い比較検討した。

3.1.1 推定法

(1) 三点引張試験法

図1に示すように薄膜からなる供試片の両端A、Bを固定して、初期たわみ δ_0 を与えた中央点Cを荷重Pで引いたときの変位量を δ とすると、点Cにおける鉛直方向の力の釣合いより、膜のヤング率Eは次式より得られる。

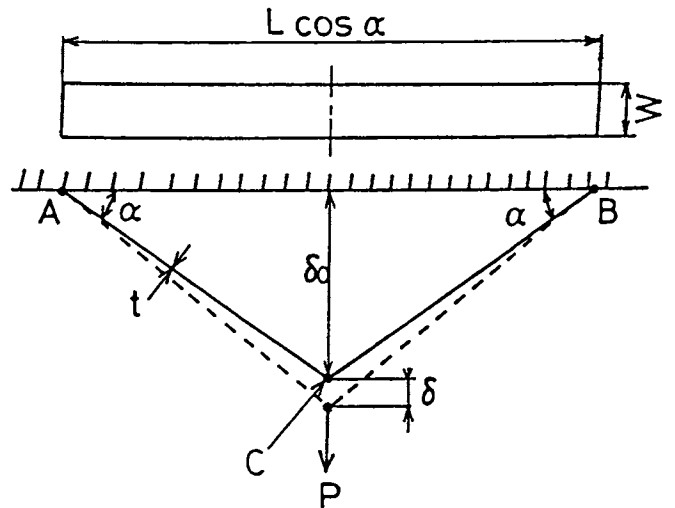


図1 三点引張試験の概略図

$$E = \frac{L P}{4 W t \delta \sin^2 \alpha} \quad (1)$$

ただし、 L ; 膜の初期長さ、 W ; 膜幅、 t ; 膜厚さ、
 δ ; C点の鉛直方向移動量、 α ; たわみ角、

なお、供試片は厚さが薄いため、曲げ応力を無視した。

(2) 三点曲げ試験法

まず、基板のみの三点曲げ試験より、厚さ h_1 、幅 b の長方形断面を有する長さ L の基板のヤング率 E_1 は以下の式で得られる。

$$E_1 = \frac{P L^3}{4 \delta_1 b h_1^3} \quad (2)$$

ここで、

δ_1 : 基板中央部のたわみ量

P : 荷重

L : スパン

そして図2のように、ヤング率 E_1 の基板上に、厚さ h_2 、ヤング率 E_2 の接着層と厚さ h_3 、ヤング率 E_3 の膜を被覆した供試片の曲げ変形を考えると、組合せ梁の曲げ理論より膜と基板のヤング率比 ($E_3 / E_1 = X$) の関係は次式となる。

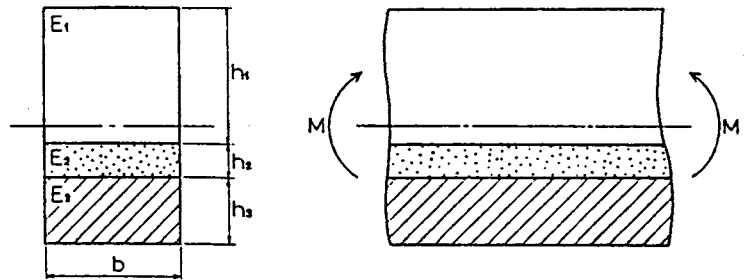


図2 組合せ梁の曲げ

$$A X^3 + B X^2 + C X + D = 0 \quad (3)$$

ただし、 $X = \frac{E_3}{E_1}$

ここで,

$$A = \theta \alpha_2^5 + 3 \alpha_1^2 \alpha_2^3 \theta$$

$$B = 2 \theta \alpha_1 \alpha_2^4 t + 2 \theta \alpha_2^4 - (1 - \theta) \alpha_2^3 \\ - 3 (1 - \theta) \alpha_2^2 (1 + 2 \alpha_1 + \alpha_2)^2 + t \theta \alpha_1^3 \alpha_2^2 \\ + 3 \alpha_1 \alpha_2^2 (\alpha_1 + \alpha_2)^2 t \theta - 6 \theta \alpha_1 \alpha_2^2 (1 + \alpha_1 + \alpha_2) \\ - 6 \theta \alpha_1 \alpha_2^2 (1 + \alpha_1 + \alpha_2) - 6 \theta \alpha_1^2 \alpha_2^3 t$$

$$C = \theta \alpha_2^3 (1 + \alpha_1^2 t^2 + 2 \alpha_1 t) \\ + 3 \alpha_2 \theta (1 + \alpha_1^2 + \alpha_2^2 + 2 \alpha_1 + 2 \alpha_1 \alpha_2 + 2 \alpha_2) \\ + 3 \alpha_1^2 \alpha_2^3 \theta t^2 + 6 \alpha_1 \alpha_2^2 \theta (1 + \alpha_1 + \alpha_2) t \\ - 2 (1 - \theta) (\alpha_1 \alpha_2 t + \alpha_2) \\ - 6 \alpha_1 \alpha_2 (1 - \theta) (1 + \alpha_1) (1 + 2 \alpha_1 + \alpha_2) t \\ + 2 \alpha_1^3 t \theta (\alpha_1 \alpha_2 t + \alpha_2) \\ - 6 t \theta \alpha_1 (\alpha_2 + \alpha_1 \alpha_2) (\alpha_1 + \alpha_2)$$

$$D = - (1 - \theta) (1 + \alpha_1^2 t^2 + 2 \alpha_1 t + 3 \alpha_1^2 (1 + \alpha_1)^2 t^2) \\ + t \theta \alpha_1^3 (1 + \alpha_1^2 t^2 + 2 \alpha_1 t) \\ + 3 t \theta \alpha_1 (1 + 2 \alpha_1 + \alpha_1^2)$$

また,

$$t = E_2 / E_1$$

$$\alpha_1 = h_2 / h_1$$

$$\alpha_2 = h_3 / h_1$$

$$\theta = \delta_2 / \delta_1$$

ただし, δ_1 は基板のみのたわみ量, δ_2 は基板, 接着層, 薄膜のたわみ量である.

よって, この3次方程式を解くことにより薄膜のヤング率 E_3 を求めることができる.

3. 1. 2 測定実験

以下で述べる実験の供試片には、膜厚が厚く、比較的取扱いの容易であるアルミ箔（約 $15\mu\text{m}$ ）を用い実験を行った。ただし、今回使用したアルミ箔は、一方方向の圧延加工によって製造されているため、異方性を有すると考えられる。そこで、長手方向がアルミ箔の圧延方向の場合と、それと垂直方向の場合の2種類の供試片を作製し、圧延方向とヤング率の関係についても検討を加えた。

なお、アルミ箔の膜厚は、アルミ箔より切り出した方形片の面積とその質量の関係より算出し、その平均値（ $15.4\mu\text{m}$ ）を用いるものとした。

(1) 三点引張試験

まず、図3に示すように、供試片をアルミ箔からカッターで幅 20.0mm ×長さ約 250mm に切り出す。ここで、方向Aはアルミ箔の圧延方向、方向Bはそれと垂直な方向を示すものであり、以下ではそれら方向A、Bを供試片切り出し方向として用いる。

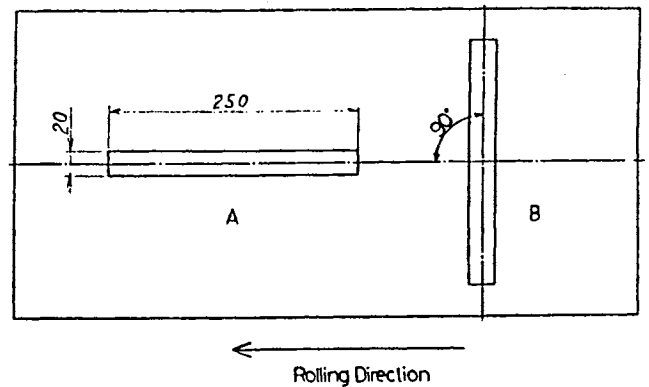


図3 供試片と圧延方向

次に、図4のように、供試片両端をセロテープで支持台に固定する。そして、支持台に固定された支持棒と、供試片の接触部を瞬間接着剤で接着しする。しかし、このままの状態で行張試験を行うと、供試片に残留しているシワが原因で、供試片の応力分布が不均一になるという問題が生じてくる。そこで、供試片中

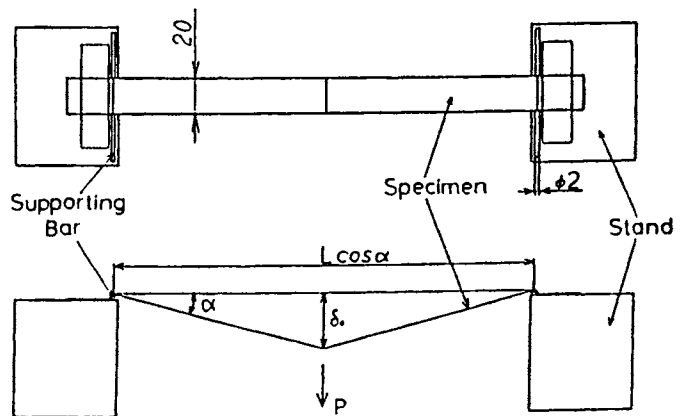


図4 実験装置図（三点引張試験）

中央に取り付けたフックに、供試片の破断荷重よりやや小さめの荷重を負荷して、供試片を初期引張させて、そのしわを除去する。この状態から、以下の手順で引張試験を行う。

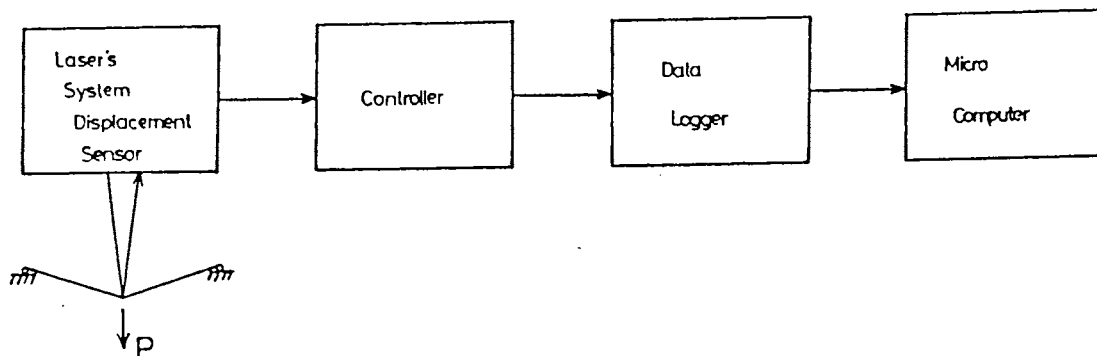


図5 実験装置概略図（三点引張試験）

図5に実験装置の概略図を示す。供試片中央に負荷することで生ずるその負荷点の変位をレーザ式変位計（最小測定値 $10\mu\text{m}$ ）を用いて測定し、その出力をコントローラで増幅する。さらにその出力をデータローガを用いて処理し、それをマイコンに取り込み記録する。また、おもりを順に取り除いて、除荷過程においても同様の測定を行い、負荷過程と除荷過程のヒステリシスを確認するとともに、負荷、除荷過程によって生ずる塑性ひずみが微小であることを確認する。

ここで、初期のたわみ角 α_0 はスパン長 l と初期たわみ δ_0 から求めたものであり、本実験では、初期のたわみ角 α_0 は 10° 程度とした。ただし初期状態とは、測定変位と荷重が線形性を示す最小荷重点を意味するものである。

次に実験結果およびその考察を述べる。図6は、方向A（供試片の長手方向が圧延方向の場合）の供試片の、除荷過程での測定における応力-ひずみ線図の一例である。このように応力-ひずみ線図はよい線形性を示し、ばらつきも小さい。

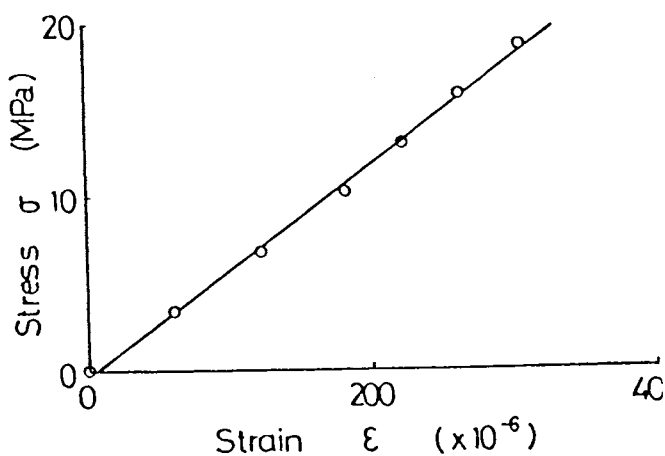


図6 三点引張試験による応力-ひずみ線図（供試片方向A，除荷過程）

またこれは、方向Bの供試片の場合、および負荷過程での測定においても同様の傾向であり、よって、本引張試験における測定範囲が弾性変形範囲内にあることが確認された。

また、上記の応力-ひずみ線図を最小二乗法で近似した直線の傾き P/δ から、式(1)より求めたアルミ箔のヤング率をヒストグラムにした一例を図7に示す。この図は、方向Aの供試片の、除荷過程での測定によるヤング率のヒストグラムである。これより、ヒストグラムは、平均値を中心に ± 10 GPa (平均値の $\pm 14\%$) 程度の値の中に入っており、小さなばらつきであることが分かる。またこれは、他の測定条件においても同様であり、本試験法の有効性が確認された。

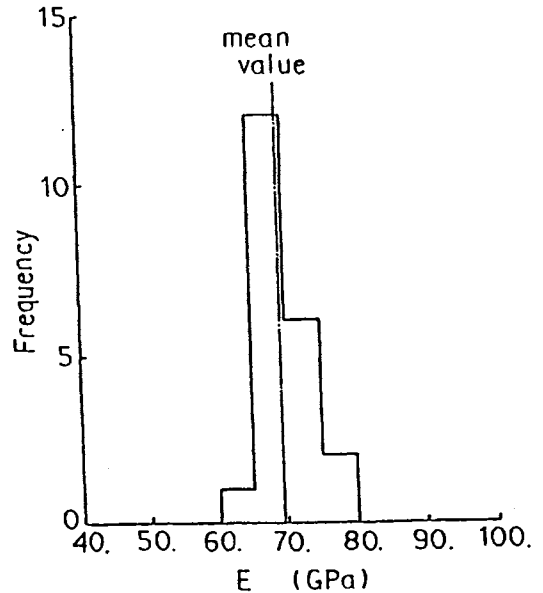


図7 三点引張試験によるヒストグラム (供試片方向A, 除荷過程)

表1 三点引張試験によるアルミ箔のヤング率測定結果

最後に、両方向の供試片の両荷重過程での測定結果より得られたヤング率の平均値と標準偏差を表1に示す。供試片方向の違いにより、そのヤング率の平均値は大きく違うものの、それらの値は、結晶

		Loading Process		Unloading Process	
		Mean Value	Standard Deviation	Mean Value	Standard Deviation
Direction of Specimen	Rolling Direction A	69.16	4.05	69.60	3.68
	Direction B	59.84	3.35	61.06	3.23

(Unit: GPa)

の異方性に基づき理論的に算出されるアルミニウムのヤング率の値57GPa~74GPaの範囲内にあり、よって本実験結果は妥当なものであることが定量的にわかる。ここで、荷重過程にかかわらず、方向Aの供試片のヤング率の平均値が、方向Bの供試片の値に比較して約9GPa大きいのは、明かにアルミ箔に異方性が存在する

ことが原因となつての差違であると考えられる。一方、方向A、Bの両供試片において、ヤング率の平均値は負荷過程よりも除荷過程の測定で、やや大きな値が得られた。これは、供試片上にわずかに残つたシワによる応力分布の不均一が、負荷過程時において供試片に塑性変形を生じさせるため、その結果ヤング率をやや小さめに評価してしまうためと考える。よつて、除荷過程時の測定による結果の方が信頼性は高いと言える。

以上、供試片であるアルミ箔の異方性の有無および、本引張試験法の有効性と除荷過程での測定による信頼性の高さが確認された。

(2) 三点曲げ試験

本来、蒸着、スパッタリングなどの方法により、膜を基板上に形成すべきであるが、アルミ箔を膜として用いる関係上、アルミ箔を基板に接着剤で接着することで、簡易的に供試片を作製した。なお、三点曲げ試験に用いられる基板の材料としては、ガラス、Si、SiO₂などが一般的であるが、ここでは、入手が比較的容易なショットガラス（寸法22mm×40mm、厚さ0.16~0.18mm）を用いた。また膜には前節と同様にアルミ箔を用いた。なおアルミ箔を基板に接着する際に用いた接着剤（エポキシ系接着剤）のヤング率にはエポキシのヤング率 $E_2 = 2.94$ GPaを用いた。

図8に実験装置の概略図を示す。三点引張試験同様に供試片中央に負荷することで生ずるその負荷点の変位をレーザ式変位計（最小測定値10 μ m）を用いて測定し、その出力をコントローラで増幅する。さらにその出力をデータローガを用いて処理し、それをマイコンに取り込み記録する。

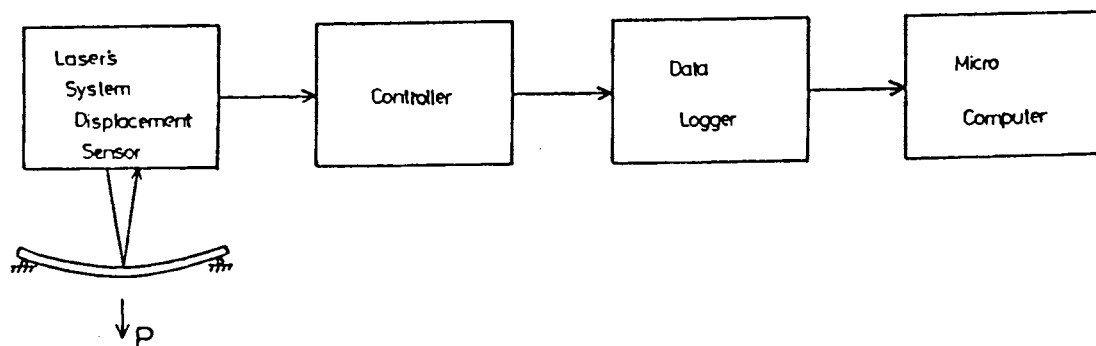


図8 実験装置概略図（三点引張試験）

次に、実験方法を説明する。図9に示すように支持棒の上に基板のみを置き、先端にフックの付いたひもを基板中央にかける。そして、そのフックに数個のおもりを順にのせていき、負荷過程における基板中央部の変位をレーザー式変位計により測定する。また、同様におもりを順に取り除いて除荷過程における変位も測定する。

次に基板を取り外し、その表面をアセトンで拭いた後、接着剤を薄く塗布し、アルミ箔を接着する。接着剤が完全に硬化した後、供試片の厚さをマイクロメータで測定

し、接着層の厚さを求める。そして、アルミ箔を接着した面を下側にして供試片を支持棒の上に置き、アルミ箔には引張応力が作用するようにして、基板のみの場合と同様の方法で三点曲げ試験を行う。

次に、実験結果および考察を述べる。

まず、基板のみの曲げ試験の場合、すなわち基板のヤング率 E_1 の評価は、実験より得られた荷重-たわみ線図の傾き P/δ より、式(2)を用いて行い、その

平均値と標準偏差を表2に示す。これより、負荷、除荷過程において求められたヤング率には、ほとんど差異がなく、また標準偏差も平均値の約3%で非常に小さいことがわかる。

次に、アルミ箔を基板に接着した供試片の測定値、すなわちアルミ箔のヤング率の測定結果を示す。図10は、方向A(アルミ箔の長手方向が圧延方向)の供試片の除荷過程での測定によって得られた荷重-たわみ線図の一例である。このよ

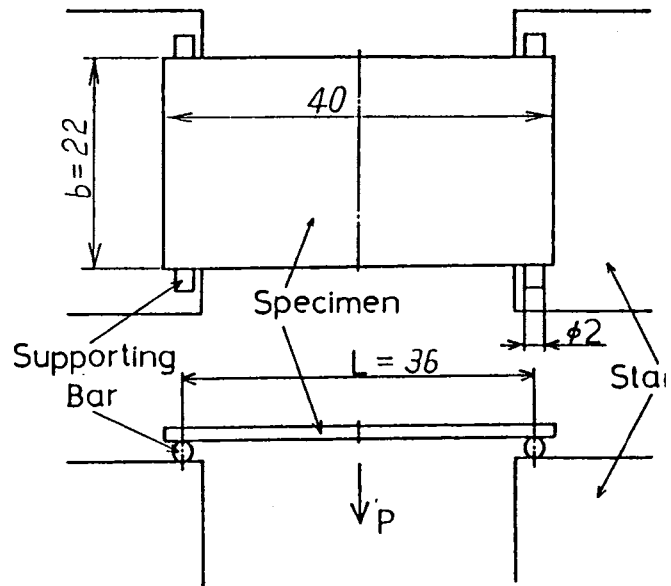


図9 実験装置図(三点曲げ試験)

表2 三点曲げ試験による基板のヤング率測定結果

Loading Process		Unloading Process	
Mean Value	Standard Deviation	Mean Value	Standard Deviation
66.72	2.20	66.82	2.01

(Unit: GPa)

うに荷重-たわみ線図はよい線形性を示し、ばらつきも小さい。またこれは、方向Bの供試片の場合、および負荷過程での測定においても同様の傾向であり、よって、本試験の測定範囲が弾性変形範囲内にあることが確認された。

そして、上記のアルミ箔を接着した基板の三点曲げ試験の荷重-たわみ線図の傾き P/δ_2 と、前記の基板のみの三点曲げ試験で得られた E_1 , P/δ_1 を用いて、アルミ箔のヤング率 E_2 を式(3)より求めた。このようにして求めたアルミ箔のヤング率をヒストグラムにした一例を図11に示す。この図は、方向Aの供試片の、除荷過程での測定によるヤング率のヒストグラムである。このヒストグラムを、供試片条件および荷重条件が同様である3点引張試験の結果の図7のヒストグラムと比較すると、その平均値はほぼ同様な値であり、また平均値を中心とした分布傾向では、3点曲げ試験の結果において約±25 GPa(平均値の約±35%)程度のばらつきがあり、これは3点引張試験のそれと比較すると、非常に大きいことがわかる。またこのことは、他の測定条件においても同様であるため、三点曲げ試験法の有効性は確認されたものの、三点引張試験法と比較すると測定値のばらつきが大きいことが定性的にわかった。

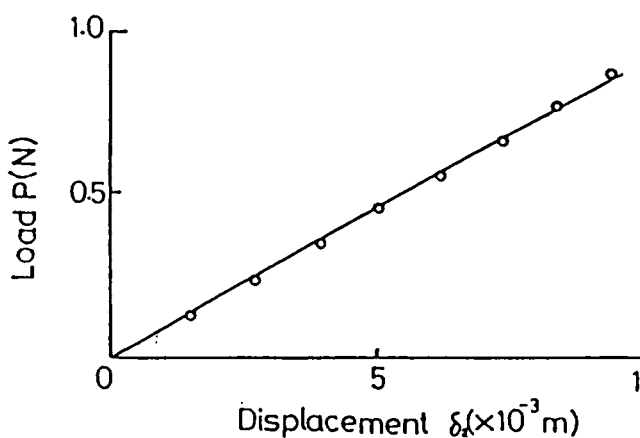


図10 三点曲げ試験による応力-ひずみ線図
(供試片方向A, 除荷過程)

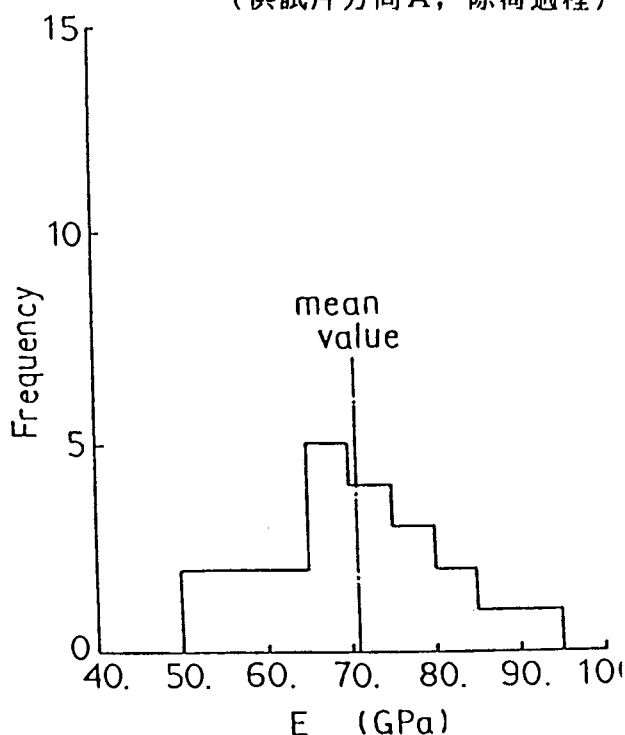


図11 三点曲げ試験によるヒストグラム
(供試片方向A, 除荷過程)

表3 三点曲げ試験によるアルミ箔の
ヤング率測定結果

最後に、全測定結果より得られたアルミ箔のヤング率の平均値と標準偏差を表3に示す。アルミ箔切り出し方向の違い、および測定荷重過程の違いにより、そのヤング率の平均値は大きく異なるものの、

		Loading Process		Unloading Process	
		Mean Value	Standard Deviation	Mean Value	Standard Deviation
Direction of Specimen	Rolling Direction A	59.47	8.07	70.65	10.42
	Direction B	58.44	10.52	63.04	10.85

(Unit: GPa)

それらの値は3点引張試験の結果同様に、理論的に算出されるアルミニウムのヤング率の値の範囲内にあり、本実験結果の妥当性が確認された。

ここで、方向A、Bどちらの供試片の場合においても、算出されたアルミ箔のヤング率の平均値は、負荷過程よりも除荷過程の方が大きな値となっている。表2に示したように、基板のみの三点曲げ試験では、負荷、除荷過程においてヤング率にほとんど差異がなかったにもかかわらず、アルミ箔を接着した基板の場合にこのような傾向がみられるのは、接着したアルミ箔および接着層に起因するものであると思われる。具体的に述べると、支持点部や荷重点近傍のアルミ箔および接着層が負荷過程において塑性変形することによる、ヤング率の評価値の低下などが考えられる。従って、3点引張試験同様に除荷過程時のヤング率の値の方が信頼性が高いといえる。

また、測定値の信頼が高いこの除荷過程時において、アルミ箔の切り出し方向の違いにより、ヤング率の値に約 7.6 GPaの差が生じている。これは、3点引張試験で得られた結果とほぼ同様な値であり、よってアルミ箔の異方性の存在がより明確となった。

(3) 結言

薄膜のヤング率を簡便に評価する手法として三点引張試験法を考案し、以前より提案されている三点曲げ試験法とともに実験を行い、それらの評価手法の有効性を確認するとともに、以下のことが明らかになった。

(i) 3点曲げ試験法では、測定範囲、すなわち弾性変形範囲を広げるために、また三点引張試験法では、その測定範囲の増加とともに膜のシワの減少による応

力分布の均一化をはかるために、膜を初期引張させた後、測定を行う必要がある。

(ii) 三点引張試験法、三点曲げ試験法ともに、除荷過程での測定値に信頼性が高いことがわかった。

(iii) アルミ箔には異方性が存在し、圧延方向および、その方向と垂直方向では、前者の方向のヤング率が若干高いことがわかった。

(iv) 本報で提案した三点引張試験法は、三点曲げ試験法より精度よく膜のヤング率を測定できることがわかった。

3・2 IC基板モデルの熱応力・ひずみ測定実験と評価

ICやLSIなどの電子部品に発生する熱応力や熱ひずみを実験的に評価しようとする場合には、幾つかの困難がある。例えば、1つは電子部品の寸法が小さいことによる困難で、局所的な応力やひずみをどのように実験で検出するかという問題である。また、もう1つには、仮に局所的な熱応力が得られたとしても、積層構造である電子部品全体の複雑な熱応力場を、そのような部分的な情報だけで予想することが困難であるという問題がある。

第1の問題では、IC基板のチップやパッケージの熱応力をシリコンのピエゾ効果やモールド樹脂の光弾性効果を利用することにより測定できることが知られている。しかし、それらは測定素子の作成に特殊な技術を要することなどから容易に行うことはできない。また、これとは別にICチップ上の回路パターンに生じる応力については、ほとんど測定が不可能と言ってよい。これらの点を考慮した場合、最も容易でかつ有効な方法は、実験可能な大きさの拡大モデルを作成し、これについて熱負荷実験を行うことであろう。この方法により実際の電子部品に発生する熱応力を定量的に求めることは不可能であるが、定性的傾向を把握するには十分であり、この結果から回路破損防止のための有用な情報を得ることも可能であると考えられる。

第2の問題については、実験と理論解析もしくは数値解析を並行に行い、それらより得られる情報を総合的に処理することによって、全体的な熱応力場の把握が可能になるものと考えられる。そのためには、使用する解析手法が実際の現象とよく一致する解を与える信頼性の高い方法であることが必要とされる。

以上のことから、本節では、IC基板の回路形状を模した拡大モデルについて熱負荷実験を行い、2・2節で説明した2層構造体のFEMによる結果と比較することにより、その解析手法の信頼性について検討する。また、それらから得られる情報をもとに、回路の形状が熱応力に与える影響について考察を行う。