

動画像符号化用動き検出VLSIプロセッサの高性能化に関する研究

メタデータ	言語: jpn 出版者: 公開日: 2017-10-05 キーワード (Ja): キーワード (En): 作成者: メールアドレス: 所属:
URL	http://hdl.handle.net/2297/26666

氏名	深山 正幸
学位の種類	博士(工学)
学位記番号	博乙第279号
学位授与の日付	平成16年9月30日
学位授与の要件	論文博士(学位規則第4条第2項)
学位授与の題目	動画像符号化用動き検出VLSIプロセッサの高性能化に関する研究
論文審査委員(主査)	橋本 秀雄(自然科学研究科・教授)
論文審査委員(副査)	西川 清(自然科学研究科・教授), 村本 健一郎(自然科学研究科・教授), 北川 章夫(自然科学研究科・助教授), 吉本 雅彦(神戸大学・教授)

学位論文要旨

Abstract

This paper describes a study of motion estimation VLSI processors for mobile video application. Firstly, a sub-mW motion estimation processor core for MPEG-4 video encoding is described. It features a gradient descent search (GDS) algorithm that reduces required computational complexity to 15 MOPS. The picture quality is almost equal to that of a full search method. A SIMD datapath architecture optimized for the algorithm decreases clock frequency and supply voltage. A dedicated 3-port SRAM macro for image data caches is newly designed to reduce power consumption. It has been fabricated with 0.18 μm 5-layer metal CMOS technology. The VLSI processing QCIF 15 fps video consumes 0.4 mW power at 0.85 MHz clock frequency with 1.0 V supply voltage. It is applicable to mobile video applications. Then, an ultra low power, motion estimation processor for MPEG2 HDTV resolution video is described. It adopts the GDS algorithm that drastically reduces required computational power to 6 GOPS. A SIMD datapath architecture has 32 processing elements to perform motion estimation for HDTV resolution video. The processor contains 7-M transistors, integrated in 4.50 mm x 3.35 mm area using 0.13 μm CMOS technology. Estimated power consumption is less than 100 mW at 108 MHz @ 1.0 V. The processor is applicable to a portable HDTV system.

1. はじめに

近年、マルチメディアの通信、放送、蓄積に関する製品やサービスが次々と提供され、人々の間に広く普及し、生活に深く浸透していている。マルチメディア情報をいつでも、どこでも、誰とでもやりとりできるユビキタス・ネットワーク社会が実現しつつあり、今後ますます発展、高度化していくものと思われる。このサービスを受けるための端末はもちろん携帯できなければならず、バッテリー容量には厳しい制限がある。これらの端末に搭載される動画像符号化LSI、中でもその演算量の大部分を占める動き検出部には消費電力の大幅な削減が求められている。

図1に動き検出VLSIの消費電力のトレンドを示す。本研究では高画質かつ既存技術より一桁以上消費電力の低い動き検出VLSIプロセッサコアの開発を目指し、アルゴリズム、アーキテクチャ、VLSI実装(回路・レイアウト)の3つの設計階層において技術開発を行う。具体的には携帯電話のような携帯動画像端末への応用を目指して1 mW未満の消費電力特性を持つ動き検出VLSIプロセッサコアの開発を目標とする。さらに家

庭用ビデオカメラのような携帯機器への応用を目指して100 mW未満の消費電力特性を持つ動き検出VLSIプロセッサコアの開発を目標とする。

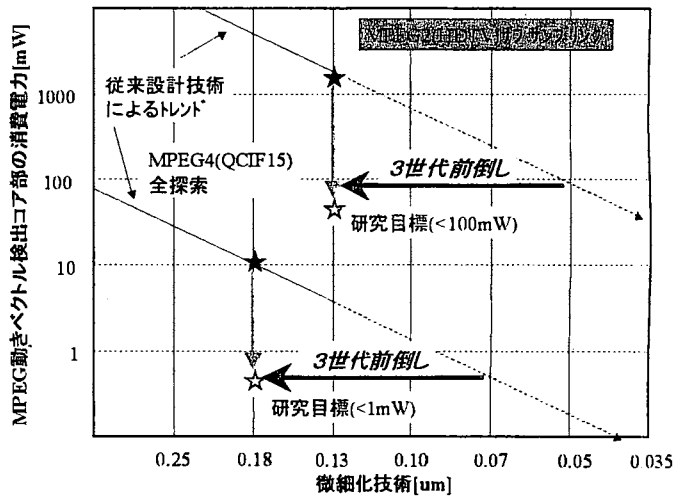


図 1 動き検出 VLSI の消費電力

2. MPEG-4動き検出VLSIアルゴリズム

最急降下法を動き検出に適用した勾配法アルゴリズムのMPEG-4動き検出VLSIへの適用を考え、最適化を行った。QCIF 15 fps、CIF 30 fpsといったMPEG-4のメインターゲットとなる携帯端末向けの比較的低解

像度の動画像向けに最適化を行い、階層数1、探索範囲±16、一次元探索2回、一括探索点数4点としたとき十分高い画質を維持しながら、演算量を低く抑えられることをアルゴリズムシミュレーションにより確認した。VLSI実装向けに最適化を行い、微係数演算におけるブロック端画素の丸めや探索方向の丸めを行い、画質に問題がないことをアルゴリズムシミュレーションにより確認した。勾配法の高画質化を目指してサブブロック探索法を導入した。

アルゴリズムシミュレーションを行い、MPEG-4動き検出VLSI向けに最適化された勾配法と他の動き検出アルゴリズムの画質と演算量について比較した。QCIF 15 fpsの動画像についての動き検出処理のシミュレーション結果を図2に示す。勾配法はTSSやCoteといった他の高速動き検出アルゴリズムより高画質であり、しかも最悪の演算量はこれらよりも低いことが分かった。他の高速アルゴリズムと比較して、最適化された勾配法は低演算量と高画質をより高いレベルで両立している。この結果、最適化された勾配法を低消費電力MPEG-4動き検出VLSIに適用できる見通しが得られた。

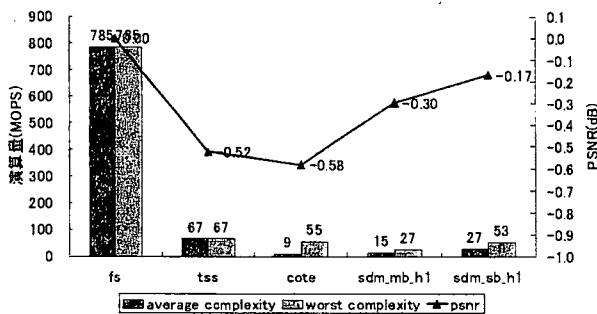


図 2 演算量と画質の比較

3. MPEG-4動き検出VLSIアーキテクチャ

最適化された勾配法アルゴリズムに専用化されたMPEG-4動き検出VLSIプロセッサアーキテクチャを設計した。本プロセッサのブロック図を図3に示す。本アーキテクチャの特徴は画像データキャッシュメモ

リと16個のプロセッシングエレメントから構成されるSIMDデータパスである。画像データキャッシュメモリはマクロブロック1行分の16画素を16個のプロセッシングエレメントに1行/1サイクルの割合で連続供給できる。プロセッシングエレメントはパイプライン化されており1画素/1サイクルの割合で計算可能である。SIMDデータパスは1マクロブロックの評価値計算を16サイクルに1回の割合で実行できる。そして無効サイクルの少ない高効率のパイプライン処理を可能とする専用のシーケンサ、ベクトルジェネレータ、アドレスジェネレータを設計した。

本アーキテクチャの勾配法の実行に要するサイクル数を見積ったところ、QCIF 15 fpsの処理に432サイクルかかり、動作周波数を0.85 MHzとすれば実時間処理できることが分かった。勾配法の実行に要求される動作周波数が十分低いため、提案したアーキテクチャを低消費電力MPEG-4動き検出VLSIに適用できる見通しが得られた。さらに汎用DSPの勾配法の実行に必要なサイクル数を見積り、本アーキテクチャと性能比較した。本アーキテクチャは汎用DSPと比較して約40倍の性能を持つことが明らかとなった。MPEG-4動き検出VLSIを低消費電力化する上で、本アーキテクチャは有効であると言える。

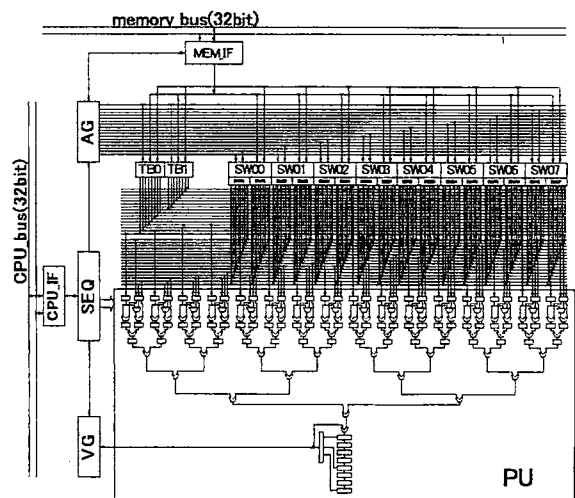


図 3 動き検出プロセッサブロック図

4. MPEG-4動き検出VLSIの実装と評価

MPEG-4動き検出プロセッサをVLSI実装し、評価した。本プロセッサはVDEC試作サービスによる日立0.18 μm プロセスを使用してVLSI実装された。本プロセッサのロジック部はVerilogHDLにより記述され、HDL検証後、論理合成、自動配置配線により設計された。画像キャッシュメモリはフルカスタムで設計された。チップ写真を図4に示す。トランジスタ数は約100万個、コアサイズは3.9 mm \times 3.5 mmとなった。

試作したVLSIを金沢大学VLSI評価室設置のLSIテスト(IMS ATS-100)により評価した。シムープロットを図5に示す。本VLSIは目標どおり電源電圧1.0 Vにおける動作周波数0.85 MHzを達成できた。消費電力特性を図6に示す。QCIF 15 fpsの動き検出処理時の消費電力が0.4 mWとなり、目標の1 mWを大幅に下回る結果が得られた。他の動き検出VLSIと比較したところ、本VLSIは世界最小レベルの消費電力特性を持つVLSIとほぼ同等であり、しかも高画質であることが分かった。従って本VLSIは低消費電力と高画質をより高いレベルで両立していると言える。

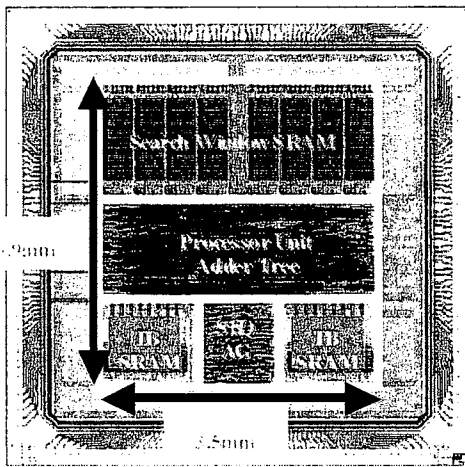


図4 動き検出VLSIチップ写真

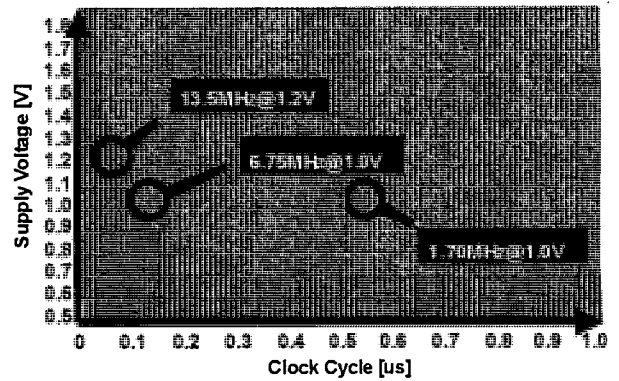


図5 シムープロット

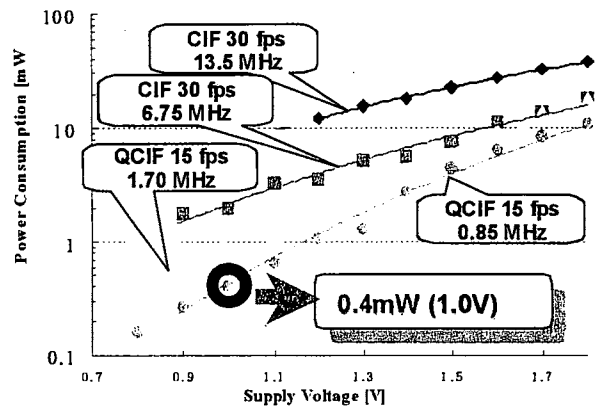


図6 消費電力特性

5. HDTV対応MPEG-2動き検出VLSI

HDTV対応MPEG-2動き検出VLSIの低消費電力化に関する研究を行った。HDTV解像度の動画像に対して勾配法による動き検出シミュレーションを行ったところ、第2階層からの探索の画質が最も高く、一括探索点数を8点としたとき平均PSNRによる画質劣化はフルサーチと比較して0.3 dBに抑えられた。このとき演算量は6 GOPSとなり、フルサーチの0.15%である。

32個のプロセッシングエレメントから構成されるSIMDデータパスを特徴とするHDTV対応動き検出VLSIプロセッサのアーキテクチャを提案した。HDTV解像度の動画像に対する勾配法の演算に必要な本アーキテクチャのサイクル数は391であり、動作周波数を108

MHzとすれば実時間処理可能である。画像データのデータ転送量は約700 MB/sとなり、64ビット、108 MHzのメモリバスで転送可能である。

0.13 μmプロセスを使用して本プロセッサをVLSI実装した。プロット図を図7に示す。動作周波数や消費電力の見積ったところ、電源電圧1.0 V、動作周波数81 MHzの消費電力は65 mWと見積られた。電源電圧1.0 V、動作周波数108 MHzでも動作可能であり、このときの消費電力は87 mWと見積られた。HDTV対応MPEG-2動き検出VLSIの消費電力を100 mW以下にする目標を達成できる見通しを得た。

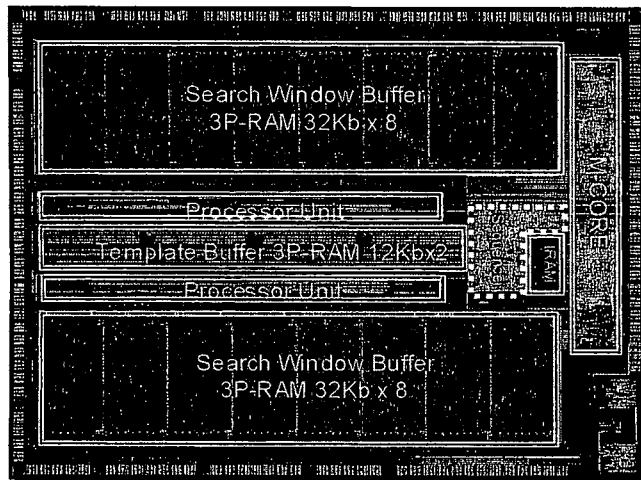


図7 HDTV対応動き検出VLSIプロット図

6. 画像データキャッシュ用メモリマクロセル

動き検出プロセッサの中で画像メモリは大きな面積を占めており、電力消費の大きな割合を占める。動き検出プロセッサを低消費電力化するには画像データキャッシュ用メモリマクロセルの低消費電力化が重要である。そこで動き検出VLSIプロセッサに搭載される画像データキャッシュ用メモリマクロセルの低消費電力化設計についての研究を行った。

全ポートに分割語線構造を導入することによりメモリマクロセルの全消費電力の大半を占めるビット線電流を分割数と同じ割合で削減できた。そして1画素アクセス方式により同一行に対するライト/リー

ドアクセスの衝突を防止でき、これを前提とすることにより低電源電圧で安定動作するメモリセル設計が可能となった。さらに対称形メモリセルレイアウトを導入し、低電源電圧時の動作安定性を向上させた。これらの手法により低電源電圧で安定動作する低消費電力のメモリマクロセルの設計が可能となった。

0.18 μmプロセスを用いてMPEG-4動き検出VLSIのSWバッファRAM(8 bit x 256 word x 2ブロック構成、4K bit)を設計した。ブロック図を図8に示す。サイズは400 μm x 1440 μmである。シミュレーションの結果、電源電圧1 V、動作周波数13.5 MHzで動作し、このときの消費電力は0.21 mWとなった。本設計手法は他の画像データキャッシュ用メモリマクロセルの低消費電力化設計に対しても有効である。

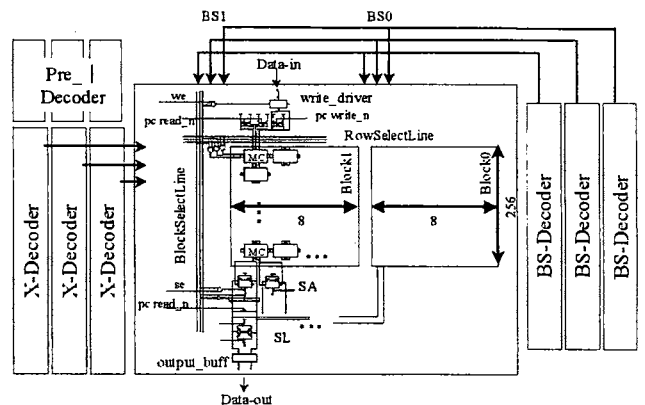


図8 メモリマクロセルブロック図

7. まとめ

動画画像符号化用動き検出VLSIプロセッサの高性能化について研究を行った。高画質かつ既存技術より一桁以上消費電力の低い動き検出VLSIプロセッサコアの開発を目指し、アルゴリズム、アーキテクチャ、VLSI実装(回路・レイアウト)の3つの設計階層において技術開発を行った。この結果、従来よりも一桁以上消費電力が低く、しかも高画質な動き検出VLSIプロセッサを開発できた。本研究により開発された技術は動き検出VLSIプロセッサの低消費電力化のために極めて有効であることが実証された。今後の課題として高効率動画画像符号化技術H.264への対応や、MPEG-2 MP@HLへの完全対応、さらなる低消費電力化があげられる。

学位論文審査結果の要旨

提出された学位論文をもとに、平成16年7月27日に第1回学位論文審査委員会、同7月28日に口頭発表会を行い、口頭発表会後に開催した第2回学位論文審査委員会において慎重審議の結果、以下のとおり判定した。なお、口頭発表における質疑を最終試験に代えるものとした。

本論文は、動画通信端末、特に移動体通信用端末において、消費電力が莫大な動画符号処理につき、その中でも70%の処理量を占める動きベクトル検出処理を実現するVLSIプロセッサの高性能化に関する研究成果をまとめたものである。具体的な成果は以下のとおりである。国際標準であるMPEG4およびMPEG2符合化器の動き検出において、アルゴリズム、アーキテクチャ、回路設計の3設計階層における協調設計を行ない、高画質、消費電力化技術を提案した。すなわち、勾配法アルゴリズムを採用しVLSI向け最適化を実施するとともに、勾配法に専用化されたプロセッサエレメントを並列配置したSIMD (Single Instruction Multi-Data stream) アーキテクチャを開発し、さらには大容量画像データキャッシュメモリの低消費電力化アーキテクチャを提案した。おのおの、0.18 μ 技術により試作し、MPEG4においては0.4 mW、MPEG2においては65 mWという従来技術に比べて1桁以下の低消費電力特性を、画質を維持しながら実現できることを実証した。これらの研究成果は今後発展が期待されるユビキタス時代の動画通信端末を実現するための基幹技術として応用されることが期待される。

以上の内容から、本論文は博士(工学)に値するものと判断した。