

Memory-based reconfigurable device for microcomputers and its application

メタデータ	言語: jpn 出版者: 公開日: 2017-09-26 キーワード (Ja): キーワード (En): 作成者: メールアドレス: 所属:
URL	http://hdl.handle.net/2297/00049549

This work is licensed under a Creative Commons Attribution-NonCommercial-ShareAlike 3.0 International License.



学位論文要旨

メモリをベースとしたマイコン用
再構成可能デバイスとその応用に関する研究

**Memory-based reconfigurable device for microcomputers
and its application**

金沢大学大学院 自然科学研究科
電子情報科学専攻

学籍番号：1424042014

氏名：川村 嘉郁

Abstract

This paper proposes a field programmable sequencer and memory (FPSM) which is programmable unit dedicated to peripheral devices on the microcontroller unit. The FPSM functions not only as peripheral devices but also as standard internal memory. By using the FPSM, it becomes possible to provide a microcomputer product that makes it possible to reconfigure various peripheral circuits on one microcomputer.

The FPSM consists of an array with a programmable memory unit (PMU) and a switch box (SB) that controls the connection of the PMUs, and has MCU interface for intercorporate with microcomputer. The PMU is a basic logic element simulating a sequential circuit, and has an address control mechanism using a microinstruction.

The FPSM architecture model was created using the model-based design method of SystemC, and simulated and the operation was confirmed. An 8-bit PWM function equivalently constructed using PMU was mounted FPGA and the operation was confirmed. In addition, prototype chip of FPSM with PMU arranged in 4 rows and 4 columns was prototyped, and peripheral functions such as counter / timer, FIFO, PWM, etc. assumed to be frequently used in microcomputer were implemented and operation confirmed, and proved reconfigurable.

Moreover, compared with FPGA, FPSM confirmed that hardware scale is equal or less than half, power consumption is about 1/3 to 1/5. FPSM is superior to FPGA in mounting area and power consumption, and demonstrated the effectiveness of FPSM architecture as programmable logic device for microcomputer.

Finally, an example of applying FPSM architecture to a packet search engine will be described. In the match / mismatch packet filter search engine, a hash function using a PMU was implemented in the match detection circuit, and the TEG chip was prototyped and evaluated. Throughput was improved, energy consumption was further reduced, and the effectiveness of packet search engine applications was demonstrated.

第1章 序論

マイコン製品は、CPU コアをベースとした製品ファミリーが存在し、このファミリー毎に派生品種（プロダクトラインナップ）が準備される。さらにユーザの様々な要求に応えるため、基本的に同じアーキテクチャを有しながら、CPU コア、動作周波数、内蔵メモリ容量（ROM/RAM）および周辺回路の組み合わせの違うマイコン製品を準備し、ユーザのカスタマイズ要求に対応してきた。また、長年にわたるビジネス継続により、各製品ファミリーにはこのような派生品種が多々存在する。多いものでは何千品種にも達し、I/O 数・パッケージ形状等すべてを加味すると数万品種にも達すると言われている。特に内蔵されているメモリ容量と周辺回路に対する要求は種々多様であり、凶らずも少量多品種ビジネスに陥っている。これらは顧客毎/製品毎にフォトマスク作成とその保管管理、製品の在庫/出荷管理などの管理コスト増加を招いている。半導体メーカーにとってファミリー内の派生品種数を削減することは極めて重要、かつ早急に解決されるべき課題である。

本研究の目的は、上述の背景のもと、周辺回路の違いによる派生品種を削減し、1 個のマイコンで様々な周辺回路が実装できるマイコン周辺回路に特化したプログラマブルロジックデバイスのアーキテクチャの提案である。また、再構成するマイコン周辺回路機能も合わせて提案し、その機能・性能を評価し、有用性を実証することを目的として行った。

具体的には、市場におけるマイコンおよびプログラマブルロジックデバイスの技術課題を抽出し、マイコン搭載に適したプログラマブルロジックデバイスのコンセプトを明確にする（第2章）。次に、このコンセプトに基づき基本論理素子である Programmable Memory Unit (PMU) アーキテクチャをおよびマイコン向けに搭載する Field Programmable Sequencer and Memory (FPSM) アーキテクチャ（図1）を提案する（第3章）。今回は、SystemC によるモデルベース開発手法を使って提案するアーキテクチャのモデル開発と、そのシミュレーション評価および FPGA による実装評価（第4章）を行うとともに、実験チップの試作および評価（第5章）を行った。さらに基本論理素子 PMU アーキテクチャを利用したパケットフィルタ応用研究について述べ（第6章）、最後に本論文で提案した FPSM アーキテクチャ研究に関するまとめと今後の課題と展望（第7章）について述べる。

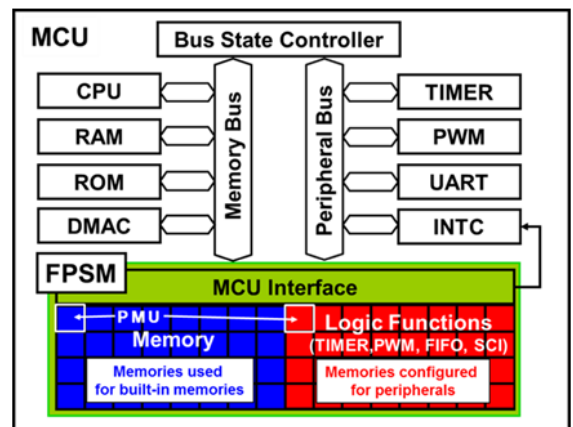


図1 FPSM を搭載したマイコン構成例

第2章 プログラマブルロジックデバイスのマイコン搭載への課題

本章では、マイコンに搭載するプログラマブルロジックデバイスのコンセプトを提示する。

現在、各半導体メーカーはマイコン製品内に PLD を取込むアプローチと、PLD 内に CPU/マイコン Intellectual Property (IP) を取り込むアプローチが検討されている（図2）。今後もこのようなアプローチが積極的に進められていくと予想されるが、これらを利用するにはユーザ側に Register Transfer Level (RTL) によるハードウェア設計・実装スキルが求められ、かつコスト面でもまだハードルは高い。

1) マイコンの課題

- (1) ハードウェアの自由度が無い

- (2) ユーザは各社の膨大な種類のマイコン製品群からピンポイントで部品を選択する必要がある
- (3) 使われない周辺回路が多々存在する
- (4) 部分的にハードウェアのプログラマブル技術を採用した製品があるが一般化はしていない

2) プログラマブルロジックデバイスの課題

- (1) ハードウェア設計スキルが必要
- (2) 使わない PLD リソースが多く存在する

上述のマイコンおよびプログラマブルロジックデバイスの課題を踏まえて、マイコン製品の特徴である低コスト、使い勝手の良さ等両立させるマイコン向けプログラマブルロジックデバイスの開発コンセプトとして、

「CPU から通常の内蔵メモリとしてアクセス可能、かつマイコンの周辺回路としても利用可能」、さらに

- 1) プログラマブルロジックデバイスのリソースを最大限利用する
- 2) 周辺回路機能を実装する場合に RTL 設計スキルを必要としない
- 3) 従来のマイコン利用方法、CPU 性能に影響しない

以上をマイコン向けプログラマブルロジックデバイスの開発コンセプトとした。

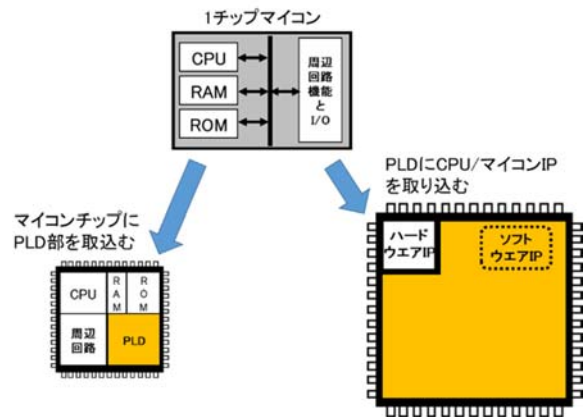


図2 半導体メーカーのアプローチ

第3章 FPSM アーキテクチャ

本章では、前章の開発コンセプトに基づき、メモリをベースとした再構成可能デバイス、FPSM アーキテクチャについて述べる。

マイコン向けプログラマブルデバイスを実現するための鍵となる基本論理素子 PMU アーキテクチャを、SystemC のモデルベース設計手法を用いて開発した。この PMU は従来の PLD の基本論理素子とは違い、粗粒度のメモリを用いマイクロ命令によって小規模なシーケンスプログラムが動作する (図3)。

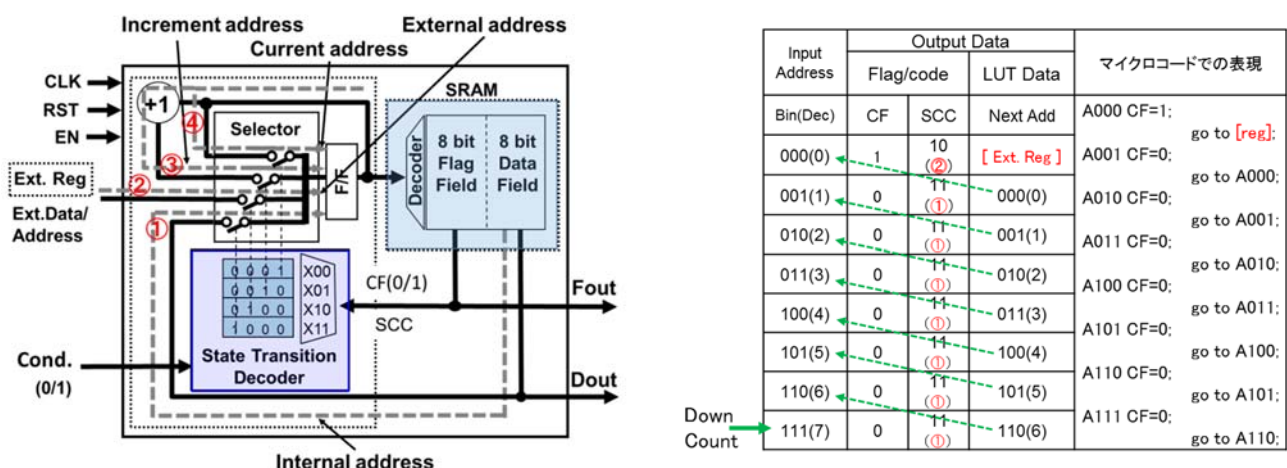


図3 PMU アーキテクチャと3ビットダウンカウンタの実装データとアドレス選択制御の例

CPU のプログラムカウンタ (PC) と同様に、マイクロ命令を使ったアドレス制御が可能であり、シーケン

シリアル動作、条件分岐/無条件分岐命令を実行し、プログラムされた動作とメモリ出力を行うことで、特定の機能を実現（順序回路を模擬）できる。ここではカウンタ/タイマ機能を実装し、モデルシミュレーションによる動作検証を行った。また、PMU を複数結線するためのスイッチボックス（SB）とアレイ構成およびマイコンに内蔵するための MCU インタフェースを合わせ込んだ FPSM アーキテクチャを開発した（図 4）。PMU アレイは、PMU×4 個/1 行とし、N 列並べた構成となっており、基本的に 1 行毎に機能実装を行う。これにより 8 ビットから 32 ビットまでのワード長に対応する機能が自由に実装可能になった。例えば、16 ビットのカウンタを実装する場合は、PMU×2 個、32 ビットカウンタを実装する場合は PMU×4 個といった具合にスケラブルに実装可能となった。さらに PMU は 4K ビットの SRAM で構成されており、プログラマブルロジックとして利用しない場合は、PMU を 256 ワード×16 ビットのメモリとして利用できる。

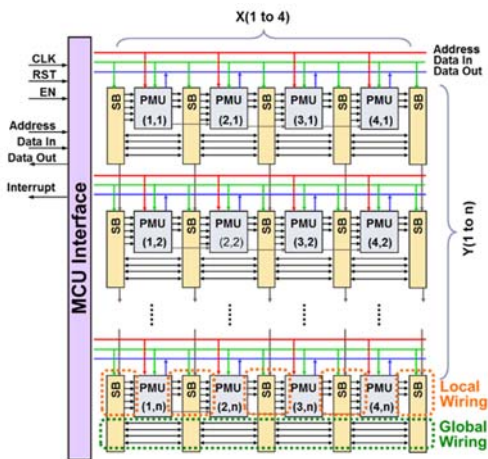


図 4 FPSM のブロックダイアグラム

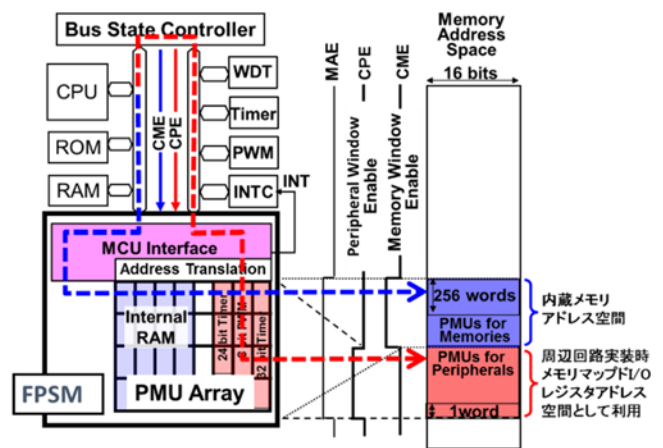


図 5 FPSM のメモリ空間管理

マイコン内蔵時にはマイコンの共通メモリ空間で管理されなければならない。FPSM をメモリとして利用する場合は、グローバルアドレスで、また FPSM のプログラマブルロジックに実装された周辺回路はメモリマップド I/O 方式（レジスタアドレス）で管理する。このため、MCU インタフェース部にアドレス変換機能を追加することで対処している（図 5）。これによりマイコンユーザは特に意識をすることなく、これまでの利用方法でこのプログラマブルロジックである FPSM を利用することができる。このように、マイコン周辺回路をフィールドプログラマブルに実装可能なアーキテクチャをシミュレーションモデルで評価し、実現可能である見通しを得た。

第 4 章 FPSM のシミュレーションモデルと FPGA 実装評価

本章では、PMU を複数組み合わせ合わせたマイコン周辺回路機能の動作モデルを構築し、評価した結果を述べる。FPSM アーキテクチャを提案し、SystemC による基本論理素子 PMU アーキテクチャのモデルベース設計を行い、シミュレーション検証を行った。内蔵メモリとしての動作確認を行うとともに、マイコンで利用されるカウンタ/タイマ系、シフトレジスタ系および演算系の回路を PMU シミュレーションモデル上に実装して動作検証を行い、従来の回路と等価な動作を確認した。次に、マイコン周辺回路のモデルとして、FIFO、シリアル通信インタフェースおよび PWM のシミュレーションモデルを構成し動作を確認した（図 6）。さらにこの中から 8 ビット PWM を RTL 設計し、FPGA 上で実装評価を行った。市販の FPGA ボードを使用し、3 個の PMU を使って 8 ビット PWM を実装し、波形観測を行った（図 7）。今回は SB 無しの実装であったが 8 ビット PWM シ

ミュレーションモデルの波形観測結果と、RTL 設計で 3 個の PMU を使って FPGA に実装した 8 ビット PWM の波形観測結果が、ともに設計通りの結果であった。

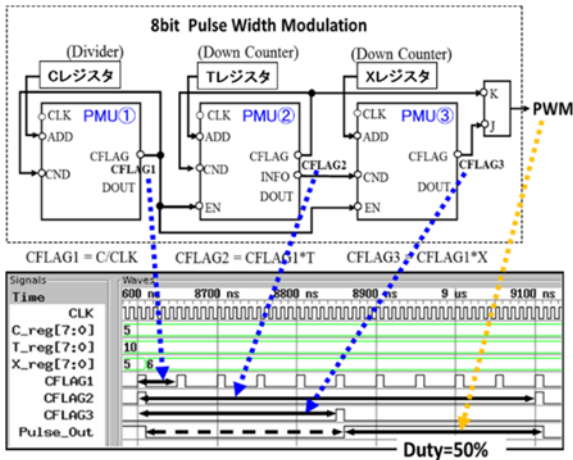


図 6 8 ビット PWM 構成とシミュレーション波形

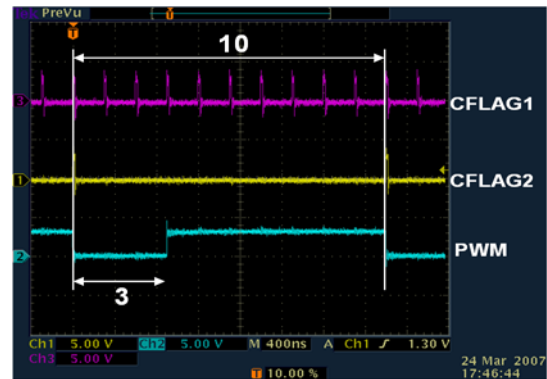


図 7 FPGA に実装した 8 ビット PWM の波形

以上の結果から、FPSM アーキテクチャが内蔵メモリとして、かつマイコン周辺回路を再構成可能なプログラマブルロジックデバイスとして利用できることを確認するとともに、FPSM がマイコンに搭載可能、かつ LSI に実装できる見通しを得た。

第 5 章 実験チップの試作および評価

本章では、提案した FPSM アーキテクチャの実験チップの試作結果について述べる。今回、 $0.18\mu\text{m}$ CMOS 標準セルライブラリを用い、FPSM 実験チップを論理設計・実装設計および実験チップの試作評価を行った。

実験チップは、PMU 4×4 アレイ構成で FPSM のハードウェア設計を行った。具体的には $0.18\mu\text{m}$ 、1 層ポリシリコン、5 層メタルの CMOS プロセスを用い、PMU の SRAM はライブラリとして準備されているメモリモジュールを利用し、論理部分は論理合成で設計した。Verilog HDL で記述し、論理合成には Synopsys 社の Design Compiler を用いた。

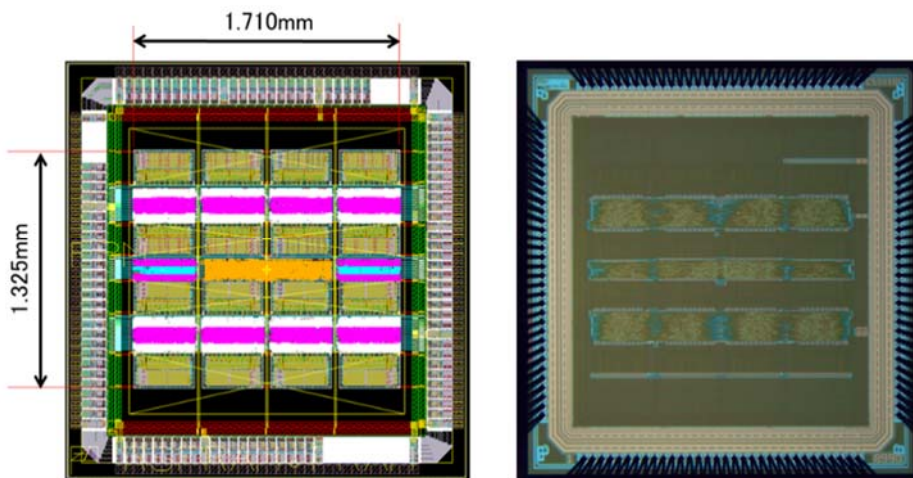


図 8 FPSM 実験チップのレイアウトプロット図とチップ写真

図 8 に FPSM 実験チップのレイアウトプロット図およびチップ写真を示す。また、表 1 に実験チップの諸元を示す。実験チップのゲート規模は 2 入力 NAND 換算で 46k ゲート、コア部の面積は 2.265mm²である。実験チップの消費電力は、目標動作周波数 50MHz、電源電圧 1.8V において、基本論理素子 PMU 単位で約 1mW が得られた。また、shmoo plot により、最大動作周波数 61.5MHz（電源電圧 1.8V）を確認した。

表 1 実験チップの諸元

プロセス技術	0.18 μm, 1層ポリシリコン, 5層メタル CMOS
電源電圧	コア部:1.8V, I/O部:3.3V
SRAM構成	256 word x 16 bits x 16
コア部のチップ面積	2.265mm ² (1.325mm x 1.710 mm)
最大動作周波数	61.5MHz @ 1.8V

さらに今回限定的ではあるが、16 ビットカウンタと 256 ワード×8 ビット FIFO を、FPSM 実験チップおよび FPGA を使って実装比較を行った。カウンタおよび FIFO に関しては、FPSM は FPGA の実装面積の同等または半分以下、消費電力については FPGA の約 1/3 から 1/5 程度少ないことを確認した（表 2）。限定的な実装回路機能となるが、実装面積および消費電力ともに FPGA よりも FPSM アーキテクチャの方が優位であり、マイコン向けプログラマブルロジックデバイスとして利用可能と考える。

表 2 FPSM と FPGA の実装比較

Function	FPSM			FPGA		
	No. of PMUs	Area (mm ²)	Power ¹⁾ (mW@20MHz)	No. of ²⁾ ALMs	Area ³⁾ (mm ²)	Power ³⁾ (mW@20MHz)
Free Run Timer (16 b)	2	0.222	0.4	9	0.23	1.12
FIFO ⁴⁾ (256W x 8 b)	2	0.222	0.4	19	0.50	2.36

- 1) 電力は、ほとんどのサイクルにわたって 1 個の PMU しか動作しないので、PMU の数とは無関係
- 2) ALTERA 社 Stratix II の実装実験結果
- 3) Ref. 2 の 0.22 μm データから変換したデータ
- 4) データメモリは含まない

第 6 章 パケットフィルタ応用

本章では、FPSM の基本論理素子 PMU アーキテクチャを利用したパケットフィルタ応用研究について述べる。PMU アーキテクチャをベースにハッシュ探索を行う回路を提案し、一致/不一致検出回路の一致検出回路と組み合わせることで、高スループット、かつ低消費電力なパケットフィルタ回路を開発した（図 9）。

不一致検出回路とハッシュ探索機能を組み合わせた一致検出回路を搭載するパケット検索エンジンを提案し、40nm CMOS プロセスで TEG チップを試作した。図 10 に TEG チップ写真とレイアウトプロット図、表 3 に TEG チップの諸元を示す。512 ビットの一致条件を最大 512 個登録でき、不一致検出回路の不一致テーブ

ル数は 64 個とした．実装メモリは 523K ビット，制御ロジック部の回路規模は 2 入力 NAND 換算で 11.6K ゲートである．コア面積は 1040um × 1050um=1.092mm²，電源電圧 1.1V で動作周波数 100MHz を確認した．最大 Throughput (TP) は 100Mpacket/sec (51.2Gbps) であった．

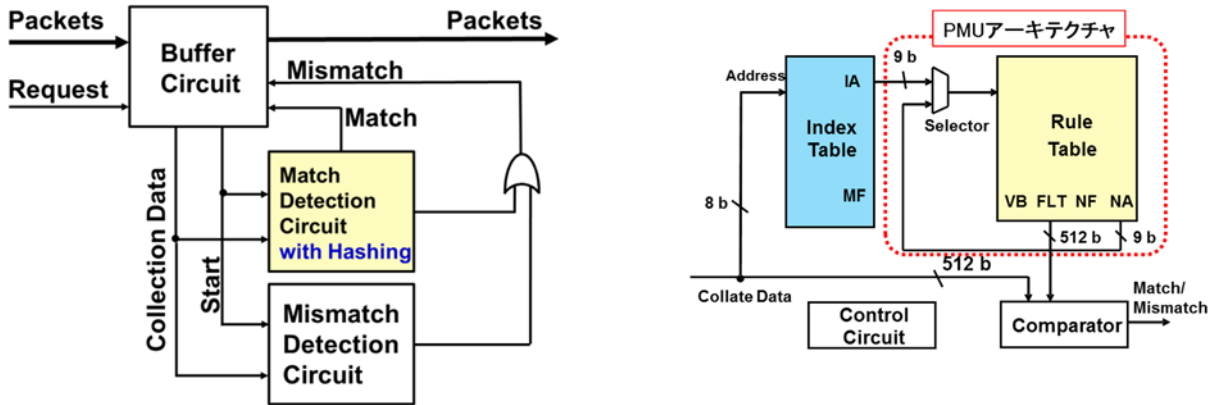
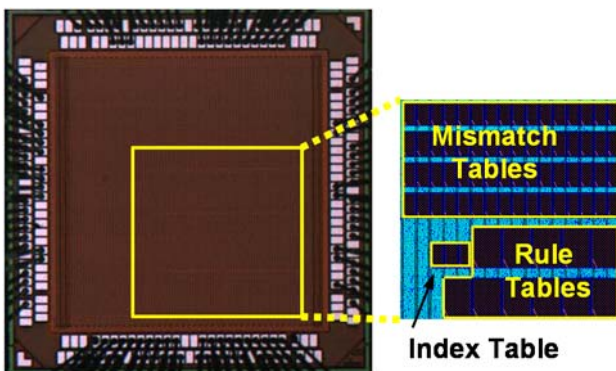


図 9 一致/不一致検出パケット検索エンジンの構成と一致検出回路に PMU を適用したルールテーブル

表 3 TEG チップの諸元



Technology	40-nm 8-Metal CMOS process
Core size	1,040μm X 1,050μm
Supply voltage	1.1 V
Maximum Frequency	100 MHz
Registration Rules	512 rules
Rule Length	512 bits
Maximum Throughput	100 M packet/s (Target 80M packet/s)
Energy Dissipation	0.808 nJ/search

図 10 TEG チップ写真とレイアウトプロット図

平均 TP を，RTL モデル上でシミュレーションを行い，一致条件登録数に関わらず，ほぼ全ての照合データが不一致検出回路で不一致判定できることを確認した．また，目標 TP が 80.7Mpacket/sec (目標 80Mpacket/sec ≒ 40Gbps) の場合，512 個の一致条件を登録した状態で不一致テーブルの数は 64 個であったが，最適化設計することで，不一致テーブル数を 64 個から 16 個に削減可能である事がわかった．さらに不一致検出回路を用いない場合の TP は 33.3 Mpacket/sec であり，約 2.4 倍に高速化可能である事が確認でき，ハッシュ探索との組み合わせにおいても有効性が確認できた．

また，試作した TEG チップの判定動作の消費エネルギーを測定した結果，一致/不一致検出回路で不一致判定できた場合，0.808nJ/Search となった．そのうち不一致検出回路の消費エネルギーは 0.353nJ/Search であった．また，不一致テーブル数を 64 個から 16 個に最適化する事で，消費エネルギーが 0.534nJ/Search に削減できる見通しが得られた (図 11)．さらに，一致判定回路のみで判定を行った場合と比べると，一致

条件登録数が 134 個以上の場合、消費エネルギーが削減できる見通しが得られた。以上より、一致検出に PMU を利用したハッシュ探索を組み合わせることで、TP が向上することを確認し、消費エネルギーも削減できる見通しが得られた。

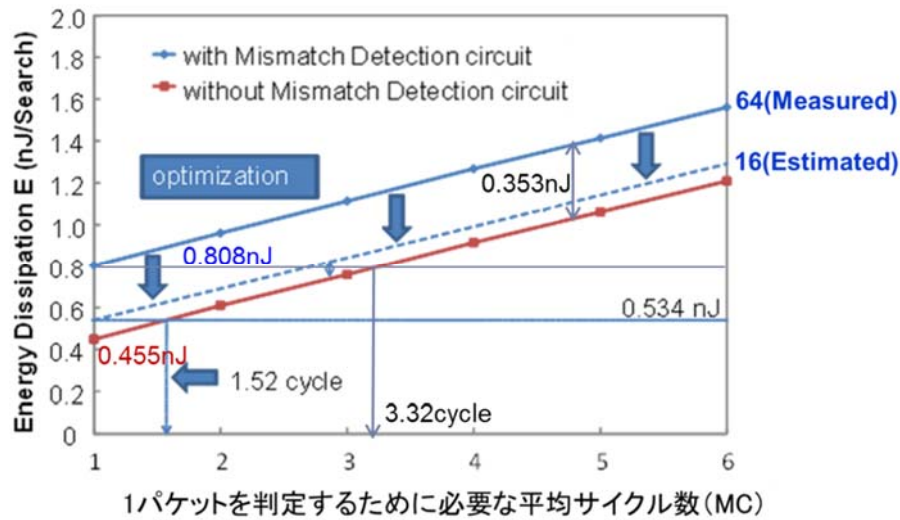


図 11 TEG チップの消費エネルギーの測定結果と最適化による消費エネルギー変化予想

第 7 章 結論

メモリをベースとした基本論理素子 PMU をアレイ構成し、MCU インタフェースを経由して内蔵メモリとして利用、かつマイコン周辺回路を再構成可能とするプログラマブルロジックデバイス FPSM アーキテクチャの提案を行った。

マイコンで用いられる各論理演算回路、マイコン周辺回路を SystemC によるモデル化とシミュレーションにより、動作を確認した。また、FPGA 上に FPSM を実装し、シミュレーション同様に動作することを実証し、モデルベース開発の有効性も確認した。さらに FPSM の実験チップを設計・試作および評価を行い、カウンタ/タイマ、シフタ、シリアル I/O、FIFO および PWM 等の想定した周辺回路機能全てを実験チップ上に実装し、動作確認するとともに、再構成可能であることを検証した。以上により、マイコン向けプログラマブルロジックデバイスとして利用可能である見通しを得た。

さらに、実験チップと FPGA の実装面積と消費電力の比較考察を行った結果、FPSM は FPGA の実装面積の同等か半分以下、消費電力は FPGA の約 1/3 から 1/5 程度と限定的な実装回路機能の比較ではあるが、低消費電力化が可能である見通しを得ることができ、FPSM アーキテクチャの有効性を示した。

最後に、応用展開として一致/不一致によるパケットフィルタ検索エンジンの一致検出回路に、PMU を利用したハッシュ機能を実装し、TEG チップの試作・評価を行った。スループット向上を確認するとともに、消費エネルギーもさらに削減できる見通しが得られ、パケット検索エンジン応用への有効性を示した。

FPSM はハードウェア設計スキルを必要としないマイコン周辺回路に特化した新しいプログラマブルロジックデバイスであり、さらに製品化に向けた冗長部分の簡略化や利用方法の開拓などの課題へ取り組むとともに、将来、FeRAM や MRAM 等の不揮発性 RAM 技術を利用することで、フラッシュ ROM によるソフトウェアのフィールドプログラマブルだけでなく、ハードウェアのフィールドプログラマブルなマイコンの利用も増え、新しいビジネスモデル創生や新しいプラットフォーム開発/応用が期待される。