

複素係数回路を用いるデジタル・アナログLSI化可変遅延等化器

メタデータ	言語: Japanese 出版者: 公開日: 2023-04-17 キーワード (Ja): キーワード (En): 作成者: メールアドレス: 所属:
URL	https://doi.org/10.24517/00068656

This work is licensed under a Creative Commons Attribution-NonCommercial-ShareAlike 3.0 International License.



複素係数回路を用いるデジタル・アナログLSI化可変遅延等化器

Research Project

All



Project/Area Number

56550227

Research Category

Grant-in-Aid for General Scientific Research (C)

Allocation Type

Single-year Grants

Research Field

電子通信系統工学

Research Institution

Kanazawa University

Principal Investigator

武部 幹 金沢大学, 工学部, 教授

Project Period (FY)

1981

Project Status

Completed (Fiscal Year 1981)

Budget Amount *help

¥1,000,000 (Direct Cost: ¥1,000,000)

Fiscal Year 1981: ¥1,000,000 (Direct Cost: ¥1,000,000)

URL: <https://kaken.nii.ac.jp/grant/KAKENHI-PROJECT-56550227/>

Published: 1987-03-30 Modified: 2016-04-21