

画素並列処理系のための平面中の複数点に対する高速座標生成回路

メタデータ	言語: jpn 出版者: 公開日: 2017-10-03 キーワード (Ja): キーワード (En): 作成者: メールアドレス: 所属:
URL	https://doi.org/10.24517/00007371

This work is licensed under a Creative Commons Attribution-NonCommercial-ShareAlike 3.0 International License.



画素並列処理系のための平面中の複数点に対する高速座標生成回路

遠山 治[†] 高瀬 信二[†] 渡辺 晃[†] 秋田 純一^{††}

Fast coordinates generating circuit for pixel parallel processing.

Osamu TOOYAMA[†], Shinji TAKASE[†], Akira WATANABE[†], and Junichi AKITA^{††}

あまし 平面上にある複数個の点の位置を座標としてエンコードするには、エンコーダの特性から、同時に複数個の点の座標のエンコードが行えないために、逐次的にそれぞれの点を検索し順番に一つずつ座標をエンコードする必要がある。平面上の点を検索するための効率の良いアルゴリズムとしては二分検索などが知られているが、それらは一般的にソフトウェアとして実現するのは容易であるも、ハードウェアとして実現するのは難しい。本論文では複数点のエンコードを行うために、高速に平面上の点を検索するアルゴリズムとその回路構成を提案する。画素平面上の物体の重心を検出する回路の最終段に今回提案する回路を用い、検出された重心点の検索をH-SPICEによる回路シミュレーションによって行った結果、15×15の画素平面に対して数μs程度で検索を終了することを確認した。またこのアルゴリズムの処理時間は、理論上画素平面の画素数に依存せず検索を行う点の数に依存するので、検索を行う画素平面の画素数が増えても処理時間が大幅に増大することはないため高解像度化にも有効である。

キーワード イメージセンサ、エンコード、検索、画素並列処理

1. まえがき

画像中の物体認識といった画像処理を行うシステムの流れとして、撮像素子から得られた画像情報をメモリに一旦転送しそのデータをソフトウェアあるいはハードウェアで逐次的に処理する方法が現在のところ主流となっている。画像情報をメモリに転送するための撮像素子にはCCD(Charge Coupled Device)がよく用いられる。これは二次元の光信号を走査して一次元の時間軸上の電気信号に変換する素子であり、これにより画像処理システムは急速に発展してきた。ところが近年の画像の高解像度化やフレーム数の増加に伴う画像の情報量の急激な増加により、ロボットビジョンのように超高速な処理が要求されるアプリケーションにおいては、膨大な量の画像データをメモリに転送する時間およびそのデータの処理時間が大きな問題となってきた。

これらの問題を解決する一つの方法として、スマートセンサと呼ばれる回路が広く研究されている[1],[4]。これは受光回路と処理回路を同一のチップに集積したもので、同一平面上に配置された受光素子と信号処理回路による画素単位の並列処理によって高速な画像処理を実現でき、またシステムの小型化などの利点もある。しかし、これら処理の最終段において処理後に得られた画像情報から、例えば物体の重心検出といった処理を行うことを考えた場合、得られた重心点の座標情報を抽出する際に、同時に複数個の点の位置を座標としてエンコードを行おうとすると、正しい座標情報が得られない。これを解決するために、エンコードを行う点の検索を行って一つずつ順番に座標のエンコードを行うという方法が考えられる。しかし、平面上にある重心点は複数個あるとはいえ、全画素数に比べれば大変少ないため、CCDのラスタスキャンのように全画素にわたってエンコードする点の検索を行うと検索のために大きく時間が割かれてしまい、スマートセンサの高速な並列処理を活かすことが出来なくなってしまう。これを解決するために、CCDの処理速度を向上させる方法[2]も考えられるが、効率の良い検索の方法として4進木スキャン[3]等が提案されている。本論文では、現在提案されている検索の方法とは違

[†] 金沢大学工学部 電気・情報工学科
Department of Electrical and Computer Engineering,
Kanazawa University, Kodatsuno 2-40-20, Kanazawa-shi,
920-8667 Japan

^{††} はこだて未来大学 システム情報科学部
Department of Media Architecture, Future University -
Hakodate, Kametanakanomachi 116-2, Hakodate-shi, 041-
8655 Japan

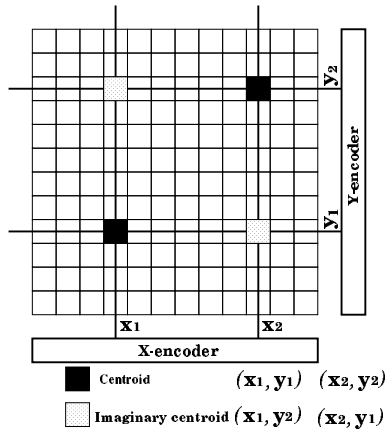


図1 エンコードの際の問題点
Fig. 1 Encording problem for more than one pixels.

う観点からのアプローチとして、スマートセンサの様な画素並列処理系を念頭に置き、重心検出等の処理によって得られた2値の画像情報を持つ画素平面から、情報として欲しい複数個の点の座標を正しく得るために、対象点を自動的に順次出力することで、検索する点にのみ比例するステップ数で検索が完了するものを提案する。そして画像処理系の一例として重心検出回路を用い、提案した回路をそれらと共に集積したスマートセンサとして実現し、その評価を行う。

2. アルゴリズム

まず前提として本論文で提案する回路を用いる画素平面について、全ての画素は‘1’、‘0’の2値情報のみを持つものとし、‘1’を持つ画素は例えば平面中の物体の重心のように、座標のエンコードを行いたい点であると仮定する。

複数個の座標情報を得たい点が存在する場合、それらを単純にエンコードしてしまうと正しい情報が得られなくなる。例えば図1のように2つの点 $(x_1, y_1), (x_2, y_2)$ をエンコードすることを考える。これらの点をエンコードした時に出力される座標情報は、

$$\begin{aligned} x \text{ 座標} &: x_1, x_2 \\ y \text{ 座標} &: y_1, y_2 \end{aligned}$$

であるがエンコーダはこれら x, y の組合せ情報を同時に出力してくれないので、考えられるこれら座標の組合せとして

$$(x_1, y_1), (x_2, y_2), (x_1, y_2), (x_2, y_1)$$

の4通りが考えられ、実際には存在しない点の座標情報まで得られてしまい、正しい情報であるとはいえない。

これを解決するために、逐次的にエンコードしたい点を検索し、順番に一つの点ずつ座標のエンコードを行うことで、座標情報を得たい点とエンコードした結果とが一意に決定できるようにすることを考える。そのためには以下のような手順をとればよい。画素平面上のある点 (i, j) のもつ2値の画素情報を $P_{i,j}$ 、 $P_{i,j}$ に基づくエンコーダへの出力フラグ $f_{i,j}$ とすると、

- (1) 平面全体にマスクをし、エンコーダからは全ての画素が見えない状態にする。ここでマスクとは、 $f_{i,j}$ が $P_{i,j}$ とは無関係に‘0’となる状態を指す。
- (2) 端の画素 $(0, 0)$ から検索信号を入力し、この信号が到達した画素から順にマスクをはがして行く。ただし、この検索信号の伝搬はクロックによる伝搬ではなく、後述の検索ライン部のような回路構成をとることで、ゲート遅延によって決定される速度で信号が伝搬していく。
- (3) 検索信号によって $P_{i,j}$ が‘1’となる画素が見つかった時は一定時間検索信号を (i, j) で止め、それと同時に (i, j) の座標のエンコードを行う。エンコードが終わる次第 (i, j) に再びマスクをかけ、 $f_{i,j}$ が‘0’となるようにする。
- (4) (3) の操作で検索信号を止めた画素 (i, j) より再び検索信号を走らせ、(3) の操作を全ての画素に対して行う。

図2に以上の操作のおおまかな流れを示す。ここで(3)の操作において、「マスクをはがしていく操作」にかかる時間が「一定時間エンコードを行う操作」よりも無視できる程十分に短い場合、このアルゴリズムによってエンコーダへと出力される平面情報はエンコーダから見ると、図2を例にとると図2(b)の(3,2)の‘1’を出力する状態と図2(c)の(4,4)の‘1’を出力する状態をもつ状態遷移回路であると考えられる。したがって、検索とエンコードの処理時間は上記の仮定が成り立つとき、この2つの状態を維持している時間となり、理論上の処理時間は全画素数には無関係で、エンコードを行う画素数にのみ比例する。したがってこのアルゴリズムによって実現される検索とエンコードの処理は、スマートセンサの高速な並列処理の後処理として有効であると考えられる。

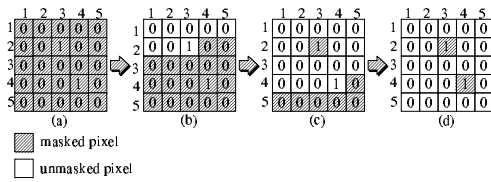


図2 検索アルゴリズムの手順
Fig. 2 Procedure of search algorithm.

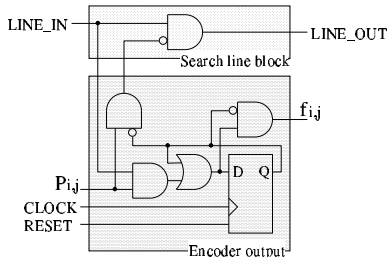


図3 座標生成回路の回路図
Fig. 3 Search circuit structure of one pixel.

3. 回路構成

上記のアルゴリズムを実現する1画素分の回路構成を図3に示す。この回路の検索ライン部 (Search line block) を隣り合う画素同士で図4のように接続することで、この回路の入力となる画素平面と1対1に対応する平面を作り、例えば、 $P_{i,j}$ に重心検出回路の出力を接続し、全体でひとつの状態遷移回路となる。検索ライン部は‘1’の情報を持つ画素の検索を、エンコーダ出力部 (Encoder output block) は図3中 $P_{i,j}$ にエンコードを行いたい画素の情報を入力し、 $P_{i,j}$ が‘1’となる画素、つまり座標のエンコードを行いたい画素について、一定時間エンコーダへの出力を行い、再びマスクをかけ直す操作を行う部分である。

3.1 検索ライン部

検索ライン部は図5に示す通り、ANDゲートの入力的一方を反転したものを用い、これらを直列に接続する。ここで、直列に接続したこれら回路の一番左端となるANDゲートに‘1’を入力すると、図5中の $P_{i,j}$ が‘1’となる(4,j)から先は‘1’が伝わらず、出力がLINE_OUTで‘0’となる。これを利用し $P_{i,j}$ をエンコードを行いたい‘1’を示す画素に置き換えることで2章で述べた、「エンコードする点の検索を行い、見つかった場合には検索信号を止める」という操作を実現している。

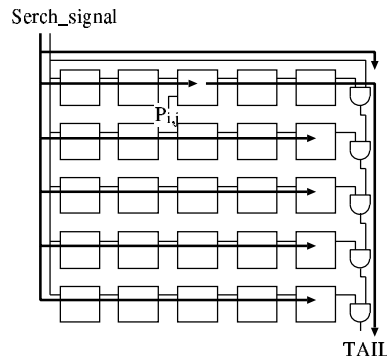


図4 全体の構成
Fig. 4 Structure of whole search circuit.

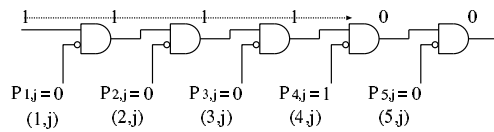


図5 検索ライン部
Fig. 5 Block diagram of search line.

3.2 エンコーダ出力部

図6にエンコーダ出力部の回路図を示す。これはシステム全体に共通なクロックに同期して動くD-FFを持ち、図6中の $P_{i,j}$ には画素の持つ‘1’、‘0’の情報が入力され、これが‘1’である場合は検索ライン部を伝搬する検索信号を受けとることでマスクが外れ、エンコーダへの出力 $f_{i,j}$ が‘1’となる。1周期分、エンコーダへ‘1’を出力した後はこの画素がエンコーダから見えないように再びマスクをかけて $f_{i,j}$ を‘0’とし、次のエンコードする点を検索するために、止めていた検索信号をこの画素から再スタートさせる。1クロックの周期は直列につながった検索ラインの総遅延時間よりも十分に長くとる必要がある。また、図中のORゲートは、後述の回路評価で用いた回路の性質から、ある平面に対して $P_{i,j}$ の検索と出力を行った後に、別の条件で $P_{i,j}$ を設定し、これを検索する場合に一度 $f_{i,j}$ を‘1’とした画素は、はじめからマスクし $f_{i,j}$ を‘0’とするために入れたものである。

3.3 回路の接続

検索ライン部の遅延はANDのゲート遅延のみとはいえ画素数に比例して増加していく。この遅延は、回路の動作クロックであるエンコーダ出力部のクロックの周期を制限するため、回路の高速動作のためにはこの遅延の低減は不可欠である。この低減を図るため

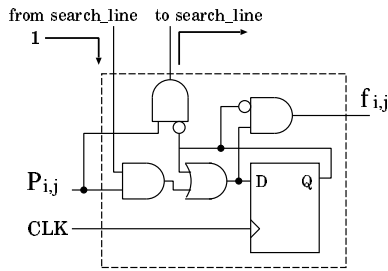


図 6 エンコーダ出力部
Fig. 6 Block diagram of encoder_out.

に、各画素を図 4 のように行ごと、列ごとと別々に接続することで、列ごとの並列処理化をした。これはアルゴリズムで説明した (3) のステップの並列処理化をしたことに相当する。これによって検索信号の伝搬時間は全画素ではなく一辺の画素数に比例することになり、画素数が増加した場合にも有効である。

4. 回路の評価

4.1 重心検出回路

本回路について、回路評価をするため、画素平面に画素情報を生成する回路として高速重心検出回路 [5] を用いた。この回路は編目状に配線した抵抗網の各節点にフォトダイオードを接続し、フォトダイオードが感知した光 (物体) によって発生する光電流が作る電位分布から、その物体の重心位置を検出する回路である。また、全画素が並列に処理されるため、処理速度は画素数に依存しない。また、この回路は現在のところ HSPICE によるシミュレーションにより、50[μs] で、平面中に存在する全ての物体の重心を検出できることが報告されている。

4.2 レイアウトとシミュレーション結果

本回路について VDEC の御協力を頂き CAD を用いてレイアウト設計を行った。用いたテクノロジーは、ローム CMOS 0.6μm ルール、チップサイズ 4.5mm 角、3層金属配線である。全体のレイアウトを図 9 に示す。図 9 中の Search circuit とは図 3 に示す座標生成回路を指す。重心検出回路と同時にレイアウトを行い 1 画素中に占める座標生成回路の面積は約 20% である。

座標生成回路の評価のため、高速重心検出回路の最終段にこの回路を接続し、15×15 の画素平面を構成して図 8 のような点が重心検出回路によって検出された時の座標生成回路の処理時間を、エンコーダ出力

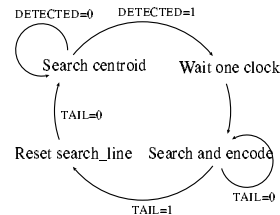


図 7 検索信号制御回路の状態遷移図
Fig. 7 State diagram of search control circuit.

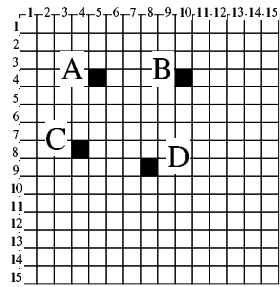


図 8 シミュレーションに用いた 2 次元情報
Fig. 8 Sample of two dimensional pattern .

部の動作クロックの周期を 200[ns] として重心検出回路が検出する重心の点座標のエンコードのシミュレーションを H-SPICE で行い計測した。シミュレーションで用いたトランジスタのモデルは先程述べたレイアウトから抽出したのを用いた。また重心検出回路の出力する平面情報はランダムなタイミングで変化するので、図 7 のような状態遷移回路を用いて検索信号の制御を行った。図 7 中の DETECTED 信号は少なくとも 1 つの重心点が検出されたことを示す高速重心検出回路からの信号であり、TAIL は図 4 中の検索ラインの末端の検索が完了したことを示す信号である。

検索を行う平面上の 4 点のうち点 A と点 B は同時に重心検出回路によって検出され、他の 2 点は別々の時刻に検出されたとした場合、これら 4 つの点の検索にかかる処理時間が点 A と点 B については約 1.262[μs]、点 C と点 D はそれぞれ約 0.928[μs] と約 0.958[μs] であり、合計 3.148[μs] で全ての点の検索とエンコーダへの出力を終了した。今回は 4 点の検索であったが、検索を行う点が 10 点、20 点と増えた場合にも、数十 μs での検索が期待でき、毎秒 1000 フレーム程度の処理を行う高速な処理系においても十分に有効であると考えられる。

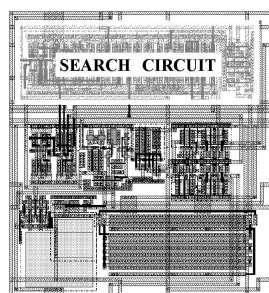


図9 レイアウト図
Fig.9 Layout of search circuit of one pixel.

5. むすび

画素平面中の‘1’の情報を持つ有値画素の位置のエンコードについて複数個の点を正しくエンコードでき、また処理時間が全画素ではなく有値画素の数にのみ比例する検索アルゴリズムを検討し、それを実現する回路の設計を行った。またこの回路の応用の一例として、重心検出を行う回路の最終段に接続し、H-SPIICEによるシミュレーションを行い、数 μs での十分高速な動作を確認した。またスマートセンサとして重心検出回路と共に回路設計を行った。本検索回路は $P_{i,j}$ を生成する処理系に依存しないため重心検出に限らず様々な画像処理回路の最終段で用いることができると思われる。

謝辞 本研究を行うにあたって御協力頂いた(株)ローム、VDEC および関係者の皆様に感謝致します。

文 献

- [1] J.E.Eklued et al., "Global Feature Extraction Operations for Near-Sensor Image Processing," IEEE Trans. Image Processing, Vol.5, No.1, pp.102-110, Jan. 1996.
- [2] Steve Potter, "High-speed CCD movie camera with random pixel selection for neurobiology research" Congress on High-Speed Photography and Photonics, Nov. 1, 1996, Santa Fe, NM; Published in SPIE vol. 2869.
- [3] J.Akita and K.Asada "An Image Sensor using Quad Tree for Selective Scanning with Adaptive Resolution," Proc. IEEE Workshop on Charge-Coupled Devices and Sdvanced Image Sensors, pp.5-1-5-4, June, 1997
- [4] W.Bair & C.Koch, "Real-time motion detection using an analog VLSI zero crossing chip," Proc. SPICE, Visual Information Processing : From Neurons to Chip, Vol.1473, pp.59-65, 1991.
- [5] 渡辺晃 高瀬信二 遠山治 秋田純一, "抵抗網中の電位分布の局所性を用いた高速重心検出回路" 電子情報通信学会論文誌投

稿中.

(平成年月日受付, 月日再受付)

遠山 治 (学生員)

金沢大・工・電気情報卒。現在、同大学院自然科学研究科電子情報システム専攻博士前期課程在学中。画像認識を目的としたスマートセンサに関する研究に従事。アナログVLSIと神経システムに関する研究に興味を持つ。

渡辺 晃 (学生員)

平11 金沢大・工・電気情報卒。現在、同大学院自然科学研究科電子情報システム専攻博士前期課程在学中。視覚情報処理のアルゴリズムおよびその集積回路での実現に関する研究に興味を持つ。

高瀬 信二

平10 金沢大・工・電気情報卒。平12 同大学院自然科学研究科電子情報システム専攻博士前期課程卒。現在、NEC 勤務。

秋田 純一 (正員)

平5 東大・電子卒。平10 同大学院工学系研究科電子情報工学専攻博士課程修了。博士(工学)。平成10年から金沢大学工学部電気情報工学科助手。平成12年からはこだて未来大学システム情報科学部情報アーキテクチャ学科講師。視覚系の機能を持つ画像処理系とその集積回路での構成、およびそのロボットへの応用に関する研究に従事。電子情報通信学会、情報処理学会、人工知能学会、日本ロボット学会各会員。